



SISTEMAS DIGITALES I

SEGUNDA EVALUACIÓN

II TÉRMINO 2011-2012

1 de Febrero del 2012

NOMBRE : _____

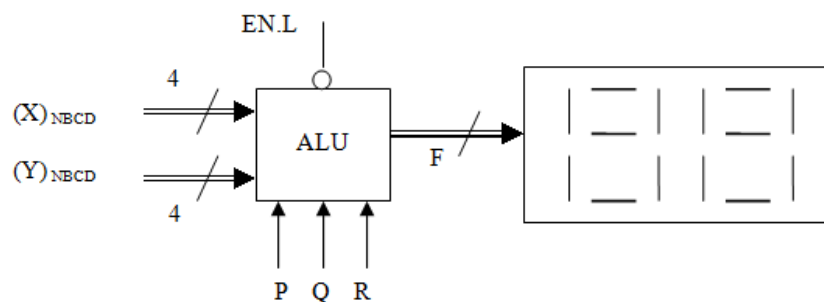
PARALELO : ___

PROBLEMA # 1 (24 p)

Realice el diseño modular de una unidad aritmética y lógica (ALU) que efectúe las siguientes operaciones:

CÓDIGO DE LA OPERACIÓN	OPERACIÓN
P Q R	F
0 0 0	$(X + Y)_{\text{NBCD}}$
0 0 1	$(X - Y)_{\text{NBCD}}$
0 1 0	$(X * 2)_2$
0 1 1	$(Y / 2)_2$
1 0 0	$(X)_{2,C}$
1 0 1	$(Y)_{XS3}$
1 1 0	$(X \text{ or } Y)_2$
1 1 1	$(X \text{ and } Y)_2$

Las entradas X y Y son números decimales de un dígito codificado en NBCD. Las entradas P, Q y R son controles de la ALU que seleccionan la operación que se realizará. La salida F se presentará en varios displays. La entrada EN.L es de habilitación, por lo que cuando EN.L=L la ALU funciona y se muestra la información de F en los displays. Cuando EN.L =H en los displays se muestra todo en cero.

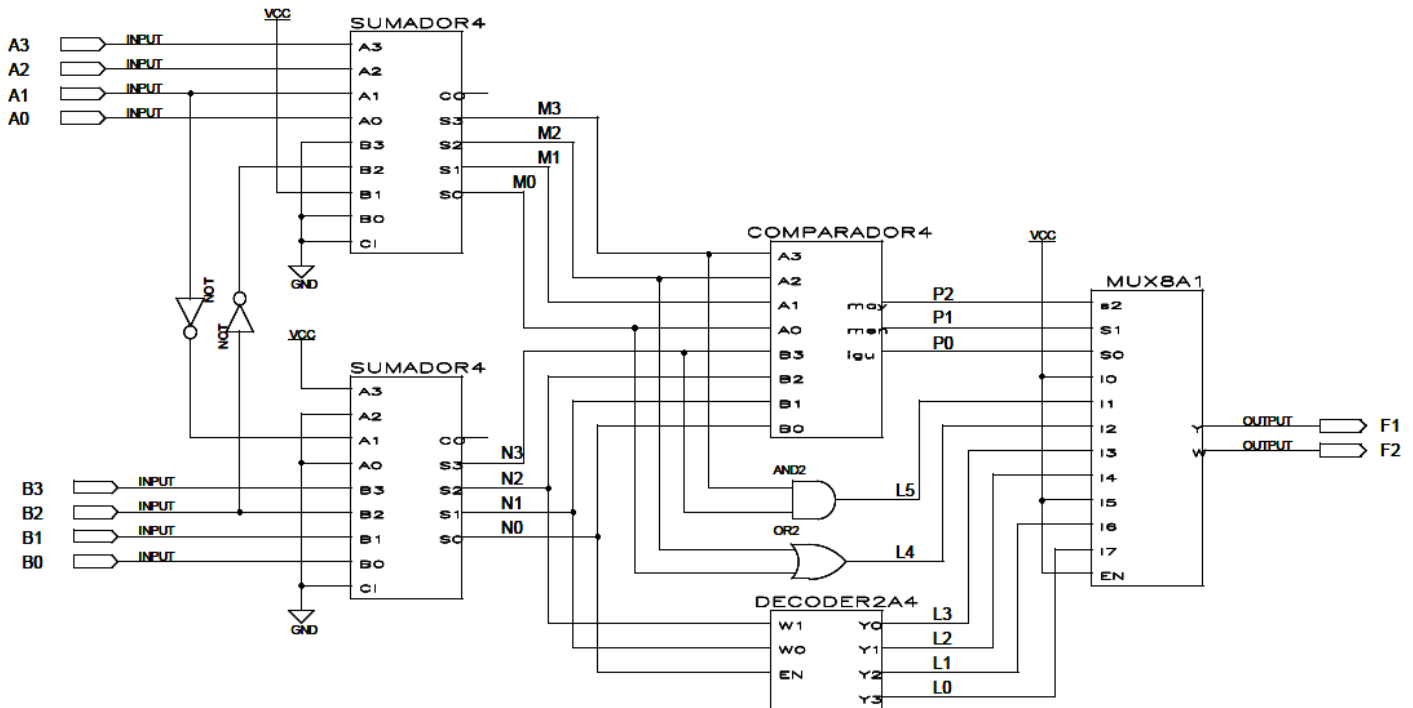


Presentar:

- El diagrama de bloques de la ALU, mostrando claramente la función que realiza cada bloque y el diseño del codificador con prioridad. (5p)
- La implementación completa del circuito, utilizando circuitos integrados MSI y puertas adicionales. Indique claramente las conexiones, nombre de las señales y de los integrados usados. (19p)

PROBLEMA # 2 (23 p)

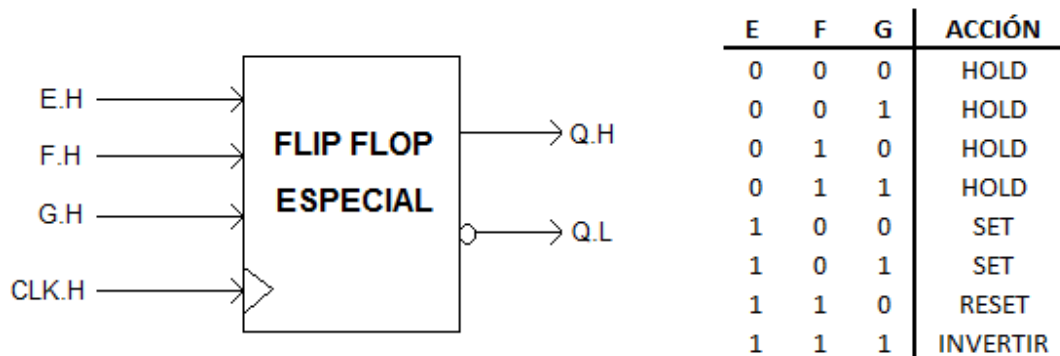
A continuación se muestra la implementación de un circuito digital diseñado con componentes MSI y puertas adicionales



- Escriba el código VHDL del subcircuito **MUX8A1** mostrado (considere que "EN" está en lógica positiva). (5p)
- Suponga que en una carpeta de trabajo dispone de los programas **SUMADOR4.VHD**, **COMPARADOR4.VHD** y **DECODER2A4.VHD**, que contienen la descripción VHDL de los correspondientes elementos mostrados. Cree en VHDL un paquete llamado **ELEMENTOS** que incluya los tres circuitos indicados más el MUX descrito en el literal anterior. Para declarar entradas y salidas, asuma un orden de señales similar al mostrado en el gráfico, esto es: entradas a la izquierda y de arriba hacia abajo y salidas a la derecha. (5p)
- Usando el paquete anterior y las descripciones **RTL** y **ESTRUCTURAL** (o lógica), escriba un programa en VHDL para implementar completamente el circuito mostrado. Note que no dispone de subcomponentes para las puertas lógicas básicas (13p).

PROBLEMA # 3 (23 p)

Se desea construir un **Flip Flop Especial** que funcione de la siguiente manera:



Presente lo siguiente:

- Tabla de diseño basado en una celda binaria NAND. **Solo minimice** la función lógica correspondiente a la entrada **SET** de la celda binaria. **No implemente.** (5 p)
- Conversión del Flip Flop especial en un Flip Flop "JK" (9 p) , incluyendo:
 - Tabla de conversión
 - Mapas de Karnaugh para cada salida
 - Implementación
- Programa en VHDL del Flip Flop especial, usando la descripción comportamental o algorítmica. (9 p)