

Estudio de un radio enlace entre los dispensarios de Pulinguí y Nitiluisa del Seguro Social Campesino en la provincia del Chimborazo y el diseño de una interfaz de datos.

Ximena Trujillo Borja
Neiser Ortiz Mosquera
Ing. César Martín Moreno
Facultad de Ingeniería Eléctrica y Computación
Escuela Superior Politécnica del Litoral
Campus Gustavo Galindo, Km 30.5 vía Perimetral
Apartado 09-01-5863. Guayaquil, Ecuador
xtrujill@espol.edu.ec
nsortiz@espol.edu.ec
cmartin@espol.edu.ec

Resumen

El objetivo de este trabajo es realizar un modulador y un demodulador para transmisión digital utilizando únicamente código VHDL, que permita dar nuevas alternativas a desarrolladores de sistemas de comunicaciones, como el ahorro de recursos en hardware y versatilidad en cuanto a funciones de software. El desarrollo se realizará usando dispositivos FPGA del fabricante ALTERA, que serán programados usando el software de licencia libre MAX PLUS II.

En primera instancia se describe un modulador QPSK cuyo elemento principal es un oscilador controlado numéricamente y que utiliza para el ingreso de datos un registro de corrimientos de 2 bits, como segunda instancia se encuentra el demodulador QPSK con sus respectivos filtros FIR y CIC descritos en forma digital que permiten una mayor disminución de errores en los datos en comparación con sus similares analógicos, de igual manera utiliza un registro de corrimiento de 2 bits. Además se ha incluido el estudio de un radio enlace entre dos dispensarios del Seguro Social Campesino en la provincia del Chimborazo como una posible aplicación de este trabajo que en un futuro podría representar una reducción significativa de costos.

Palabras Claves: QPSK, NCO, VHDL, filtro, mezclador.

Abstract

The goal of this paper is to build both, a modulator and demodulator for digital data transmission using a VHDL code, which allows developers the use of new alternatives for the implementation of communications systems, also provides reductions in hardware and increases the versatility in terms of software functionality. The implementation will be conducted using FPGAs devices from manufacturer ALTERA, and the use of its free license software MAX PLUS II.

Initially it is described a QPSK modulator whose main feature is a numerically controlled oscillator. For data input it is used a 2 bits shift register. Then a QPSK demodulator is described with the FIR and CIC filters described in digital form, allowing a considerable decrease of errors in the data compared with their analog version, in the same way a 2 bits shift register is used. In addition, it is included a radio link study between two clinics from the rural social security office, located in the province of Chimborazo. This is a possible application of this work, that in a future could represent a significant reduction of costs.

1. Introducción

El trabajo se lo realizó pensando en la utilización de nuevas tecnologías de transmisión y recepción de datos actualmente disponibles, donde las mismas pueden ser implementadas a través de software y no solo de hardware.

El radio-digital está descrito en software, utilizando algoritmos esenciales para la modulación y

demodulación en código VHDL, las mismas que pueden ser: BPSK, QPSK, FSK, QAM y otras analógicas como FM y AM, en el presente caso se ha optado por la modulación y demodulación QPSK [1] por ser un sistema robusto. Las herramientas utilizadas para el diseño e implementación son: como hardware los Dispositivos Lógicos Programables (tarjeta FPGA EPF10K10LC84-4) y como software Altera Max Plus II los cuales están disponibles en el Laboratorio de

2. Radio Enlace

El estudio del radio enlace se lo realizó en los dispensarios de Nituluisa y Pulinguí pertenecientes a la provincia del Chimborazo, que presentan problemas de comunicación entre el personal operativo cuando el médico tratante se encuentra en el otro dispensario dando consulta médica, por ello se ha pensado que este trabajo puede proporcionar una solución parcial a este problema.

El enlace deseado es un enlace punto a punto, después de realizar los estudios del clima y ubicación de los dispensarios así como la ubicación de posibles obstáculos en la línea de vista se ha podido determinar que el margen de ganancia del enlace es de 11dB el cual es aceptable para dicho enlace, como se muestra en los cálculos :

Margen=Potencia de transmisión[dBm]- Pérdidas en el cable TX [dB]+ Ganancia de Antena TX[dBi]- Pérdida en la trayectoria del espacio abierto[dB]+ Ganancia de Antena RX[dBi]- Pérdidas de cables RX[dB]- Sensibilidad del receptor[dBm]

$$\text{Margen}=18-2+24-112+24-2+85=11\text{dB}$$

Se ha optado por escoger 2 antenas de grilla de 24 dBi por su ganancia y costo, dos transmisores/receptores con potencia de 18 dB y con sensibilidad de -85dB, además de otros elementos como cables y conectores adecuados para los equipos ya mencionados.

3. NCO

Este oscilador es llamado oscilador controlado numéricamente [2] (NCO). Como se puede observar en la Figura 1, el NCO es constituido por un acumulador seguido de un sumador y un bloque que calcula el seno/coseno.

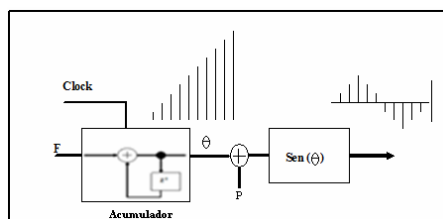


Figura 1 Diagrama de bloques del NCO

Vamos a explicar el funcionamiento del NCO. En cada impulso de reloj el acumulador coloca en su salida la suma de la entrada con el valor de la salida anterior. Como el acumulador tiene un número finito de bits llegará una altura en que el valor máximo será desbordado y el acumulador continuará a contar a partir de cero. La señal en su salida será entonces una

onda en diente de sierra. Esta señal es después entregada a un bloque que calcula el seno o coseno. Para calcular la onda sinusoidal se utilizó el método de la tabla (LUT) que consiste en guardar en una memoria el valor del coseno/seno en varios instantes. La salida del acumulador es por lo tanto la fase de la senoide. Podemos controlar la fase de la señal generada por el NCO. El valor P es sumada al valor presente en la salida del acumulador antes de ser entregada a la LUT. De este modo, el bit más significativo de P representa 180°, el siguiente representa 90°, el próximo 45°, y así sucesivamente. En la Figura 2 se observa el bloque del NCO en el editor gráfico del MAX PLUS II.

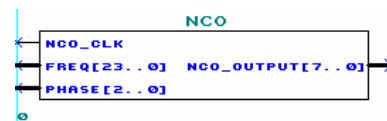


Figura 2 Bloque del NCO en el editor gráfico

4. Modulador QPSK

El algoritmo del modulador QPSK aquí presentado tiene como elemento principal el NCO. La modulación QPSK es una modulación digital donde la fase de la portadora es desfasada siempre que existe un cambio en la entrada (controlador de fase). En la Figura 3 se observa el bloque del modulador QPSK en el editor gráfico.

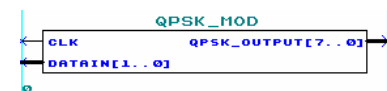


Figura 3 Bloque del modulador QPSK en el editor gráfico

5. Demodulador QPSK

El algoritmo del demodulador QPSK se presenta en la Figura 4 y esta compuesto por tres bloques que son: un mezclador complejo, la sección de filtrado (CIC y FIR) y un decisor QPSK.

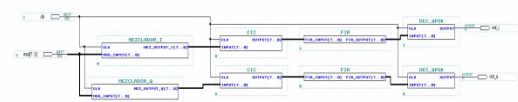


Figura 4 Bloque del demodulador QPSK en el editor gráfico

6. Mezclador Complejo

El mezclador complejo se encarga de acondicionar la señal de entrada de tal manera que se consiga dos cosas: la primera es desplazar la frecuencia de interés a banda base y la segunda descomponerla en señales I y Q. Estos dos requisitos se logran multiplicando la

señal de entrada por dos senoides a frecuencia de portadora f_c (carrier frequency), con 90° de desfase relativo entre ellas como se observa en la Figura 5.

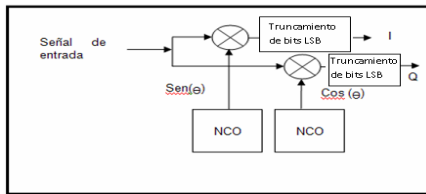


Figura 5 Diagrama de bloques del mezclador complejo

Como se observa en el diagrama en bloque, en la salida del multiplicador digital se trunca los bits menos significativos. El motivo del truncamiento de bits es evitar la carga computacional y el consumo de recursos en los bloques posteriores del demodulador. En la Figura 6 se presenta el bloque del mezclador del canal I y del canal Q en el editor gráfico.

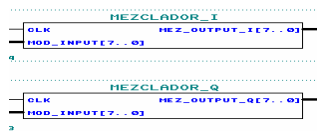


Figura 6 Bloque del mezclador del canal I y del canal Q en el editor gráfico

7. Sección de Filtrado

En la entrada del bloque de filtrado se tiene la banda de interés en banda base. La señal que está en banda base tendrá que ser filtrada para eliminar las interferencias. El bloque de filtrado está compuesto por dos filtros:

El filtro CIC [3] [4] [5] [6] realiza un prefiltrado de la señal y reduce la frecuencia de muestreo mediante un diezmado de las muestras. Este diezmado se hace para reducir la carga computacional en el siguiente filtro. En la Figura 7 muestra la estructura básica de un filtro CIC diezmador.

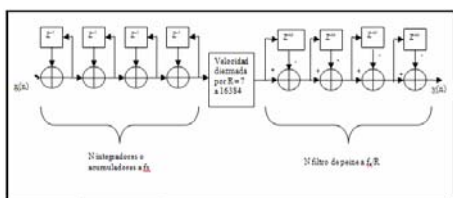


Figura 7 Estructura básica de un filtro CIC diezmador

La sección de integradores consiste de N etapas de integradores ideales operando a la velocidad de muestreo f_s . La sección de filtro peine (comb filter) opera a una baja velocidad de muestreo f_s/R . Donde R es un número entero y representa el factor de cambio de la velocidad. Esta sección consiste de N etapas de peine con un retardo diferencial de M muestras por

etapa. El retardo diferencial es un parámetro de diseño de filtro utilizado para el control de la respuesta de frecuencia del filtro y se restringe a los valores 1 ó 2. En la Figura 8 se observa el bloque del filtro CIC en el editor gráfico.

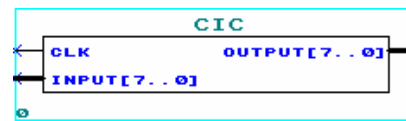


Figura 8 Bloque del filtro CIC en el editor gráfico

El filtro FIR [3] [6] [8] es un filtro paso-bajo que deja pasar solamente la banda de interés. Para generar el filtro basta con almacenar, mediante retardos, tantas entradas sucesivas como coeficientes (orden) tenga el filtro, de manera que en cada ciclo se pueda realizar la convolución (multiplicación) de estas entradas con la respuesta impulsional (coeficiente). El filtro tendrá entonces la siguiente estructura:

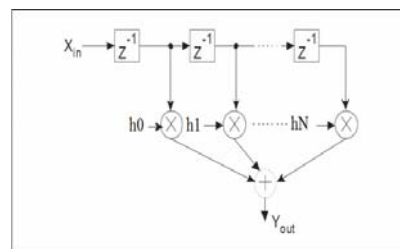


Figura 9 Esquema de bloque del filtro FIR

En la Figura 10 se observa el bloque del filtro FIR en el editor gráfico.

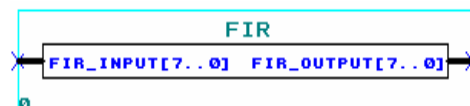


Figura 10 Bloque del filtro FIR en el editor gráfico

8. Decisor QPSK

El decisor QPSK [2] es un simple decodificador. Este bloque es la última etapa del demodulador QPSK y se encarga de recuperar los datos que se modularon. En la Figura 11 se observa el bloque del decisor QPSK en el editor gráfico.

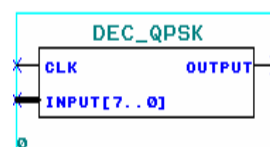


Figura 11 Bloque del decisor QPSK en el editor gráfico

9. Pruebas de la implementación

Las pruebas de la implementación se han realizado con el objetivo de demostrar que el modulador y demodulador QPSK implementados funcionan. Por lo tanto las pruebas de la implementación consisten en

comunicar dos computadoras de forma serial (usando cables DB9), utilizando para ello la interfaz serial USART junto con las tarjetas FPGAs ya programadas y el circuito integrado MAX 232. La idea es que una de las computadoras envíe datos (utilizando el teclado) a través de la interfaz serial USART que utiliza el programa Hyperterminal para poder comunicarse con la otra computadora que recibe los datos enviados (las palabras son visibles en el monitor). La comunicación es unidireccional, los datos salientes del modulador QPSK están conectados directamente a los datos entrantes del demodulador QPSK a través de conectores de bus de datos. En la Figura 12 se muestra el esquema eléctrico de la implementación.

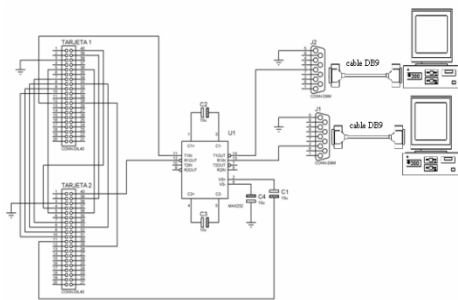


Figura 12 Esquema eléctrico de la implementación

10. Conclusiones

El presente trabajo se ejecutó con la finalidad de iniciar una solución para las necesidades de comunicación de dos poblaciones rurales y el diseño de una interfaz de datos para la comunicación.

- Después de realizar los estudios necesarios se puede concluir que es viable un sistema de comunicación entre dichas poblaciones, así pues se ha demostrado que el enlace con los dispositivos escogidos puede ser implementado en el momento que las poblaciones cuenten con los recursos requeridos.
- Por otra parte la interfaz de datos propuesta es un radio software con nuevas tecnologías (FPGAs) que proporcionan versatilidad en el momento de la programación, permitiendo cambiar la programación del dispositivo cuantas veces sea necesaria sin cambiar el hardware. Esta propiedad proporciona una adaptación a los requerimientos de los usuarios ahorrando recursos ya que se han utilizado simples algoritmos para resolver problemas complejos en comunicaciones.
- Es necesario aclarar que el sistema ha sido probado con fines académicos, debido a las limitaciones que se han tenido con los equipos disponibles para su desarrollo.

- Con fines de de ahorrar recursos en la tarjeta FPGA EPF10K10LC84-4 se decidió implementar ciertos procedimientos como:
 - Unir los bloques que conforman el modulador y el demodulador QPSK con código VHDL en vez de utilizar el editor gráfico.
 - Se utilizó un controlador de fase en el NCO permitiendo desfasar la onda portadora, seno, para generar las distintas fases de salida en el modulador y en el demodulador en el canal I y en el canal Q se utilizó en el bloque de mezclador complejo para generar la onda portadora en el canal I y la onda coseno en el canal Q. Gracias a este controlador de fase el oscilador controlado numéricamente (NCO) es un algoritmo muy versátil ya que fue utilizado en el demodulador y es el elemento principal del modulador.
 - Para la generación de la tabla de la LUT del NCO, se determinó generar una onda senoidal de 256 muestras con el fin de ahorrar recursos en las tarjetas FPGA.
 - Se determinó utilizar el truncamiento de bits.

- La frecuencia de salida del NCO depende de la señal de reloj del sistema y se comprobó que esta frecuencia es 128 veces menor que la frecuencia de reloj.
- Con los filtros digitales CIC y FIR se concluye que son más inmunes al ruido porque trabajan con señales digitales y son menos complejo que los filtros analógicos. Se verificó que el filtro CIC es un prefiltro de la señal banda base y un diezmador de la velocidad de muestreo. Se verificó que el filtro FIR es un filtro pasa bajo y solo deja pasar la señal banda base.

11. Recomendaciones

En el ámbito de las nuevas tecnologías la utilización de las FPGAs propone soluciones interesantes en el área de las telecomunicaciones como es el caso de este trabajo, que aún encontrándose en una etapa de desarrollo muestra una solución parcial para un sistema de comunicación.

- Este sistema puede ser mejorado utilizando otros algoritmos que permitan la implementación de un generador de secuencias pseudo-aleatorias que permitiría, en conjunto con el NCO, la creación de un modulador con desfasamiento espectral de secuencia directa o de salto en frecuencia sin mayor dificultad. También se puede

implementarse algoritmos de codificación de canal tal como bloques de detección y corrección de errores, incluso se puede implementar algoritmos para otros tipos de modulación y demodulación tanto digitales como analógicas.

- Si se deseará implementar el sistema de comunicaciones propuesto en las poblaciones se hace necesaria la utilización de otros elementos como: una tarjeta FPGA con mayores recursos recomendaríamos una tarjeta que contenga el siguiente circuito integrado EPF10K70RC 240-4, convertidores análogo digital y viceversa, amplificadores de frecuencia y de potencia.
- Es importante continuar con estudios y proyectos en el área de las telecomunicaciones basados en FPGAs que permitan reducir costos en un futuro.

12. Referencias

[1] Wayne Tomasi, Sistemas de Comunicaciones Electrónicas, Pearson Educación, 2^{da} edición 1996.

[2] Implementação de Sistemas de Telecomunicações Utilizando Dispositivos Lógicos Programáveis, Universidad de Aveiro, <http://www.nocturno.org/ruben/mestrado/mestrado.ps.gz>

[3] Diseño e implementación con FPGA de un demodulador para comunicaciones Digitales, Universidad Politécnica de Cataluña, <http://upcommons.upc.edu/pfc/bitstream/2099.1/3592/1/54608-1.pdf>

[4] CIC filter introduction, Matthew P. Donadio, <http://users.snip.net/~donadio/cic.pdf>

[5] Cascaded Integrator-Comb (CIC) filter, <http://www.xilinx.com/ipcenter>

[6] Diseño e implementación de un receptor digital de radio, Universidad Técnica Federico Santa María, <http://ftp.bib.utfsm.cl/Mem/M621381536B465.pdf>

[7] Implementing FIR Filters in FLEX Devices, <http://www.altera.com/literature/an/an073.pdf> =article&id=326:espectro&catid=159:contenidos-estaticos

