

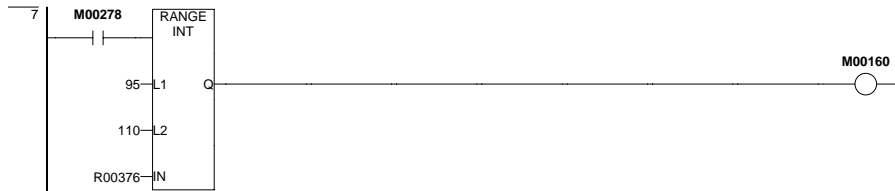
**M00490 %M00490**  
 LD Block,'incend': NOCON 00004;  
**M00492 %M00492**  
 LD Block,'incend': NOCON 00018, 00019, 00020, 00021; COIL 00004;



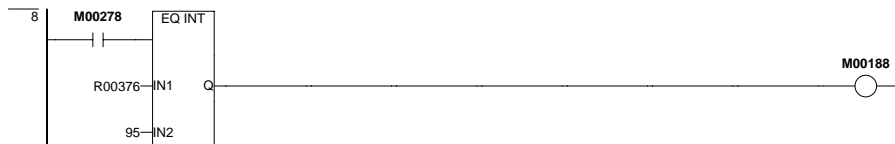
**M00491 %M00491**  
 LD Block,'incend': NOCON 00005;  
**M00497 %M00497**  
 LD Block,'incend': NCCON 00006; NOCON 00031; COIL 00005;



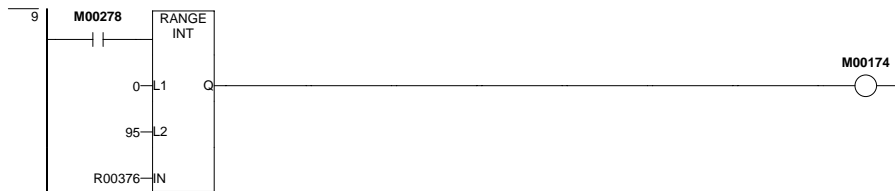
**M00292 %M00292**  
 LD Block,'incend': NCCON 00006, 00023; NOCON 00018, 00021;  
**M00497 %M00497**  
 LD Block,'incend': NCCON 00006; NOCON 00031; COIL 00005;  
**M00278 %M00278**  
 LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;  
**M00518 %M00518**  
 LD Block,'incend': NCCON 00018, 00019, 00020; NOCON 00006; COIL 00021;



**M00278 %M00278**  
 LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;  
**M00160 %M00160**  
 LD Block,'incend': NOCON 00013; COIL 00007;  
**R00376 %R00376**  
 LD Block,'incend': LE\_INT 00010, 00011; RANGE\_INT 00007, 00009; EQ\_INT 00008, 00012;



**M00278 %M00278**  
 LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;  
**R00376 %R00376**  
 LD Block,'incend': LE\_INT 00010, 00011; RANGE\_INT 00007, 00009; EQ\_INT 00008, 00012;  
**M00188 %M00188**  
 LD Block,'incend': NOCON 00013; COIL 00008;



**M00278 %M00278**  
 LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;  
**M00174 %M00174**  
 LD Block,'incend': NOCON 00014, 00029; COIL 00009;  
**R00376 %R00376**  
 LD Block,'incend': LE\_INT 00010, 00011; RANGE\_INT 00007, 00009; EQ\_INT 00008, 00012;



**M00278 %M00278**

LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;

**R00376 %R00376**

LD Block,'incend': LE\_INT 00010, 00011; RANGE\_INT 00007, 00009; EQ\_INT 00008, 00012;

**M00181 %M00181**

LD Block,'incend': NOCON 00014; COIL 00010;



**M00278 %M00278**

LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;

**R00376 %R00376**

LD Block,'incend': LE\_INT 00010, 00011; RANGE\_INT 00007, 00009; EQ\_INT 00008, 00012;

**M00239 %M00239**

LD Block,'incend': NOCON 00029; COIL 00011;



**M00278 %M00278**

LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;

**R00376 %R00376**

LD Block,'incend': LE\_INT 00010, 00011; RANGE\_INT 00007, 00009; EQ\_INT 00008, 00012;

**M00195 %M00195**

LD Block,'incend': NCCON 00013, 00014, 00029; COIL 00012;



**M00188 %M00188**

LD Block,'incend': NOCON 00013; COIL 00008;

**M00160 %M00160**

LD Block,'incend': NOCON 00013; COIL 00007;

**Q00124 %Q00124**

LD Block,'incend': NCCON 00013; NOCON 00014; COIL 00016;

**M00278 %M00278**

LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;

**M00195 %M00195**

LD Block,'incend': NCCON 00013, 00014, 00029; COIL 00012;

**Q00023 %Q00023**

LD Block,'incend': NCCON 00013; NOCON 00029; COIL 00029;

**M00372 %M00372**

LD Block,'incend': NCCON 00013, 00014, 00028; NOCON 00023, 00028, 00029; COIL 00026;

**M00225 %M00225**

LD Block,'incend': NCCON 00013;

**M00524 %M00524**

LD Block,'incend': NOCON 00015; COIL 00013;

**Q00123 %Q00123**

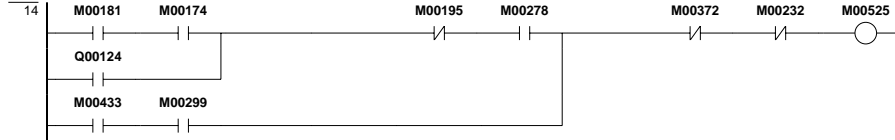
LD Block,'incend': NOCON 00013; COIL 00015;

**M00386 %M00386**

LD Block,'incend': NCCON 00020, 00023; NOCON 00013, 00019, 00024; COIL 00019;

**M00299 %M00299**

LD Block,'incend': NOCON 00013, 00014, 00019, 00020; COIL 00018;



**M00181 %M00181**

LD Block,'incend': NOCON 00014; COIL 00010;

**M00174 %M00174**

LD Block,'incend': NOCON 00014, 00029; COIL 00009;

**M00195 %M00195**

LD Block,'incend': NCCON 00013, 00014, 00029; COIL 00012;

**M00278 %M00278**

LD Block,'incend': NOCON 00007, 00008, 00009, 00010, 00011, 00012, 00013, 00014; COIL 00006;

**M00372 %M00372**

LD Block,'incend': NCCON 00013, 00014, 00028; NOCON 00023, 00028, 00029; COIL 00026;

**M00232 %M00232**

LD Block,'incend': NCCON 00014;

**M00525 %M00525**

LD Block,'incend': NOCON 00016; COIL 00014;

**Q00124 %Q00124**

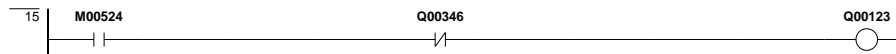
LD Block,'incend': NCCON 00013; NOCON 00014; COIL 00016;

**M00433 %M00433**

LD Block,'incend': NCCON 00019, 00023; NOCON 00014, 00020, 00024; COIL 00020;

**M00299 %M00299**

LD Block,'incend': NOCON 00013, 00014, 00019, 00020; COIL 00018;



**M00524 %M00524**

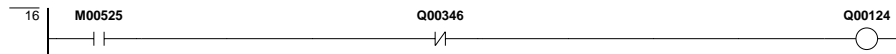
LD Block,'incend': NOCON 00015; COIL 00013;

**Q00346 %Q00346**

LD Block,'incend': NCCON 00015, 00016, 00029; COIL 00034;

**Q00123 %Q00123**

LD Block,'incend': NOCON 00013; COIL 00015;



**M00525 %M00525**

LD Block,'incend': NOCON 00016; COIL 00014;

**Q00346 %Q00346**

LD Block,'incend': NCCON 00015, 00016, 00029; COIL 00034;

**Q00124 %Q00124**

LD Block,'incend': NCCON 00013; NOCON 00014; COIL 00016;



**M00292 %M00292**

LD Block,'incend': NCCON 00006, 00023; NOCON 00018, 00021;

**M00492 %M00492**

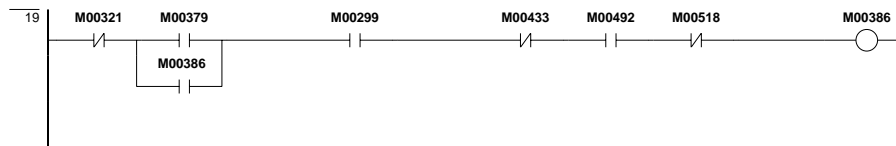
LD Block,'incend': NOCON 00018, 00019, 00020, 00021; COIL 00004;

**M00518 %M00518**

LD Block,'incend': NCCON 00018, 00019, 00020; NOCON 00006; COIL 00021;

**M00299 %M00299**

LD Block,'incend': NOCON 00013, 00014, 00019, 00020; COIL 00018;



**M00321 %M00321**

LD Block,'incend': NCCON 00019;

**M00379 %M00379**

LD Block,'incend': NOCON 00019;

**M00299 %M00299**

LD Block,'incend': NOCON 00013, 00014, 00019, 00020; COIL 00018;

**M00433 %M00433**

LD Block,'incend': NCCON 00019, 00023; NOCON 00014, 00020, 00024; COIL 00020;

**M00492 %M00492**

LD Block,'incend': NOCON 00018, 00019, 00020, 00021; COIL 00004;

**M00518 %M00518**

LD Block,'incend': NCCON 00018, 00019, 00020; NOCON 00006; COIL 00021;

**M00386 %M00386**

LD Block,'incend': NCCON 00020, 00023; NOCON 00013, 00019, 00024; COIL 00019;



**M00393 %M00393**

LD Block,'incend': NCCON 00020;

**M00401 %M00401**

LD Block,'incend': NOCON 00020;

**M00299 %M00299**

LD Block,'incend': NOCON 00013, 00014, 00019, 00020; COIL 00018;

**M00386 %M00386**

LD Block,'incend': NCCON 00020, 00023; NOCON 00013, 00019, 00024; COIL 00019;

**M00492 %M00492**

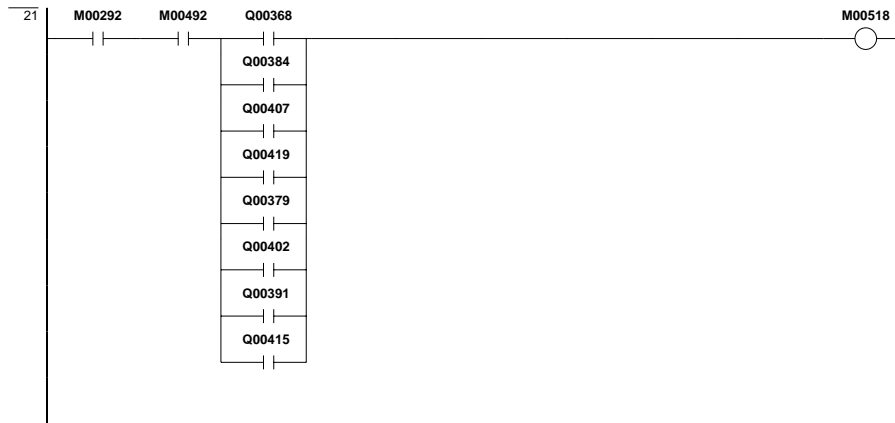
LD Block,'incend': NOCON 00018, 00019, 00020, 00021; COIL 00004;

**M00518 %M00518**

LD Block,'incend': NCCON 00018, 00019, 00020; NOCON 00006; COIL 00021;

**M00433 %M00433**

LD Block,'incend': NCCON 00019, 00023; NOCON 00014, 00020, 00024; COIL 00020;



**M00292 %M00292**  
LD Block,'incend': NCCON 00006, 00023; NOCON 00018, 00021;

**M00492 %M00492**  
LD Block,'incend': NOCON 00018, 00019, 00020, 00021; COIL 00004;

**Q00368 %Q00368**  
LD Block,'incend': NOCON 00021; COIL 00069;

**M00518 %M00518**  
LD Block,'incend': NCCON 00018, 00019, 00020; NOCON 00006; COIL 00021;

**Q00384 %Q00384**  
LD Block,'incend': NOCON 00021; COIL 00089;

**Q00407 %Q00407**  
LD Block,'incend': NOCON 00021; COIL 00118;

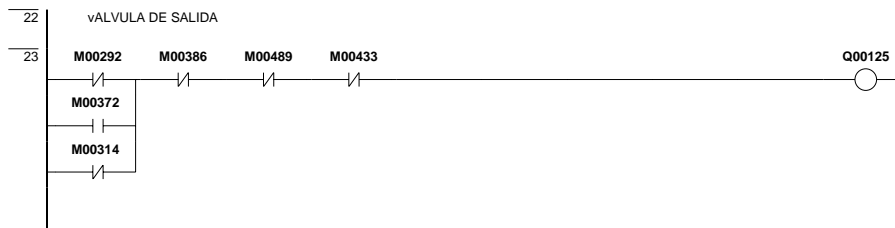
**Q00419 %Q00419**  
LD Block,'incend': NOCON 00021; COIL 00134;

**Q00379 %Q00379**  
LD Block,'incend': NOCON 00021; COIL 00082;

**Q00402 %Q00402**  
LD Block,'incend': NOCON 00021; COIL 00111;

**Q00391 %Q00391**  
LD Block,'incend': NOCON 00021; COIL 00098;

**Q00415 %Q00415**  
LD Block,'incend': NOCON 00021; COIL 00128;



**M00292 %M00292**  
LD Block,'incend': NCCON 00006, 00023; NOCON 00018, 00021;

**M00386 %M00386**  
LD Block,'incend': NCCON 00020, 00023; NOCON 00013, 00019, 00024; COIL 00019;

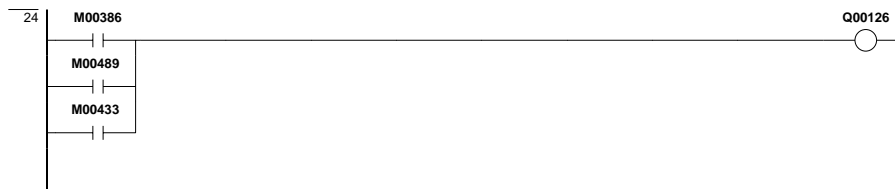
**M00489 %M00489**  
LD Block,'incend': NCCON 00023; NOCON 00024, 00029, 00031; COIL 00031;

**M00433 %M00433**  
LD Block,'incend': NCCON 00019, 00023; NOCON 00014, 00020, 00024; COIL 00020;

**Q00125 %Q00125**  
LD Block,'incend': COIL 00023;

**M00372 %M00372**  
LD Block,'incend': NCCON 00013, 00014, 00028; NOCON 00023, 00028, 00029; COIL 00026;

**M00314 %M00314**  
LD Block,'incend': NCCON 00023, 00027, 00029; NOCON 00031;



**M00386 %M00386**  
LD Block,'incend': NCCON 00020, 00023; NOCON 00013, 00019, 00024; COIL 00019;

**Q00126 %Q00126**  
LD Block,'incend': COIL 00024;

**M00489 %M00489**  
LD Block,'incend': NCCON 00023; NOCON 00024, 00029, 00031; COIL 00031;

**M00433 %M00433**  
LD Block,'incend': NCCON 00019, 00023; NOCON 00014, 00020, 00024; COIL 00020;



**#ALW\_ON %S0007**

LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
LD Block,'flujo\_1': NOCON 00003, 00006;  
LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
LD Block,'cister': NOCON 00020;  
LD Block,'genee': NOCON 00011;  
LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**M00531 %M00531**

LD Block,'incend': NOCON 00026;  
LD Block,'genee': NCCON 00002, 00003, 00004, 00006, 00007, 00009; NOCON 00016;

**M00372 %M00372**

LD Block,'incend': NCCON 00013, 00014, 00028; NOCON 00023, 00028, 00029; COIL 00026;



**M00314 %M00314**

LD Block,'incend': NCCON 00023, 00027, 00029; NOCON 00031;

**M00328 %M00328**

LD Block,'incend': NOCON 00028; COIL 00027;



**M00328 %M00328**

LD Block,'incend': NOCON 00028; COIL 00027;

**M00372 %M00372**

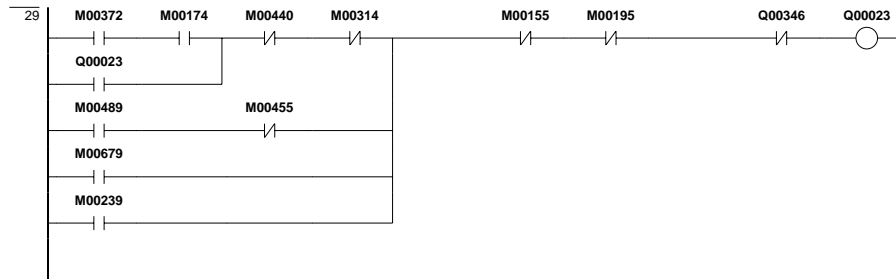
LD Block,'incend': NCCON 00013, 00014, 00028; NOCON 00023, 00028, 00029; COIL 00026;

**R00403 %R00403**

LD Block,'incend': ONDTR\_TENTHS 00028;

**M00440 %M00440**

LD Block,'incend': NCCON 00029; NOCON 00028; COIL 00028;



**M00372 %M00372**

LD Block,'incend': NCCON 00013, 00014, 00028; NOCON 00023, 00028, 00029; COIL 00026;

**M00174 %M00174**

LD Block,'incend': NOCON 00014, 00029; COIL 00009;

**M00440 %M00440**

LD Block,'incend': NCCON 00029; NOCON 00028; COIL 00028;

**M00314 %M00314**

LD Block,'incend': NCCON 00023, 00027, 00029; NOCON 00031;

**M00155 %M00155**

LD Block,'UMA\_N': NOCON 00092, 00176, 00178, 00179; COIL 00174;  
LD Block,'incend': NCCON 00029;

**M00195 %M00195**

LD Block,'incend': NCCON 00013, 00014, 00029; COIL 00012;

**Q00346 %Q00346**

LD Block,'incend': NCCON 00015, 00016, 00029; COIL 00034;

**Q00023 %Q00023**

LD Block,'incend': NCCON 00013; NOCON 00029; COIL 00029;

**M00489 %M00489**

LD Block,'incend': NCCON 00023; NOCON 00024, 00029, 00031; COIL 00031;

**M00455 %M00455**

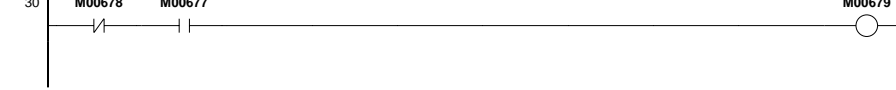
LD Block,'incend': NCCON 00029, 00031;

**M00679 %M00679**

LD Block,'incend': NOCON 00029; COIL 00030;

**M00239 %M00239**

LD Block,'incend': NOCON 00029; COIL 00011;



**M00678 %M00678**  
 LD Block,'incend': NCCON 00030;  
**M00677 %M00677**  
 LD Block,'incend': NOCON 00030; COIL 00037;  
**M00679 %M00679**  
 LD Block,'incend': NOCON 00029; COIL 00030;



**M00314 %M00314**  
 LD Block,'incend': NCCON 00023, 00027, 00029; NOCON 00031;  
**M00455 %M00455**  
 LD Block,'incend': NCCON 00029, 00031;  
**M00471 %M00471**  
 LD Block,'incend': NOCON 00031;  
**M00497 %M00497**  
 LD Block,'incend': NCCON 00006; NOCON 00031; COIL 00005;  
**M00489 %M00489**  
 LD Block,'incend': NCCON 00023; NOCON 00024, 00029, 00031; COIL 00031;



**#ALW\_ON %S00007**  
 LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujjo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;  
**Q00344 %Q00344**  
 LD Block,'incend': COIL 00032;  
**R00377 %R00377**  
 LD Block,'incend': INT\_TO\_REAL 00039; RANGE\_INT 00032, 00033, 00034;



**#ALW\_ON %S00007**  
 LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujjo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;  
**Q00345 %Q00345**  
 LD Block,'incend': COIL 00033;  
**R00377 %R00377**  
 LD Block,'incend': INT\_TO\_REAL 00039; RANGE\_INT 00032, 00033, 00034;



**#ALW\_ON %S00007**

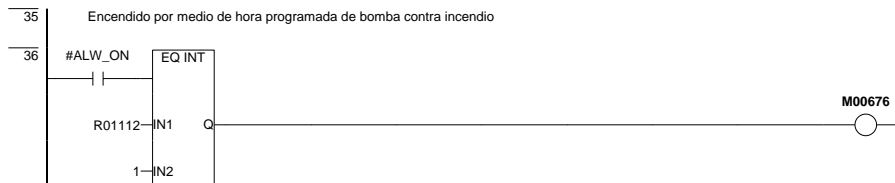
```
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;
LD Block,'flujo_1': NOCON 00003, 00006;
LD Block,'UMA_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;
LD Block,'N_T_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;
LD Block,'N_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013,
00014, 00015, 00016;
LD Block,'cister': NOCON 00020;
LD Block,'genee': NOCON 00011;
LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044,
00045;
LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020,
00021, 00022, 00031, 00032, 00033;
LD Block,'_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011,
00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128,
00129;
```

**Q00346 %Q00346**

```
LD Block,'incend': NCCON 00015, 00016, 00029; COIL 00034;
```

**R00377 %R00377**

```
LD Block,'incend': INT_TO_REAL 00039; RANGE_INT 00032, 00033, 00034;
```



**#ALW\_ON %S00007**

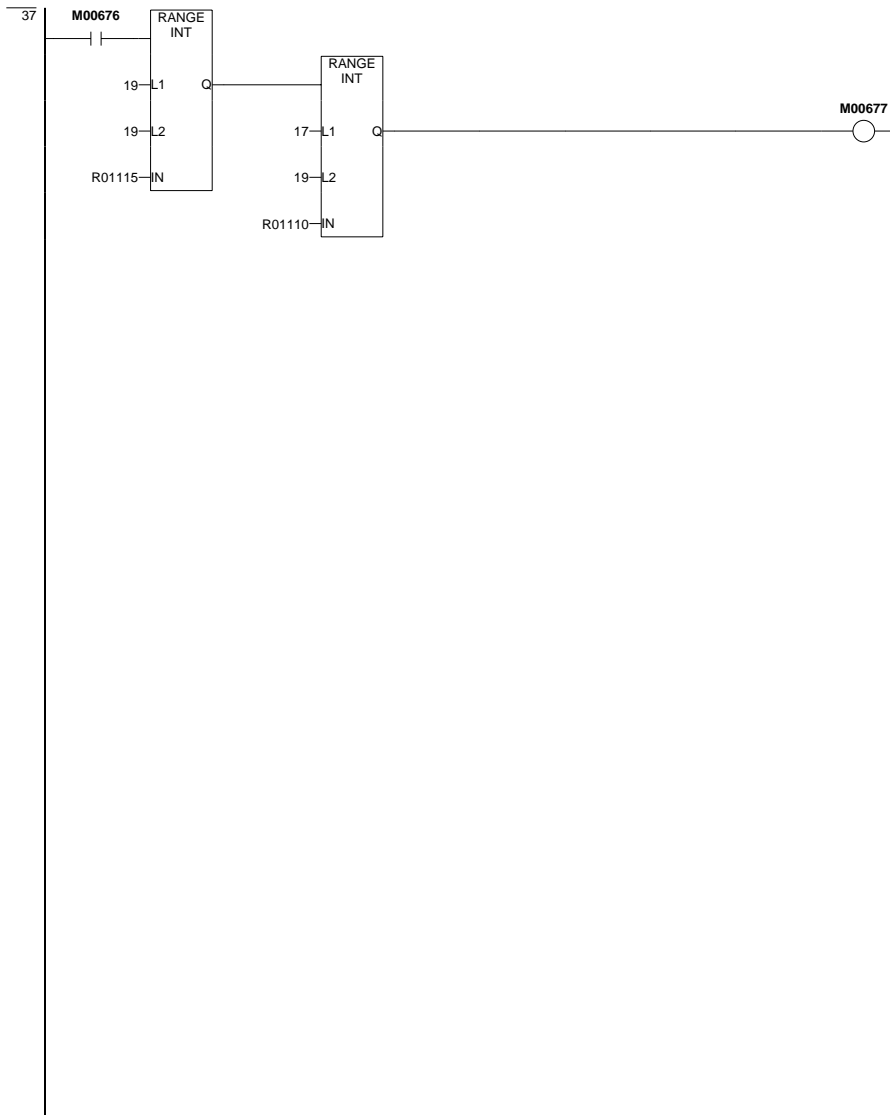
```
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;
LD Block,'flujo_1': NOCON 00003, 00006;
LD Block,'UMA_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;
LD Block,'N_T_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;
LD Block,'N_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013,
00014, 00015, 00016;
LD Block,'cister': NOCON 00020;
LD Block,'genee': NOCON 00011;
LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044,
00045;
LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020,
00021, 00022, 00031, 00032, 00033;
LD Block,'_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011,
00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128,
00129;
```

**R01112 %R01112**

```
LD Block,'Reloj': BCD4_TO_INT 00008;
LD Block,'genee': EQ_INT 00011;
LD Block,'incend': EQ_INT 00036;
```

**M00676 %M00676**

```
LD Block,'incend': NOCON 00037; COIL 00036;
```

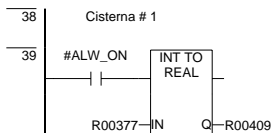


**M00676 %M00676**  
LD Block,'incend': NOCON 00037; COIL 00036;

**M00677 %M00677**  
LD Block,'incend': NOCON 00030; COIL 00037;

**R01115 %R01115**  
LD Block,'Reloj': DIV\_INT 00005;  
LD Block,'\_MAIN': RANGE\_INT 00013, 00014;  
LD Block,'genee': RANGE\_INT 00012;  
LD Block,'incend': RANGE\_INT 00037;

**R01110 %R01110**  
LD Block,'Reloj': BCD4\_TO\_INT 00006;  
LD Block,'\_MAIN': RANGE\_INT 00013, 00014;  
LD Block,'genee': RANGE\_INT 00012;  
LD Block,'incend': RANGE\_INT 00037;



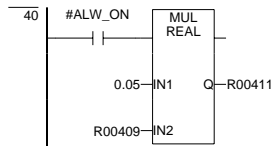
**#ALW\_ON %S00007**  
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
LD Block,'flujo\_1': NOCON 00003, 00006;  
LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
LD Block,'cister': NOCON 00020;  
LD Block,'genee': NOCON 00011;  
LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**R00377 %R00377**  
LD Block,'incend': INT\_TO\_REAL 00039; RANGE\_INT 00032, 00033, 00034;



**R00409 %R00409**

LD Block,'incend': MUL\_REAL 00040; INT\_TO\_REAL 00039;

**#ALW\_ON %S00007**

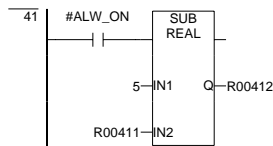
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**R00411 %R00411**

LD Block,'incend': MUL\_REAL 00040; SUB\_REAL 00041;

**R00409 %R00409**

LD Block,'incend': MUL\_REAL 00040; INT\_TO\_REAL 00039;

**#ALW\_ON %S00007**

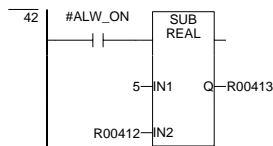
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**R00412 %R00412**

LD Block,'incend': SUB\_REAL 00041, 00042;

**R00411 %R00411**

LD Block,'incend': MUL\_REAL 00040; SUB\_REAL 00041;

**#ALW\_ON %S00007**

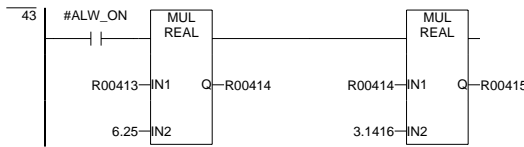
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**R00413 %R00413**

LD Block,'incend': MUL\_REAL 00043; SUB\_REAL 00042;

**R00412 %R00412**

LD Block,'incend': SUB\_REAL 00041, 00042;



**#ALW\_ON %S00007**

LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**R00413 %R00413**

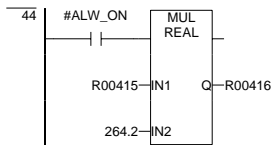
LD Block,'incend': MUL\_REAL 00043; SUB\_REAL 00042;

**R00414 %R00414**

LD Block,'incend': MUL\_REAL 00043, 00043;

**R00415 %R00415**

LD Block,'incend': MUL\_REAL 00043, 00044;



**#ALW\_ON %S00007**

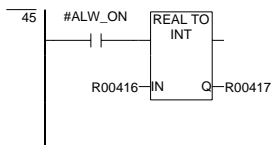
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**R00415 %R00415**

LD Block,'incend': MUL\_REAL 00043, 00044;

**R00416 %R00416**

LD Block,'incend': MUL\_REAL 00044; REAL\_TO\_INT 00045;



**#ALW\_ON %S00007**

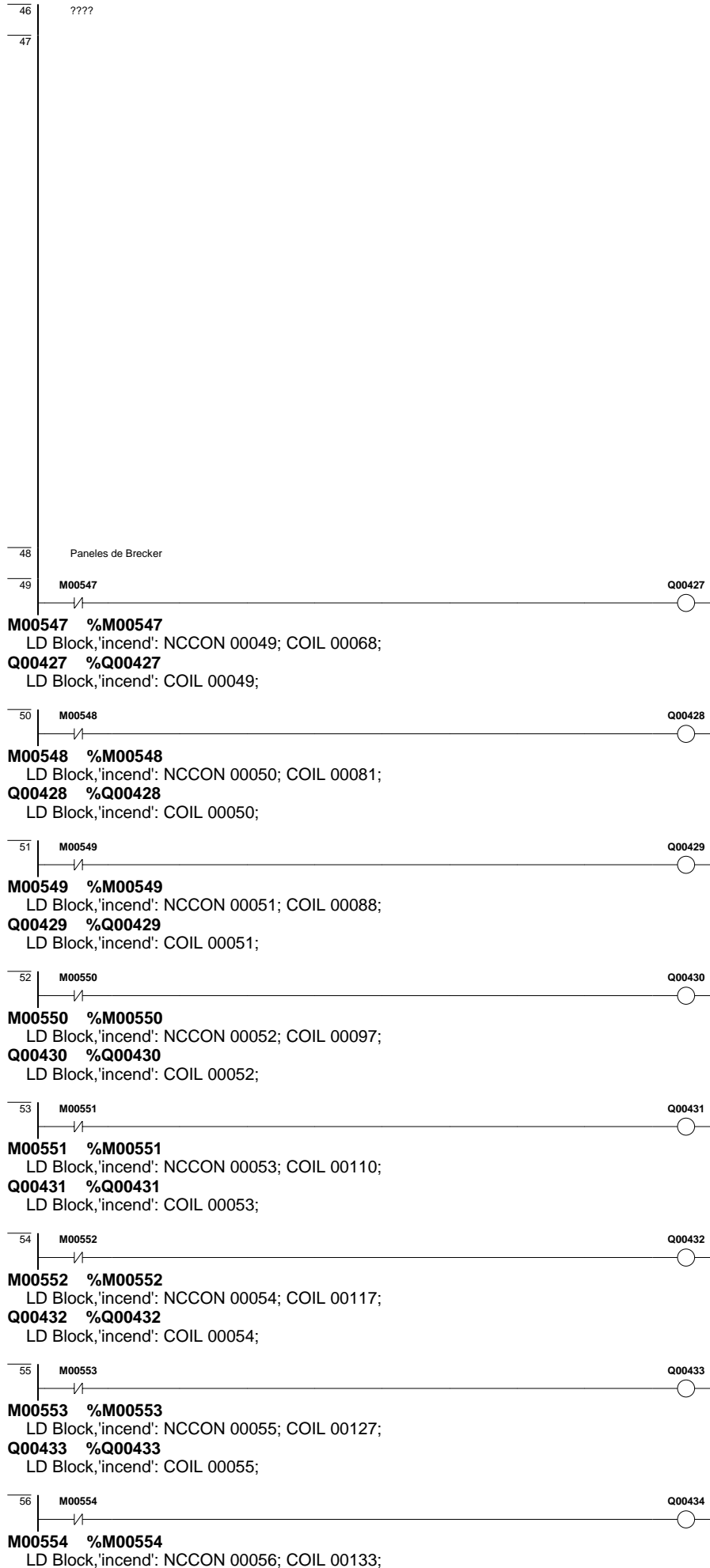
LD Block,'Reloj': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008;  
 LD Block,'flujo\_1': NOCON 00003, 00006;  
 LD Block,'UMA\_N': NOCON 00011, 00102, 00198, 00273, 00395, 00510, 00616;  
 LD Block,'N\_T\_ch': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007;  
 LD Block,'N\_cist': NOCON 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00010, 00011, 00012, 00013, 00014, 00015, 00016;  
 LD Block,'cister': NOCON 00020;  
 LD Block,'genee': NOCON 00011;  
 LD Block,'incend': NOCON 00026, 00032, 00033, 00034, 00036, 00039, 00040, 00041, 00042, 00043, 00044, 00045;  
 LD Block,'agua': NOCON 00001, 00002, 00003, 00006, 00007, 00008, 00009, 00010, 00011, 00012, 00020, 00021, 00022, 00031, 00032, 00033;  
 LD Block,'\_MAIN': NOCON 00001, 00002, 00003, 00004, 00005, 00006, 00007, 00008, 00009, 00010, 00011, 00026, 00030, 00033, 00034, 00035, 00049, 00067, 00068, 00078, 00095, 00096, 00121, 00126, 00128, 00129;

**R00416 %R00416**

LD Block,'incend': MUL\_REAL 00044; REAL\_TO\_INT 00045;

**R00417 %R00417**

LD Block,'incend': REAL\_TO\_INT 00045;



**Q00434 %Q00434**

LD Block,'incend': COIL 00056;



**M00555 %M00555**

LD Block,'incend': NOCON 00058;

**Q00358 %Q00358**

LD Block,'incend': NOCON 00068, 00069; COIL 00058;

**M00556 %M00556**

LD Block,'incend': NOCON 00058;



**M00557 %M00557**

LD Block,'incend': NOCON 00059;

**Q00359 %Q00359**

LD Block,'incend': NOCON 00068, 00069; COIL 00059;

**M00558 %M00558**

LD Block,'incend': NOCON 00059;



**M00559 %M00559**

LD Block,'incend': NOCON 00060;

**Q00360 %Q00360**

LD Block,'incend': NOCON 00068, 00069; COIL 00060;



**M00560 %M00560**

LD Block,'incend': NOCON 00061;

**Q00361 %Q00361**

LD Block,'incend': NOCON 00068, 00069; COIL 00061;

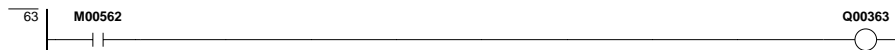


**M00561 %M00561**

LD Block,'incend': NOCON 00062;

**Q00362 %Q00362**

LD Block,'incend': NOCON 00068, 00069; COIL 00062;



**M00562 %M00562**

LD Block,'incend': NOCON 00063;

**Q00363 %Q00363**

LD Block,'incend': NOCON 00068, 00069; COIL 00063;

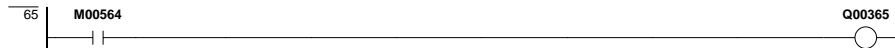


**M00563 %M00563**

LD Block,'incend': NOCON 00064;

**Q00364 %Q00364**

LD Block,'incend': NOCON 00068, 00069; COIL 00064;



**M00564 %M00564**

LD Block,'incend': NOCON 00065;

**Q00365 %Q00365**

LD Block,'incend': NOCON 00068, 00069; COIL 00065;

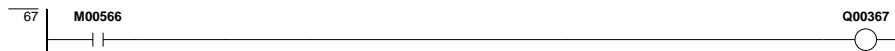


**M00565 %M00565**

LD Block,'incend': NOCON 00066;

**Q00366 %Q00366**

LD Block,'incend': NOCON 00068, 00069; COIL 00066;

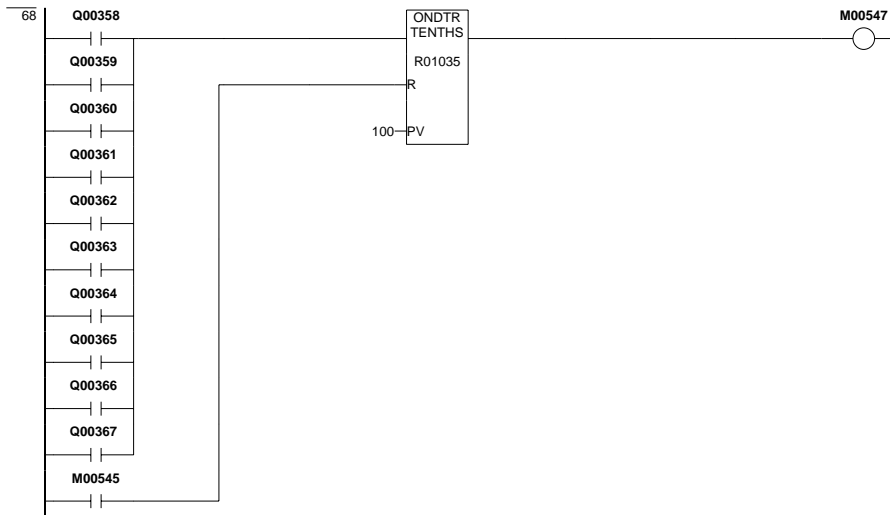


**M00566 %M00566**

LD Block,'incend': NOCON 00067;

**Q00367 %Q00367**

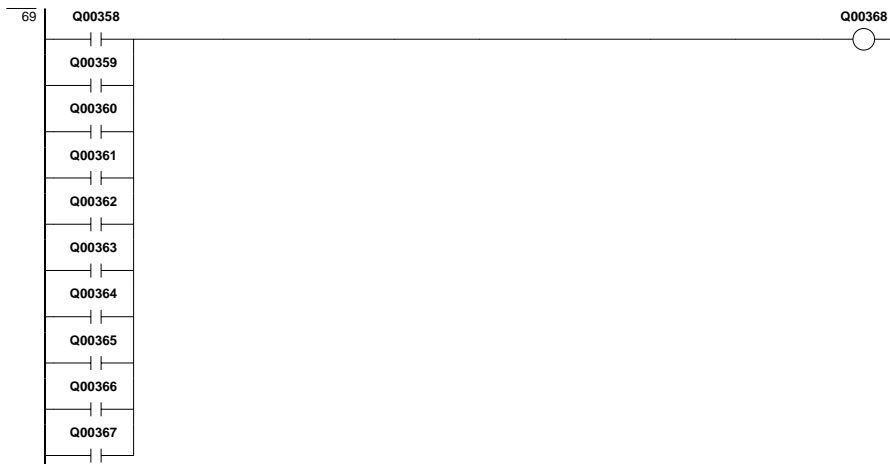
LD Block,'incend': NOCON 00068, 00069; COIL 00067;



```

Q00358 %Q00358
  LD Block,'incend': NOCON 00068, 00069; COIL 00058;
R01035 %R01035
  LD Block,'incend': ONDTR_TENTHS 00068;
M00547 %M00547
  LD Block,'incend': NCCON 00049; COIL 00068;
Q00359 %Q00359
  LD Block,'incend': NOCON 00068, 00069; COIL 00059;
Q00360 %Q00360
  LD Block,'incend': NOCON 00068, 00069; COIL 00060;
Q00361 %Q00361
  LD Block,'incend': NOCON 00068, 00069; COIL 00061;
Q00362 %Q00362
  LD Block,'incend': NOCON 00068, 00069; COIL 00062;
Q00363 %Q00363
  LD Block,'incend': NOCON 00068, 00069; COIL 00063;
Q00364 %Q00364
  LD Block,'incend': NOCON 00068, 00069; COIL 00064;
Q00365 %Q00365
  LD Block,'incend': NOCON 00068, 00069; COIL 00065;
Q00366 %Q00366
  LD Block,'incend': NOCON 00068, 00069; COIL 00066;
Q00367 %Q00367
  LD Block,'incend': NOCON 00068, 00069; COIL 00067;
M00545 %M00545
  LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;

```



```

Q00358 %Q00358
  LD Block,'incend': NOCON 00068, 00069; COIL 00058;
Q00368 %Q00368
  LD Block,'incend': NOCON 00021; COIL 00069;
Q00359 %Q00359
  LD Block,'incend': NOCON 00068, 00069; COIL 00059;
Q00360 %Q00360
  LD Block,'incend': NOCON 00068, 00069; COIL 00060;
Q00361 %Q00361
  LD Block,'incend': NOCON 00068, 00069; COIL 00061;
Q00362 %Q00362
  LD Block,'incend': NOCON 00068, 00069; COIL 00062;
Q00363 %Q00363
  LD Block,'incend': NOCON 00068, 00069; COIL 00063;
Q00364 %Q00364
  LD Block,'incend': NOCON 00068, 00069; COIL 00064;
Q00365 %Q00365
  LD Block,'incend': NOCON 00068, 00069; COIL 00065;

```

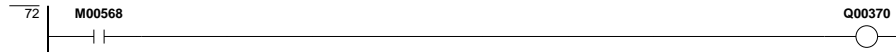
**Q00366 %Q00366**  
LD Block,'incend': NOCON 00068, 00069; COIL 00066;

**Q00367 %Q00367**  
LD Block,'incend': NOCON 00068, 00069; COIL 00067;



**M00567 %M00567**  
LD Block,'incend': NOCON 00071;

**Q00369 %Q00369**  
LD Block,'incend': NOCON 00081, 00082; COIL 00071;



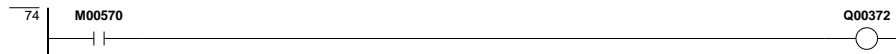
**M00568 %M00568**  
LD Block,'incend': NOCON 00072;

**Q00370 %Q00370**  
LD Block,'incend': NOCON 00081, 00082; COIL 00072;



**M00569 %M00569**  
LD Block,'incend': NOCON 00073;

**Q00371 %Q00371**  
LD Block,'incend': NOCON 00081, 00082; COIL 00073;



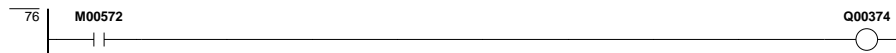
**M00570 %M00570**  
LD Block,'incend': NOCON 00074;

**Q00372 %Q00372**  
LD Block,'incend': NOCON 00081, 00082; COIL 00074;



**M00571 %M00571**  
LD Block,'incend': NOCON 00075;

**Q00373 %Q00373**  
LD Block,'incend': NOCON 00081, 00082; COIL 00075;



**M00572 %M00572**  
LD Block,'incend': NOCON 00076;

**Q00374 %Q00374**  
LD Block,'incend': NOCON 00081, 00082; COIL 00076;



**M00573 %M00573**  
LD Block,'incend': NOCON 00077;

**Q00375 %Q00375**  
LD Block,'incend': NOCON 00081, 00082; COIL 00077;



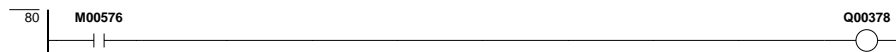
**M00574 %M00574**  
LD Block,'incend': NOCON 00078;

**Q00376 %Q00376**  
LD Block,'incend': NOCON 00081, 00082; COIL 00078;



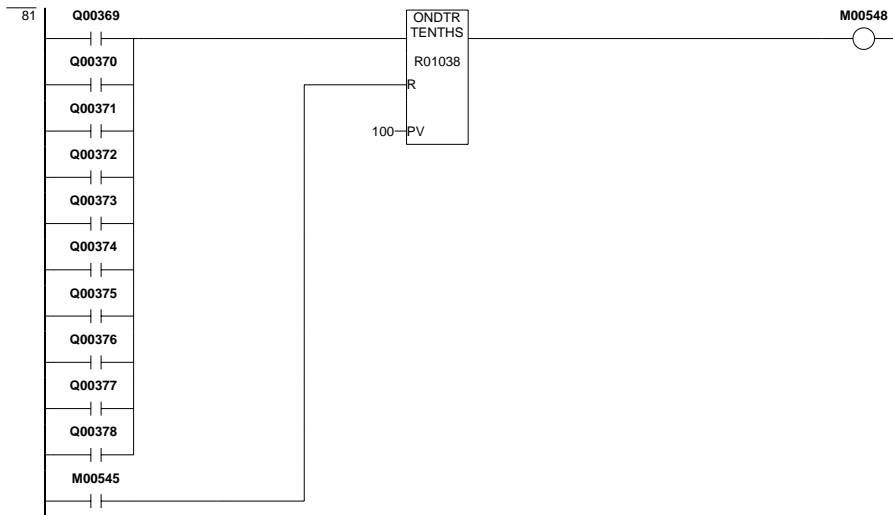
**M00575 %M00575**  
LD Block,'incend': NOCON 00079;

**Q00377 %Q00377**  
LD Block,'incend': NOCON 00081, 00082; COIL 00079;

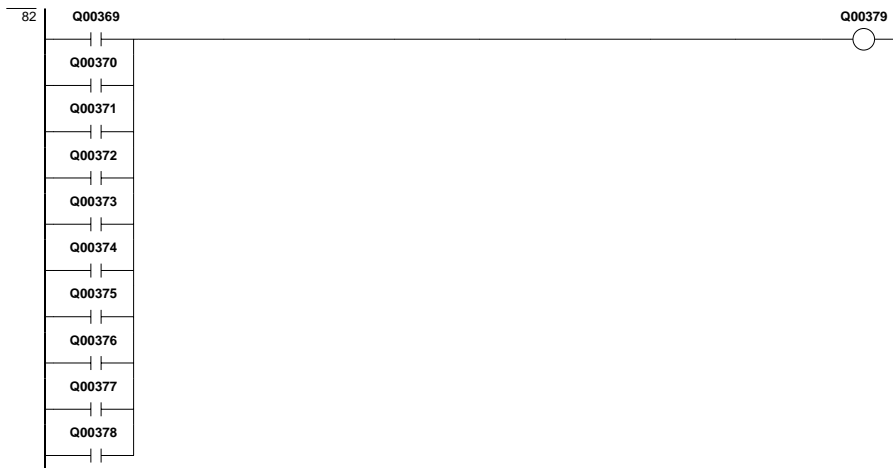


**M00576 %M00576**  
LD Block,'incend': NOCON 00080;

**Q00378 %Q00378**  
LD Block,'incend': NOCON 00081, 00082; COIL 00080;



**Q00369 %Q00369**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00071;  
**R01038 %R01038**  
 LD Block,'incend': ONDTR\_TENTHS 00081;  
**M00548 %M00548**  
 LD Block,'incend': NCCON 00050; COIL 00081;  
**Q00370 %Q00370**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00072;  
**Q00371 %Q00371**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00073;  
**Q00372 %Q00372**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00074;  
**Q00373 %Q00373**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00075;  
**Q00374 %Q00374**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00076;  
**Q00375 %Q00375**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00077;  
**Q00376 %Q00376**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00078;  
**Q00377 %Q00377**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00079;  
**Q00378 %Q00378**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00080;  
**M00545 %M00545**  
 LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;

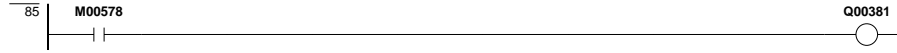


**Q00369 %Q00369**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00071;  
**Q00379 %Q00379**  
 LD Block,'incend': NOCON 00021; COIL 00082;  
**Q00370 %Q00370**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00072;  
**Q00371 %Q00371**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00073;  
**Q00372 %Q00372**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00074;  
**Q00373 %Q00373**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00075;  
**Q00374 %Q00374**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00076;  
**Q00375 %Q00375**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00077;  
**Q00376 %Q00376**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00078;

**Q00377 %Q00377**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00079;  
**Q00378 %Q00378**  
 LD Block,'incend': NOCON 00081, 00082; COIL 00080;



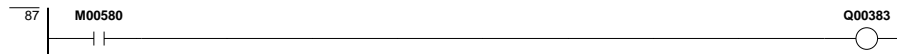
**M00577 %M00577**  
 LD Block,'incend': NOCON 00084;  
**Q00380 %Q00380**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00084;



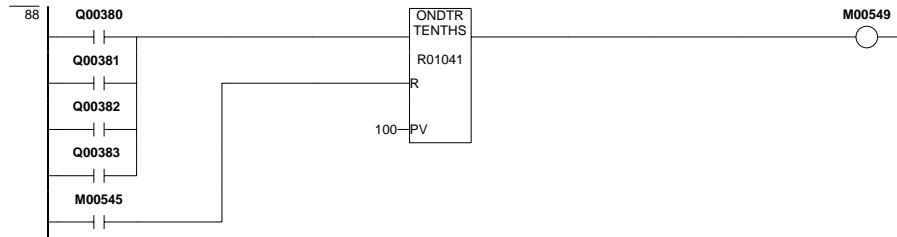
**M00578 %M00578**  
 LD Block,'incend': NOCON 00085;  
**Q00381 %Q00381**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00085;



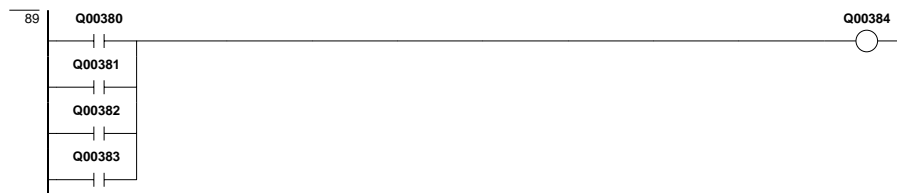
**M00579 %M00579**  
 LD Block,'incend': NOCON 00086;  
**Q00382 %Q00382**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00086;



**M00580 %M00580**  
 LD Block,'incend': NOCON 00087;  
**Q00383 %Q00383**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00087;



**Q00380 %Q00380**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00084;  
**R01041 %R01041**  
 LD Block,'incend': ONDTR\_TENTHS 00088;  
**M00549 %M00549**  
 LD Block,'incend': NCCON 00051; COIL 00088;  
**Q00381 %Q00381**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00085;  
**Q00382 %Q00382**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00086;  
**Q00383 %Q00383**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00087;  
**M00545 %M00545**  
 LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;



**Q00380 %Q00380**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00084;  
**Q00384 %Q00384**  
 LD Block,'incend': NOCON 00021; COIL 00089;  
**Q00381 %Q00381**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00085;  
**Q00382 %Q00382**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00086;  
**Q00383 %Q00383**  
 LD Block,'incend': NOCON 00088, 00089; COIL 00087;



**M00581 %M00581**  
 LD Block,'incend': NOCON 00091;



**Q00385 %Q00385**  
LD Block,'incend': NOCON 00097, 00098; COIL 00091;

**M00582 %M00582**  
LD Block,'incend': NOCON 00091;



**M00583 %M00583**  
LD Block,'incend': NOCON 00092;

**Q00386 %Q00386**  
LD Block,'incend': NOCON 00097, 00098; COIL 00092;

**M00584 %M00584**  
LD Block,'incend': NOCON 00092;



**M00585 %M00585**  
LD Block,'incend': NOCON 00093;

**Q00387 %Q00387**  
LD Block,'incend': NOCON 00097, 00098; COIL 00093;

**M00586 %M00586**  
LD Block,'incend': NOCON 00093;



**M00587 %M00587**  
LD Block,'incend': NOCON 00094;

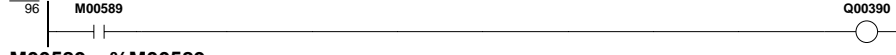
**Q00388 %Q00388**  
LD Block,'incend': NOCON 00097, 00098; COIL 00094;

**M00588 %M00588**  
LD Block,'incend': NOCON 00095;



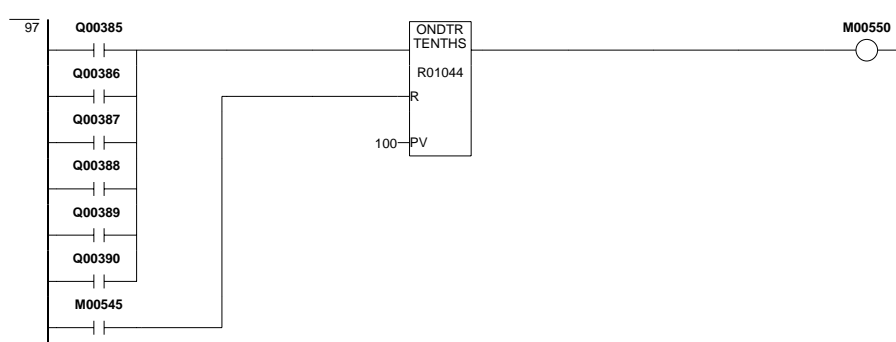
**M00588 %M00588**  
LD Block,'incend': NOCON 00095;

**Q00389 %Q00389**  
LD Block,'incend': NOCON 00097, 00098; COIL 00095;



**M00589 %M00589**  
LD Block,'incend': NOCON 00096;

**Q00390 %Q00390**  
LD Block,'incend': NOCON 00097, 00098; COIL 00096;



**Q00385 %Q00385**  
LD Block,'incend': NOCON 00097, 00098; COIL 00091;

**R01044 %R01044**  
LD Block,'incend': ONDTR\_TENTHS 00097;

**M00550 %M00550**  
LD Block,'incend': NCCON 00052; COIL 00097;

**Q00386 %Q00386**  
LD Block,'incend': NOCON 00097, 00098; COIL 00092;

**Q00387 %Q00387**  
LD Block,'incend': NOCON 00097, 00098; COIL 00093;

**Q00388 %Q00388**  
LD Block,'incend': NOCON 00097, 00098; COIL 00094;

**Q00389 %Q00389**  
LD Block,'incend': NOCON 00097, 00098; COIL 00095;

**Q00390 %Q00390**  
LD Block,'incend': NOCON 00097, 00098; COIL 00096;

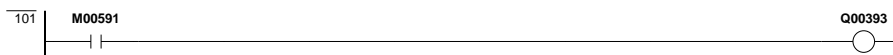
**M00545 %M00545**  
LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;



**Q00385 %Q00385**  
LD Block,'incend': NOCON 00097, 00098; COIL 00091;  
**Q00391 %Q00391**  
LD Block,'incend': NOCON 00021; COIL 00098;  
**Q00386 %Q00386**  
LD Block,'incend': NOCON 00097, 00098; COIL 00092;  
**Q00387 %Q00387**  
LD Block,'incend': NOCON 00097, 00098; COIL 00093;  
**Q00388 %Q00388**  
LD Block,'incend': NOCON 00097, 00098; COIL 00094;  
**Q00389 %Q00389**  
LD Block,'incend': NOCON 00097, 00098; COIL 00095;  
**Q00390 %Q00390**  
LD Block,'incend': NOCON 00097, 00098; COIL 00096;



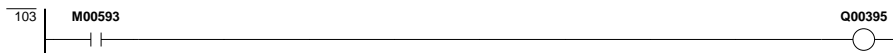
**M00590 %M00590**  
LD Block,'incend': NOCON 00100;  
**Q00392 %Q00392**  
LD Block,'incend': NOCON 00110, 00111; COIL 00100;



**M00591 %M00591**  
LD Block,'incend': NOCON 00101;  
**Q00393 %Q00393**  
LD Block,'incend': NOCON 00110, 00111; COIL 00101;



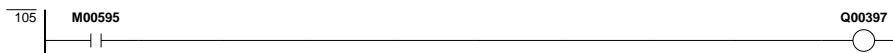
**M00592 %M00592**  
LD Block,'incend': NOCON 00102;  
**Q00394 %Q00394**  
LD Block,'incend': NOCON 00110, 00111; COIL 00102;



**M00593 %M00593**  
LD Block,'incend': NOCON 00103;  
**Q00395 %Q00395**  
LD Block,'incend': NOCON 00110, 00111; COIL 00103;



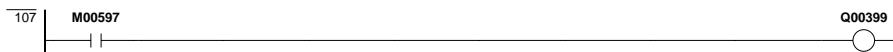
**M00594 %M00594**  
LD Block,'incend': NOCON 00104;  
**Q00396 %Q00396**  
LD Block,'incend': NOCON 00110, 00111; COIL 00104;



**M00595 %M00595**  
LD Block,'incend': NOCON 00105;  
**Q00397 %Q00397**  
LD Block,'incend': NOCON 00110, 00111; COIL 00105;



**M00596 %M00596**  
LD Block,'incend': NOCON 00106;  
**Q00398 %Q00398**  
LD Block,'incend': NOCON 00110, 00111; COIL 00106;



**M00597 %M00597**  
LD Block,'incend': NOCON 00107;  
**Q00399 %Q00399**  
LD Block,'incend': NOCON 00110, 00111; COIL 00107;



**M00598 %M00598**

LD Block,'incend': NOCON 00108;

**Q00400 %Q00400**

LD Block,'incend': NOCON 00110, 00111; COIL 00108;

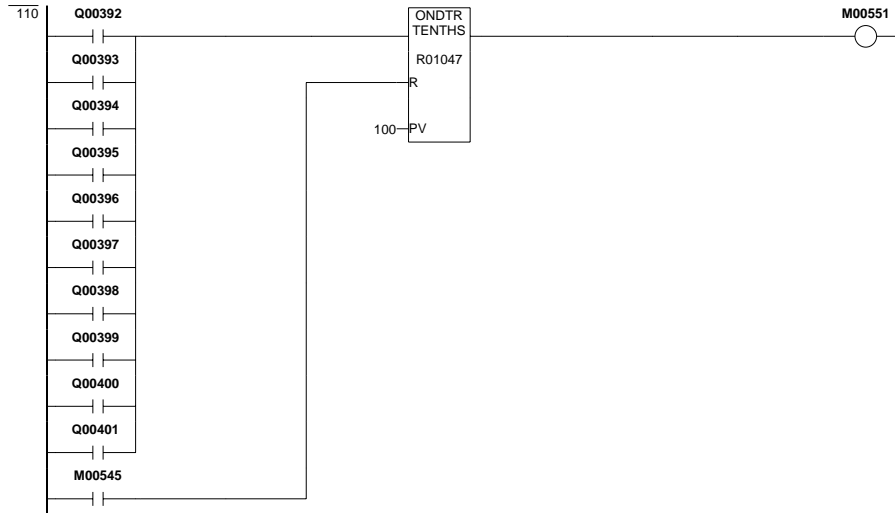


**M00599 %M00599**

LD Block,'incend': NOCON 00109;

**Q00401 %Q00401**

LD Block,'incend': NOCON 00110, 00111; COIL 00109;



**Q00392 %Q00392**

LD Block,'incend': NOCON 00110, 00111; COIL 00100;

**R01047 %R01047**

LD Block,'incend': ONDTR\_TENTHS 00110;

**M00551 %M00551**

LD Block,'incend': NCCON 00053; COIL 00110;

**Q00393 %Q00393**

LD Block,'incend': NOCON 00110, 00111; COIL 00101;

**Q00394 %Q00394**

LD Block,'incend': NOCON 00110, 00111; COIL 00102;

**Q00395 %Q00395**

LD Block,'incend': NOCON 00110, 00111; COIL 00103;

**Q00396 %Q00396**

LD Block,'incend': NOCON 00110, 00111; COIL 00104;

**Q00397 %Q00397**

LD Block,'incend': NOCON 00110, 00111; COIL 00105;

**Q00398 %Q00398**

LD Block,'incend': NOCON 00110, 00111; COIL 00106;

**Q00399 %Q00399**

LD Block,'incend': NOCON 00110, 00111; COIL 00107;

**Q00400 %Q00400**

LD Block,'incend': NOCON 00110, 00111; COIL 00108;

**Q00401 %Q00401**

LD Block,'incend': NOCON 00110, 00111; COIL 00109;

**M00545 %M00545**

LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;



**Q00392 %Q00392**

LD Block,'incend': NOCON 00110, 00111; COIL 00100;

**Q00402 %Q00402**

LD Block,'incend': NOCON 00021; COIL 00111;

**Q00393 %Q00393**

LD Block,'incend': NOCON 00110, 00111; COIL 00101;

**Q00394 %Q00394**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00102;  
**Q00395 %Q00395**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00103;  
**Q00396 %Q00396**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00104;  
**Q00397 %Q00397**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00105;  
**Q00398 %Q00398**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00106;  
**Q00399 %Q00399**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00107;  
**Q00400 %Q00400**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00108;  
**Q00401 %Q00401**  
 LD Block,'incend': NOCON 00110, 00111; COIL 00109;



**M00600 %M00600**  
 LD Block,'incend': NOCON 00113;  
**Q00403 %Q00403**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00113;



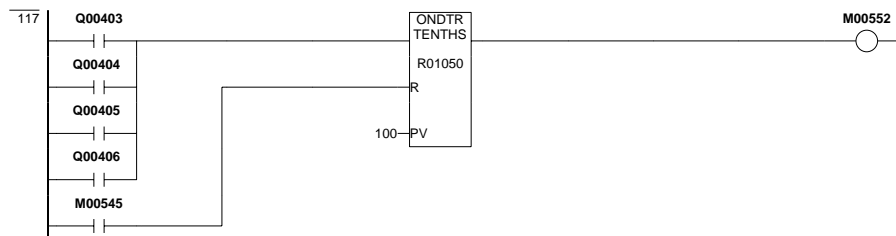
**M00601 %M00601**  
 LD Block,'incend': NOCON 00114;  
**Q00404 %Q00404**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00114;  
**M00602 %M00602**  
 LD Block,'incend': NOCON 00114;



**M00603 %M00603**  
 LD Block,'incend': NOCON 00115;  
**Q00405 %Q00405**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00115;



**M00604 %M00604**  
 LD Block,'incend': NOCON 00116;  
**Q00406 %Q00406**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00116;  
**M00605 %M00605**  
 LD Block,'incend': NOCON 00116;  
**M00606 %M00606**  
 LD Block,'incend': NOCON 00116;  
**M00607 %M00607**  
 LD Block,'incend': NOCON 00116;



**Q00403 %Q00403**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00113;  
**R01050 %R01050**  
 LD Block,'incend': ONDTR\_TENTHS 00117;  
**M00552 %M00552**  
 LD Block,'incend': NCCON 00054; COIL 00117;  
**Q00404 %Q00404**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00114;  
**Q00405 %Q00405**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00115;  
**Q00406 %Q00406**  
 LD Block,'incend': NOCON 00117, 00118; COIL 00116;  
**M00545 %M00545**  
 LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;



**Q00403 %Q00403**  
LD Block,'incend': NOCON 00117, 00118; COIL 00113;  
**Q00407 %Q00407**  
LD Block,'incend': NOCON 00021; COIL 00118;  
**Q00404 %Q00404**  
LD Block,'incend': NOCON 00117, 00118; COIL 00114;  
**Q00405 %Q00405**  
LD Block,'incend': NOCON 00117, 00118; COIL 00115;  
**Q00406 %Q00406**  
LD Block,'incend': NOCON 00117, 00118; COIL 00116;



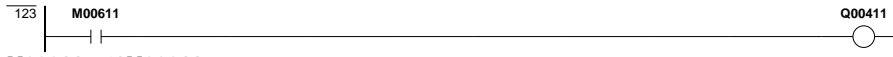
**M00608 %M00608**  
LD Block,'incend': NOCON 00120;  
**Q00408 %Q00408**  
LD Block,'incend': NOCON 00127, 00128; COIL 00120;



**M00609 %M00609**  
LD Block,'incend': NOCON 00121;  
**Q00409 %Q00409**  
LD Block,'incend': NOCON 00127, 00128; COIL 00121;



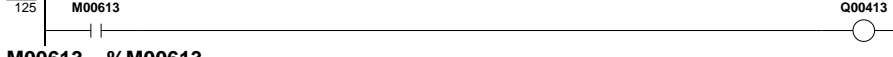
**M00610 %M00610**  
LD Block,'incend': NOCON 00122;  
**Q00410 %Q00410**  
LD Block,'incend': NOCON 00127, 00128; COIL 00122;



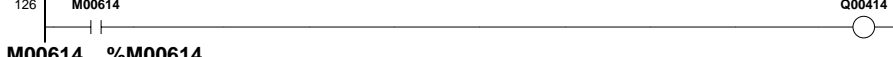
**M00611 %M00611**  
LD Block,'incend': NOCON 00123;  
**Q00411 %Q00411**  
LD Block,'incend': NOCON 00127, 00128; COIL 00123;



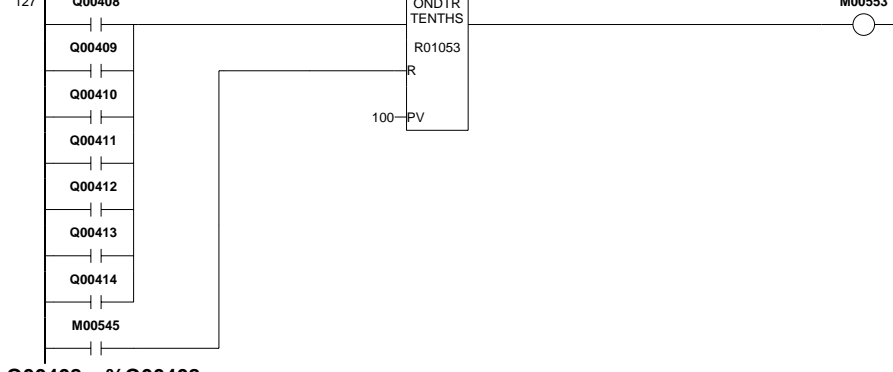
**M00612 %M00612**  
LD Block,'incend': NOCON 00124;  
**Q00412 %Q00412**  
LD Block,'incend': NOCON 00127, 00128; COIL 00124;



**M00613 %M00613**  
LD Block,'incend': NOCON 00125;  
**Q00413 %Q00413**  
LD Block,'incend': NOCON 00127, 00128; COIL 00125;



**M00614 %M00614**  
LD Block,'incend': NOCON 00126;  
**Q00414 %Q00414**  
LD Block,'incend': NOCON 00127, 00128; COIL 00126;



**Q00408 %Q00408**

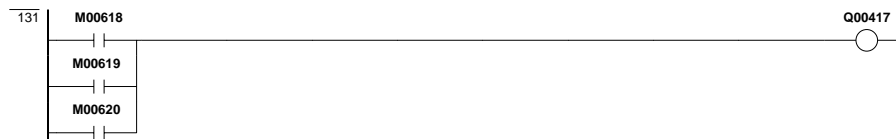
LD Block,'incend': NOCON 00127, 00128; COIL 00120;  
**R01053 %R01053**  
 LD Block,'incend': ONDTR\_TENTHS 00127;  
**M00553 %M00553**  
 LD Block,'incend': NCCON 00055; COIL 00127;  
**Q00409 %Q00409**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00121;  
**Q00410 %Q00410**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00122;  
**Q00411 %Q00411**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00123;  
**Q00412 %Q00412**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00124;  
**Q00413 %Q00413**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00125;  
**Q00414 %Q00414**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00126;  
**M00545 %M00545**  
 LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;



**Q00408 %Q00408**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00120;  
**Q00415 %Q00415**  
 LD Block,'incend': NOCON 00021; COIL 00128;  
**Q00409 %Q00409**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00121;  
**Q00410 %Q00410**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00122;  
**Q00411 %Q00411**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00123;  
**Q00412 %Q00412**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00124;  
**Q00413 %Q00413**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00125;  
**Q00414 %Q00414**  
 LD Block,'incend': NOCON 00127, 00128; COIL 00126;



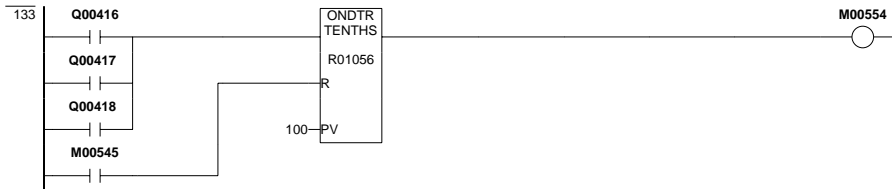
**M00615 %M00615**  
 LD Block,'incend': NOCON 00130;  
**Q00416 %Q00416**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00130;  
**M00616 %M00616**  
 LD Block,'incend': NOCON 00130;  
**M00617 %M00617**  
 LD Block,'incend': NOCON 00130;



**M00618 %M00618**  
 LD Block,'incend': NOCON 00131;  
**Q00417 %Q00417**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00131;  
**M00619 %M00619**  
 LD Block,'incend': NOCON 00131;  
**M00620 %M00620**  
 LD Block,'incend': NOCON 00131;



**M00621 %M00621**  
 LD Block,'incend': NOCON 00132;  
**Q00418 %Q00418**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00132;  
**M00622 %M00622**  
 LD Block,'incend': NOCON 00132;  
**M00623 %M00623**  
 LD Block,'incend': NOCON 00132;



**Q00416 %Q00416**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00130;  
**R01056 %R01056**  
 LD Block,'incend': ONDTR\_TENTHS 00133;  
**M00554 %M00554**  
 LD Block,'incend': NCCON 00056; COIL 00133;  
**Q00417 %Q00417**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00131;  
**Q00418 %Q00418**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00132;  
**M00545 %M00545**  
 LD Block,'incend': NOCON 00068, 00081, 00088, 00097, 00110, 00117, 00127, 00133;



**Q00416 %Q00416**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00130;  
**Q00419 %Q00419**  
 LD Block,'incend': NOCON 00021; COIL 00134;  
**Q00417 %Q00417**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00131;  
**Q00418 %Q00418**  
 LD Block,'incend': NOCON 00133, 00134; COIL 00132;