

MODERNIZACION DEL MODULO DE CARGADO POR CINTAS MAGNETICAS Y DE LAS MEMORIAS A NUCLEO DEL SISTEMA NA-21

Martha Castro¹, César Fraga², Wilmer Naranjo³

RESUMEN

El objetivo de este estudio es hallar una solución para el reemplazo de los dispositivos de almacenamientos no volátiles, como lo son las memorias a núcleo y el registrador de cintas magnéticas del computador de tiro NA-21 a bordo de las Corbetas Clase “Esmeraldas”.

En su primera parte se indican las características funcionales del sistema, las diferentes opciones que podrían servir de reemplazo. Posteriormente se hace un análisis de las ventajas y desventajas de cada uno de ellos.

Finalmente se selecciona uno de los dispositivos y se realiza el diseño y desarrollo de la solución final, y, en caso de las memorias a núcleo, llevar a cabo su implantación en el sistema.

INTRODUCCION

Las Corbetas Clase “Esmeraldas” están equipadas con las Centrales de Tiro NA-21, las cuales se basan en una computadora multiproceso ESA. El año de fabricación de estos equipos es 1980.

La Cía Alenia fabricante de las Centrales de Tiro NA-21 ha dejado de fabricar estos equipos y ha informado que ya no dispone de memorias URWC (memorias a núcleo de ferrita) las cuales ha presentado innumerables fallas.

¹ Ingeniera Eléctrica en Electrónica, 2000.

² Ingeniero Eléctrico en Electrónica, 2000.

³ Director de Tesis, Ingeniero Eléctrico Industrial, ESPOL 1997, Profesor de ESPOL desde 1999.

Una versión moderna de estas memorias es ofertada por la compañía pero a un costo de US\$ 15 000 la unidad.

En esta misma situación se hallan las Cintas Magnéticas Schlumberger PS6021, actualmente DIECAR las está adquiriendo a la Cía Alenia a un costo unitario de US\$ 10 000.

1 SISTEMA NA 21

1.1. Sistema NA-21

El Sistema NA-21 es una Central de Control de Tiro con que están equipadas las Corbetas clase “Esmeraldas” de la Armada del Ecuador. Este computador está conformado realmente por 3 CPU trabajando simultánea y sincronizadamente, consta de 4 bancos de memorias a núcleo no volátiles y un sistema de almacenamiento alterno por cintas magnéticas. Este es un computador multiproceso ESA de tecnología italiana de la década de los 80¹.

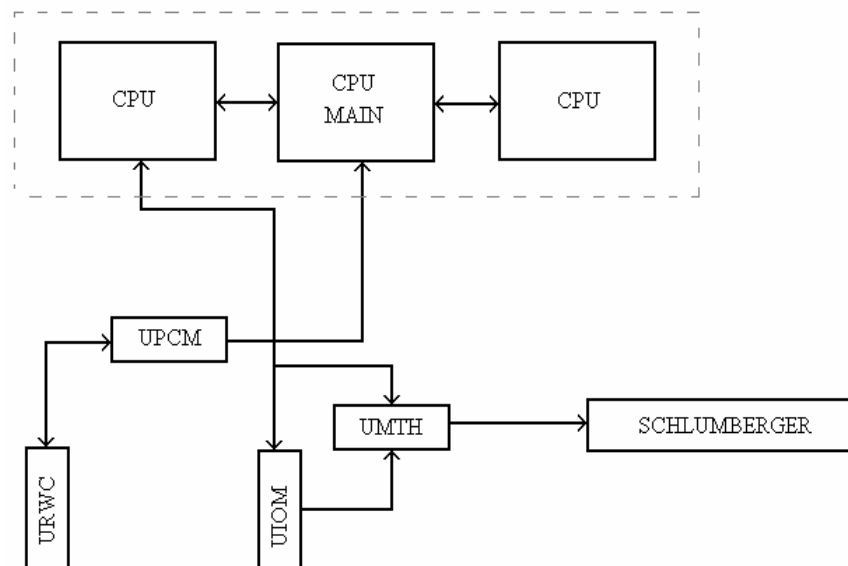


FIGURA 1.1 DIAGRAMA DE BLOQUES DEL SISTEMA NA-21

Las tarjetas URWC son los bancos de memorias que usan como interfaz la tarjeta UPCM para llegar a los CPU. La UMTH es a la vez la tarjeta interfaz para el lector/grabador de las cintas magnéticas, la UIOM básicamente se encarga de mostrar resultados y eventos en displays del lector-grabador de la cinta magnética.

1.2. Antecedentes

1.2.1. Módulos de Memoria a Núcleo del Sistema NA-21

Los módulos de memoria a núcleo, con el tiempo, se han deteriorado volviéndose inservibles. Están compuestas por un núcleo de ferrita que se magnetizan para guardar la información requerida, propiedad que con el tiempo la pierden.

La Cía. Alenia fabricante de las Centrales de Tiro NA-21 ya no produce estos equipos y no dispone de memorias URWC (memorias a núcleo de ferrita) por lo cual han sido paulatinamente reemplazadas por módulos UNUC (versión moderna de las memorias URWC).

1.2.2. Cintas Magnéticas Schlumberger PS 6021

Durante los últimos 5 años se han venido detectando fallas en las cintas magnéticas Schlumberger PS 6021, las cuales son de difícil reparación, ya que por ser un componente mecánico sufre continuas trabas en sus mecanismos ocasionando daños en las cintas, volviéndolas inservibles.

2 MODULOS DE MEMORIA A NUCLEOS DEL SISTEMA NA-21

2.1. Funcionamiento General

La URWC es la tarjeta interfaz entre el sistema central y los dispositivos de memoria (memorias de núcleo de ferrita)

El objetivo de la URWC es de memorizar los datos y programas de procesos en modo no volátil y la posterior recuperación de la información.

Los dispositivos de memoria son de núcleo de ferrita, que para guardar la información en ellos deben magnetizarse. Cuando la información es leída se pierde, por lo que el sistema la reescribe luego de finalizar alguna lectura.

El sistema requiere un orden específico de los datos, tal como se indica a continuación.

Está organizada en páginas de **4K** (4096 palabras), 4 páginas comprende un módulo (tarjeta *URWC*). El sistema permite una extensión de memoria de hasta 4 módulos, teniendo así la disponibilidad de **16K** como mínimo y **64K** como máximo.

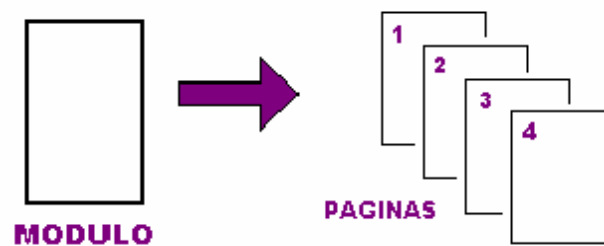


FIGURA 2.1 DISTRIBUCION DE LA MEMORIA POR MODULO

Cada palabra corresponde a un arreglo de 25 bits, 24 de información propiamente dicha, más uno de paridad².

2.2. Procesos de Lectura y Escritura

Los modos de operación son dos:

2.2.1. Borrar-Escribir

La señal SAC de estado alto inactiva se pone activa baja indicando el inicio de un proceso, esto ocurre mientras *RMW* es alta. La dirección a acceder en las memorias es cargada en los registros MAR (*Memory Address Register*). Luego se activa la señal SIC que define la acción de escritura, cargándose los bits DB0/24 presentes sobre el bus de datos (*Input Data Lines*) en el registro de entrada IDR (*Input Data Register*). Inmediatamente después de su desactivación se genera la señal MUA que indica al sistema que las memorias se hayan ocupadas.

2.2.2. Leer-Reestableer

La señal SAC de estado inactiva alta se pone activa baja indicando el inicio de un proceso, esto ocurre mientras *RMW* es alta. La dirección a acceder en las memorias es cargada en los registros MAR (*Memory Address Register*) Luego se activa la señal SOC que define la acción de lectura, cargándose los bits DB0/24 de las memorias al registro de salida ODR (*Output Data Register*). Inmediatamente después de su desactivación se genera la señal MUA que indica al sistema que las memorias se hayan ocupadas.

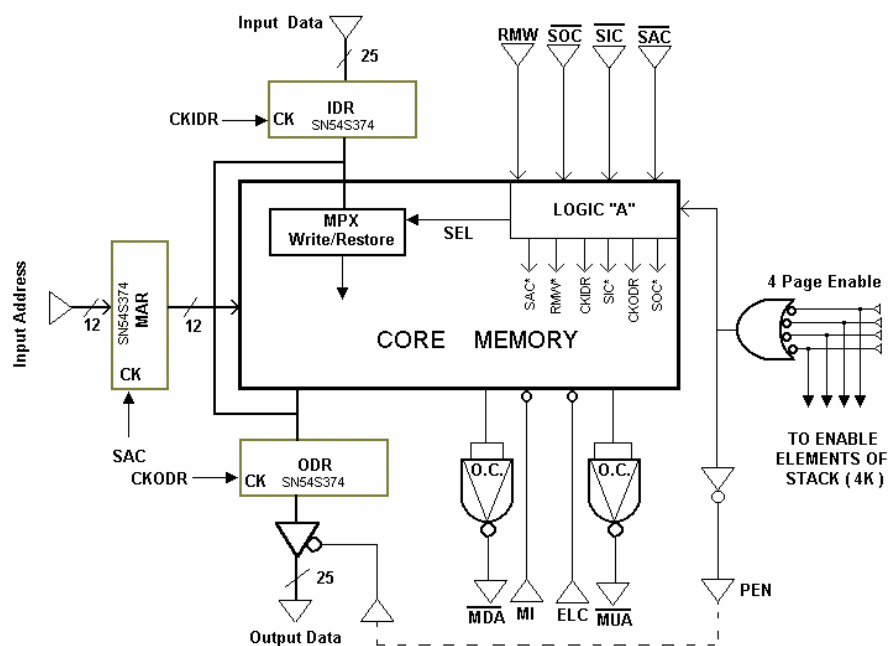


Figura 2.2 Diagrama de Bloques de la Tarjeta URWC

3. DISEÑO DEL NUEVO BANCO DE MEMORIAS

3.1. Parámetros del diseño

- Los bancos de memoria a reemplazar deben ser capaces de mantener la información en ausencia de la alimentación principal.
- Trabajar acorde a los tiempos que requiere el sistema.
- Soportar rangos de temperatura entre los 0° y 70° C.

3.2. Memorias requeridas para el diseño

Las memorias deben cumplir con las principales características de escritura, lectura y de ser posible ser no volátiles.

Se hace el análisis de las posibles memorias a usar, concluyendo que para el reemplazo las convenientes a usar son las Benchmark bq 4011Y NVSRAM³ por las razones funcionales que se observan en las tablas I, II, III.

Tabla I Características funcionales de las memorias NVSRAM

CARACTERISTICAS	NVSRAM bq 4011Y
Tiempo de lectura-escritura	150 ns
Tecnología	CMOS
Salida	TTL
Vcc mín/máx	-0.3 a 7.0
Capacidad	16Kx8 bits
Datos	D0-D7 (08 datos)
Direcciones	A0-A13 14 direcciones

Tabla II Modo de Operación de las SRAM

-CS	-W	Dn	Mode
H	X	HiZ	<i>Stdby</i>
L	H	Data out	<i>Read</i>
L	L	Data in	<i>Write</i>

Tabla III Modo de Operación de las NVSRAM

Mode	-CE	-WE	-OE	Operaciòn.	Power
No select	H	X	X	HiZ	<i>Stdby</i>
Out dis.	L	H	H	HiZ	<i>Active</i>
READ	L	H	L	Dout	<i>Active</i>
WRITE	L	L	X	Din	<i>Active</i>

A más de estas características estos dispositivos de memoria son capaces de:

- a. Guardar la información como mínimo 10 años sin alimentación.
- b. La distribución de los pines es la misma tanto para las SRAM como para las NVSRAM, lo que permite un inmediato reemplazo.
- c. Posee una pila interna de litio que alimenta sólo en ausencia de la alimentación principal.
- d. Protección automática de escritura en los ciclos de encendido-apagado de las memorias.
- e. Detecta la baja de voltaje de la alimentación principal, si esta decae por debajo de su valor mínimo de operación normal se “desconecta” y se pone en “Stand by”, protegiendo así la información de escrituras falsas (Salidas en alta impedancia).
- f. Se producen en calidad de uso comercial e industrial

Por las características citadas y las múltiples ventajas que representa, las memorias a usar son las NVSRAM, la compañía ofertante es BENCHMARK, una subdivisión de la compañía Texas Instruments.

3.3. Diseño del Prototipo

El prototipo se hace con las SRAM y con una pequeña pila recargable de poca duración hasta la adquisición de las memorias NVSRAM, aprovechando sus similares características.

3.3.1. Diagrama de Bloques General

Cada módulo de almacenamiento consta de 4 memorias, 3 bloques de registros de sostenimiento: registro de direccionamiento, escritura y lectura. Un circuito de señales de control y únicamente para el prototipo un circuito de alimentación auxiliar. Figura 3.1

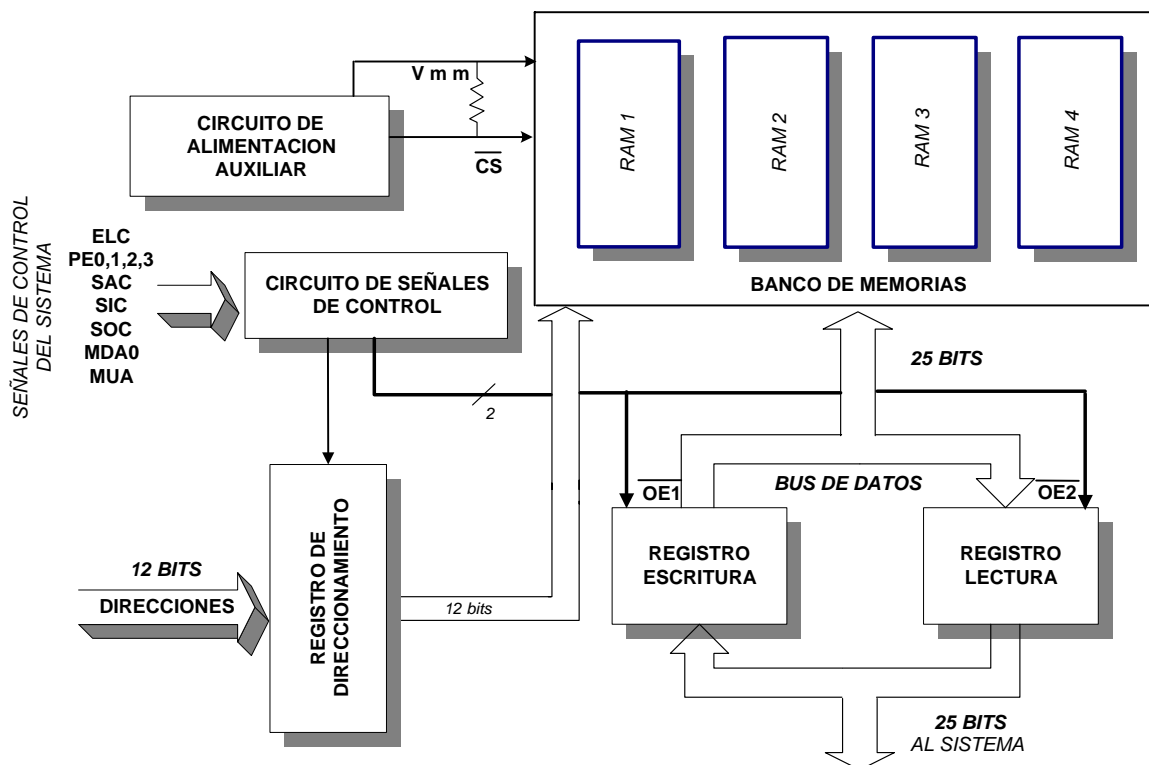


FIGURA 3.1 DIAGRAMA DE BLOQUES GENERAL DE LA TARJETA REEMPLAZO MEMORIA A NUCLEOS

3.3.2. Descripción de los Bloques

3.3.2.1. Circuito de alimentación auxiliar

Este circuito fue concebido únicamente para el prototipo. Un sencillo circuito RC de carga y descarga, donde el capacitor de 1 F actúa como una pila, mantiene la alimentación en las memorias SRAM por un corto tiempo, suficiente para realizar pruebas. Entendiéndose que las memorias definitivas a usar son las NVSRAM⁴.

Cuando la alimentación principal está presente el capacitor se carga a través de la resistencia R1, luego, este llega a su carga máxima y el diodo D1 impide que este se descargue. Las memorias son alimentadas por Vcc a través de D1, D2, R1 y R2. El diodo D2 impide corrientes de fuga, parásitas y de cargas al capacitor al inicio de operación.

La habilitación de las memorias es controlada por las respectivas señales de control (CS.L en las memorias SRAM). Las resistencias R3 entre Vmm y CS.L permite la deshabilitación de las SRAM en ausencia de la alimentación principal y por ende menor consumo de corriente.

Cuando la alimentación está presente CS está subordinada a las señales de control, R3 permite la caída de voltaje entre Vmm y un CS de voltaje bajo. En caso de que la alimentación principal se ausente y el capacitor C1 alimente a las SRAM las señales de control no actúan, y CS queda con voltaje alto desde Vmm a través de la resistencia R3 deshabilitándolas.

3.3.2.2. Circuito de las Señales de Control

Recibe las señales del sistema y envía las de respuesta. Controla los bancos de direccionamiento, escritura y lectura, además tiene el control del banco de memorias.

Las direcciones AB0/11 son capturadas en el registro de direccionamiento al llegar la señal SAC, esta señal es invertida en lógica para ser utilizada como reloj en dichos registros. Estas direcciones van a las memorias desde A3 hasta A14.

Las señales PE0, PE1, PE2 y PE3 como habilitadores de página seleccionan en sí un sector de memoria en los bancos, así, si PE0=1 entonces selecciona el sector correspondiente 0, mientras que las demás están inactivas. Se concluye que no pueden haber dos o más páginas habilitadas a la vez.

Las direcciones A0, A1 y A2 de las memorias son asignadas por PE1, PE2 y PE3 respectivamente. Con A0, A1 y A2 se ha dividido en 8 partes la capacidad de la memoria, a lo que llamamos páginas. Se requieren 4 de las 8, utilizamos entonces la mitad de la capacidad total⁵.

La activación de cualquiera de las señales PE0, PE1, PE2 o PE3 habilitan todas las memorias del módulo, CE, en ausencia de ellas el módulo se haya deshabilitado, en estado de alta impedancia para las memorias .

La señal ELC es una orden de reset general para el módulo, con él se inicializan los disparadores U15A, U15B y U16A, y en estado preset al flip flop D U14A.

Al empezar un ciclo, ya sea de lectura o escritura, se recibe la señal SAC como inicialización, esta señal actúa como clock para el FF D U14A, cuya salida Q es puesta a nivel alto, esta señal es MDA. La señal MUA pone en activa baja a MDA hasta la llegada de otro SAC.

La presencia de cualquiera de las dos señales SOC o SIC activan el disparador U16A, el mismo que genera un pulso con ancho definido y lógica negativa, Q.L, esta señal es MUA, su duración es graduable gracias al potenciómetro 2, su tiempo está entre los 50 ns a los 250 ns.

MUA es la señal de reloj para la captura de datos en los registros de lectura, U5, U6, U7, U8. Mientras que para los registros de escritura, U1, U2, U3, U4, la señal de reloj es SIC. Los registros realizan la captura con flancos positivos. Una vez que las memorias están seleccionadas, CE presente, y direccionadas por el sistema, llega la orden de lectura o escritura. Si es un ciclo de lectura se presenta la señal SOC, esta llega al disparador U15A y genera una señal con ancho de pulso definido en 1.8 μ s denominada SOC ext, que a la vez habilita la lectura, OE en las memorias, y la salida de los registros correspondientes, OC, al bus de datos. Es decir que los bits leídos de las memorias y capturados en los registros U5, U6, U7, U8 por el flanco positivo de MUA están presentes en el bus de datos por el tiempo de 1.8 μ s.

En un ciclo de escritura se presenta la señal SIC, llega al disparador U15B y genera SIC ext, un pulso de lógica negativa de 400 ns de duración, que de igual manera habilita la escritura en las memorias WE y la salida OC de los registros U1, U2, U3, U4. Los bits de datos presentes en el bus son capturados con el flanco positivo de SIC. Los 400 ns es el tiempo que requerimos para grabar los datos en el banco de memorias.

6. CINTAS MAGNETICAS SCHLUMBERGER PS 6021

6.1. Dispositivo de almacenamiento externo del sistema NA-21

El Sistema NA-21 cuenta con un grabador/lector de cintas magnéticas como un dispositivo de almacenamiento externo. En él se encuentran programas de respaldo como el Sistema Operativo, programas de diagnóstico y variables para ciertos cálculos que los requiere el CPU en un momento determinado⁶.

Si por algún motivo la NA-21 pierde el programa del Sistema Operativo de las memorias a Núcleos o requiere de uno en específico este puede cargarse desde las cintas magnéticas⁷.

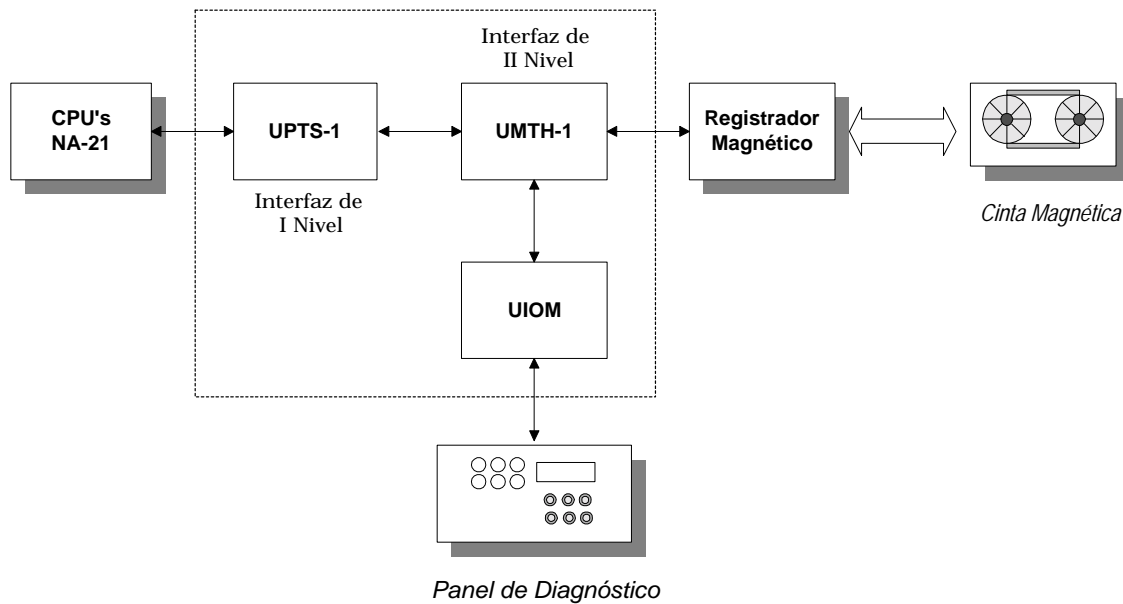


FIGURA 6.1 DIAGRAMA DE BLOQUES DE LOS SISTEMAS PERIFERICOS DE LA NA-21

Las tarjetas UPTS-1, UMTH-1 y la UIOM constituyen la interface para la transferencia de señales y datos entre el CPU y el grabador magnético; y a la vez la interface relativa a las botoneras del panel de diagnóstico. Ver figura 6.1

La UPTS-1 es una interfase de 1º nivel mientras la UMTH-1 y la UIOM son de 2º nivel. El panel de diagnóstico es en sí un tablero de presentación que muestra ciertos eventos en forma visual que van desarrollándose en el Sistema NA-21, incluso el estado de ciertas tarjetas

6.2. Cinta Magnética

6.2.1. Formato de grabado

La cinta magnética tiene grabados los datos por tramas, y cada trama constituida por tres paquetes de 9 bits cada uno. (8 de información más uno de paridad para verificación de errores en transmisión)⁸.

La trama empieza con una introducción que no es más que una secuencia de 10 bits de ceros y unos de forma alternada, y de igual manera para finalizar con una conclusión.

Al finalizar la introducción, el bit 11 es un PA, tiene un valor cero indicando que el paquete anterior no es información.

A continuación llega un *sproket* indicando separación entre la introducción y el primer paquete de datos. El dato palabra es leído con su respectivo bit de paridad. PA=1 indica que la trama es información propiamente dicha.

Luego de la transmisión de la trama existe una zona con nivel alto llamada IRG, la cual separa las tramas entre sí⁹. Ver figura 6.2

El tipo de formato con que se organiza los programas, con sus respectivos códigos de identificación, no se conoce en su totalidad por ser información no proporcionada de manera completa por la compañía fabricante.

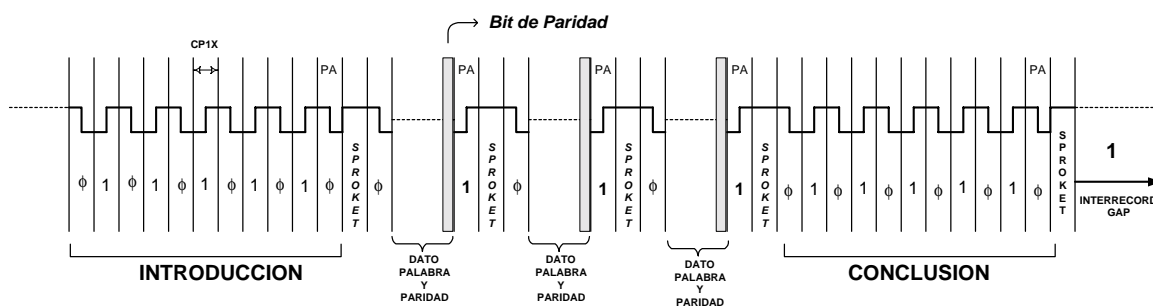


Figura 6.2 Modo de Grabado de la Cinta Magnética

7. Recuperación de la Información de la Cinta Magnética

7.1. Captura de datos desde la tarjeta UMTH-1

Después de hacer un estudio del formato de la trama de las cintas magnéticas, se llegó a la conclusión que se puede hacer su captura desde la tarjeta UMTH-1 en el registro de sostenimiento, debido a que el formato llega en forma completa hasta dicho registro.

Para realizar la adquisición de los datos, se requiere un computador con su respectivo circuito de interfase con la tarjeta UMTH-1. La tarjeta PCL-818HG es utilizada para este propósito.

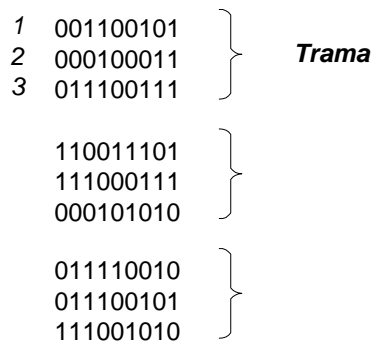
En una recuperación de datos exitosa, hay que tener en cuenta el sincronismo entre la tarjeta UMTH-1 y la PCL-818HG. Para este objetivo, se utiliza la señal OE.L como orden de captura de datos.

Una vez que se ha recuperado los datos de las cintas magnéticas, se graban en las memorias por tramas con ayuda de un computador. (De similar manera de como son recuperados los datos de la cinta magnética).

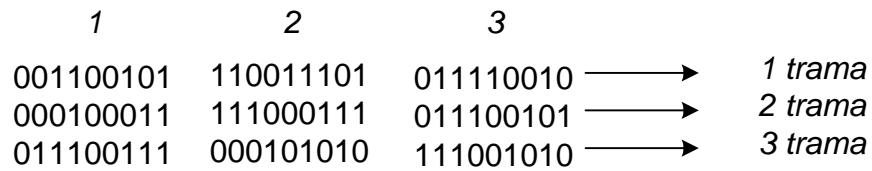
- Archivo en que constan los datos binarios recuperados directamente de las cintas magnéticas. (Cada paquete consta de nueve bits).

001100101	110011101	011110010
000100011	111000111	011100101
011100111	000101010	111001010

-Datos recuperados en paquetes

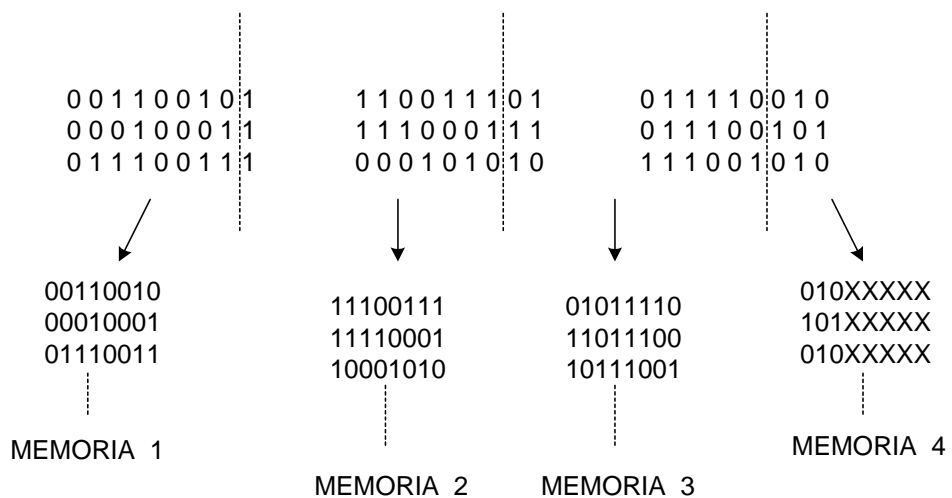


-Separados y arreglados por tramas



Los datos se arreglan por tramas, cada trama consta de tres paquetes de información.

Para guardar estos datos en las memorias se requiere de una reorganización debido a que en ellas podemos grabar solamente palabras de 8 bits.



Se logra así mantener el mismo formato de adquisición de datos del sistema NA-21.

8. SOLUCION Y DISEÑO DEL REEMPLAZO DE LAS CINTAS MAGNETICAS

Se decide reemplazar la tarjeta UMTH-1 por otra capaz de mantener el mismo tipo de comunicación con la UIOM, y al mismo tiempo, tener el control del nuevo dispositivo de almacenamiento. Es en si una modificación de la tarjeta UMTH-1.

En cuanto al dispositivo a usar se debe considerar que:

- La capacidad de memoria de la cinta no sobrepasa los 256K.
- La necesidad de hacer una escritura es eliminada ya que las variables de acción pueden ser grabadas directamente a las memorias a núcleo.
- No es necesario que el programa del sistema operativo u otros estén en el dispositivo debido a que si por algún motivo son borrados de las memorias a núcleo pueden recuperarse y cargarse nuevamente de manera externa.
- No se cuenta con la información exacta del formato de grabado en las cintas magnéticas ni códigos de identificación de programas, solamente con que los datos son transmitidos en paquetes de 9 bits y que cada trama cuenta con tres de estos.
- Las tramas son enviadas secuencialmente sin pre-direccionamiento alguno.

La eliminación definitiva de este dispositivo estaría entonces justificada si no fuera por aquellos programas de diagnostico que corren desde la cinta magnética directamente sin necesidad de cargarlos antes en las memorias a núcleo.

Se concluye, que para no tener conflictos en formatos de grabado y recuperar la información de la manera más simple y parecida a las de las cintas, usar bancos de memoria en similar configuración que las memorias a núcleo.

En síntesis, la configuración de la nueva UMTH-1 es como se muestra en la figura 8.1

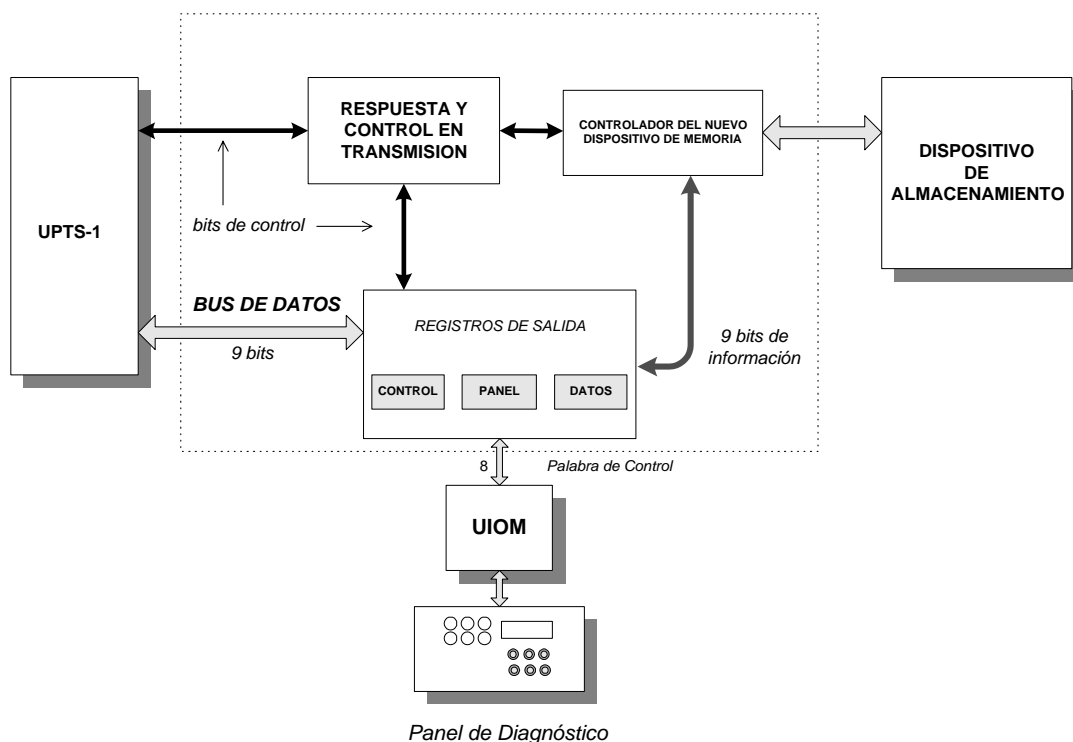


Figura 8.1 Diagrama de bloques de la nueva UMTH-1

8.1. Diseño del Prototipo

8.1.1. Descripción Funcional de los Bloques

Selección de pista bloque 1; Recibe las señales OD14, OD13, OD12 con la información del sector de memoria a acceder, este las pasa directamente a las direcciones de los bancos.

Direccionamiento bloque 2; Se encarga de hacer un barrido de las direcciones de las memorias cuando se accede a una

lectura. Indica el inicio y fin de la “cinta”, mediante las señales BOT y EOT.

Orden de Lectura bloque 3: Inicia el ciclo de lectura al recibir las señales de la UPTS-1, OD19 y EFA', enviando al controlador la orden LEC.H. DIRG es enviada por el bloque 4 indicando la finalización de una trama.

Respuesta y Control en Transmisión bloque 4; Mantiene la comunicación de control con la UPTS-1. Las señales involucradas son IDA, IDR y EIR las que significan dato enviado, dato recibido y error en transmisión respectivamente. Coordina la habilitación de los registros de los bloques 6 y 7 para la salida de la palabra de control desde el Panel de Diagnóstico y sobre el normal funcionamiento de la tarjeta como también del dispositivo de almacenamiento.

Control de Dato y Trama bloque 5; Indica al controlador el fin de la trama (cada tres paquetes de 9 bits) además de ser responsable de la habilitación de estos datos al bus de salida.

Registro de las Palabras de Control bloque 6 y 7; Contiene la palabra de control del Panel de Diagnóstico y del funcionamiento del dispositivo de almacenamiento respectivamente. La habilitación hacia el bus de datos de salida es hecha por las señales OETH.L y OESC.L enviados por el bloque de Respuesta y Control en Transmisión

Controlador bloque 9; Conformado por un pequeño programa de control en una memoria EPROM, procede al inicio del ciclo de lectura, informa la presencia de un dato en el bus de salida y de la coordinación del envío secuencial de tramas.

8.2. Banco de memorias

Las memorias son de igual característica que las usadas en la tarjeta memorias a núcleo.

8.3. Circuito de reconocimiento

Está conformado por los bloques de Orden de Lectura, Respuesta y Control en Transmisión y Control de Dato y Trama.

8.4. Controlador

Las señales gestionadas por el controlador son:

Salidas:

CLR_M : Clear memoria; inicia la cuenta en el barrido de direcciones en las memorias.

CLR_{CE} : *Clear chip enable*; inicia contador binario para la habilitación secuencial de las memorias por niveles.

OE_M : *Output enable* de la memoria; habilitación de la salida de datos desde las memorias.

CE_{MG1} : *Chip enable*; habilitación del respectivo nivel en el banco de memorias.

CP_M : Reloj de captura de datos leídos en los registros de salida.

DL : *Dato listo*; el dato se encuentra capturado en los registros.

CP_{CNM} : Reloj de contador ascendente. Habilita la salida de datos por paquetes.

IRG : *Inter record gap*; informa que se ha enviado una trama de tres paquetes.

Entradas:

EFA' : generada en la UPTS-1 que indica el inicio de un proceso de comunicación.

LEC : señala el inicio de un ciclo de lectura.

INP : Confirmación de dato listo y leído.

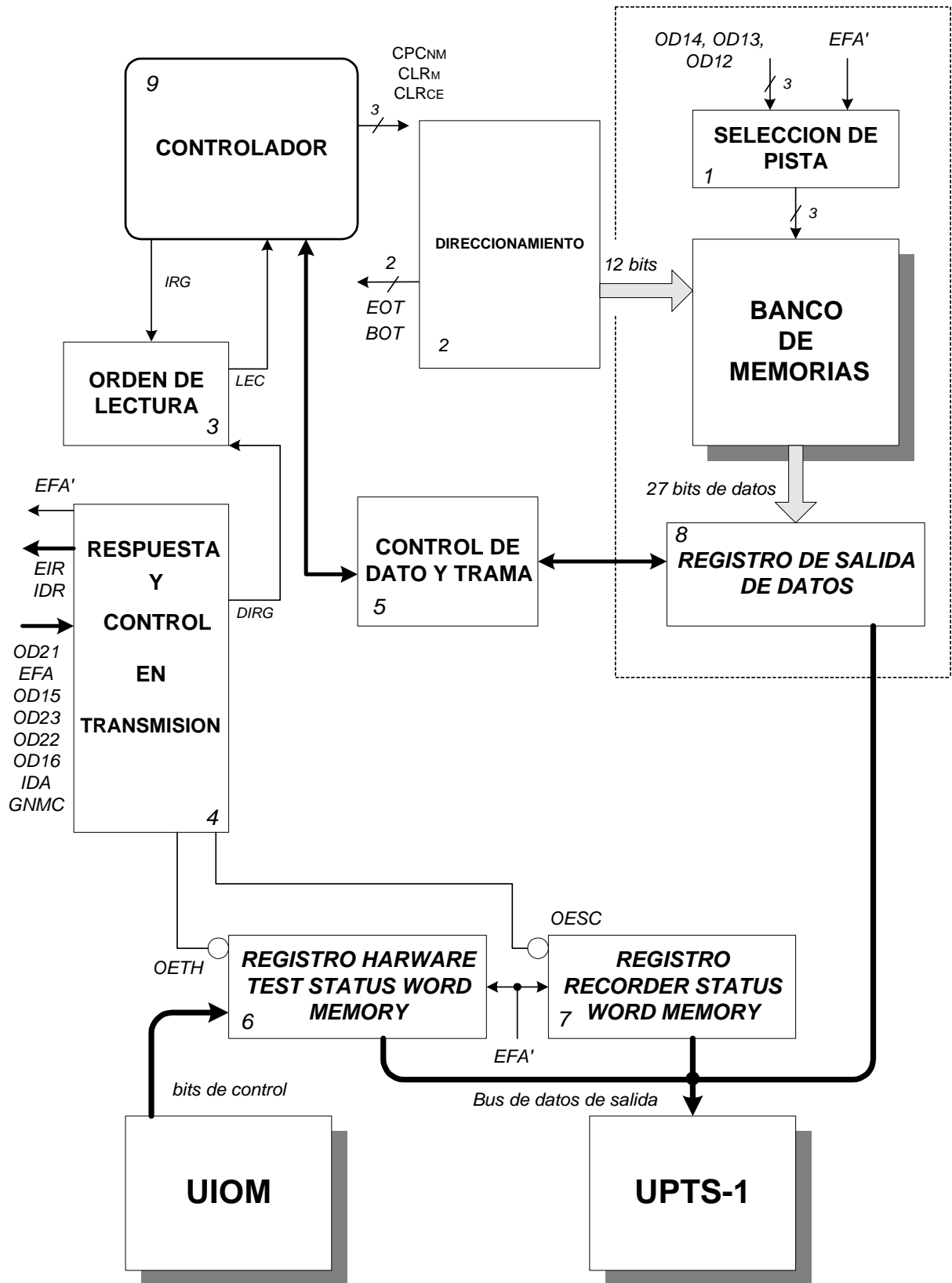


FIGURA 8.2 DIAGRAMA DE BLOQUES DE LA UMTH-1 CON EL BANCO DE MEMORIAS

8.4.1. Diagrama ASM y de Tiempo

Se muestra en la figura 8.3 el diagrama ASM del controlador y 8.4 el diagrama de tiempo.

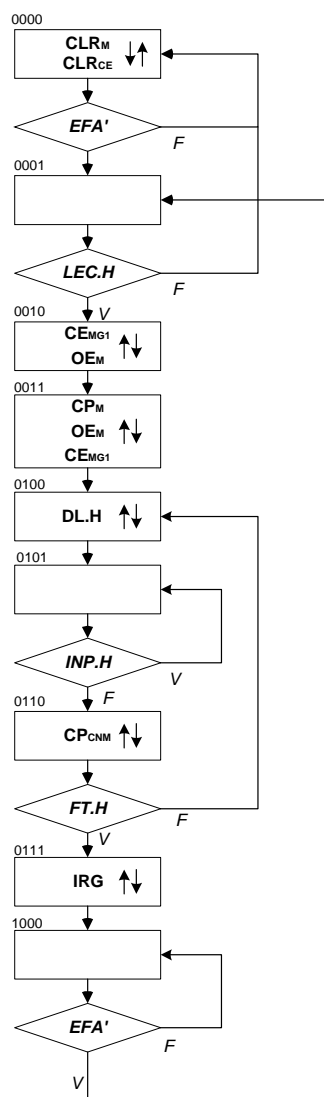


Figura 8.3 Diagrama ASM

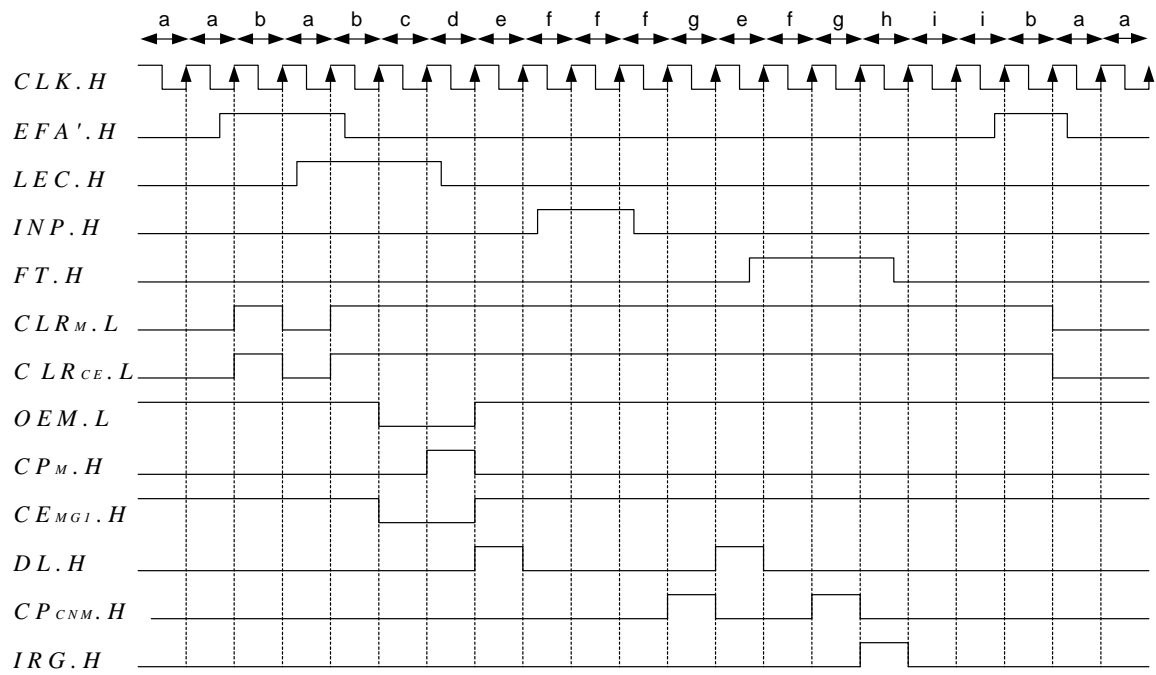


FIGURA 8.4 DIAGRAMA DE TIEMPO DEL CONTROLADOR DE LA NUEVA TARJETA UMTH-1

REFERENCIAS

1. M. Castro, C. Fraga, "Modernización del Módulo de cargado por Cintas Magnéticas y de las Memorias a Núcleo del Sistema NA-21 (Tesis, Facultad de Ingeniería en Electricidad y Computación, Escuela Superior Politécnica del Litoral, 2000).
2. R. Boylestad.- Electrónica Teoría de Circuitos.- (Quinta Edición, México, Prentice Hall, 1989), pp 180-200.
3. <http://www.benchmark.com>
4. R. Boylestad, Op. Cit. pp 50-70
5. R. Tocci.-Sistemas Digitales: Principios y Aplicaciones.- (Sexta Edición, Prentice Hall, 1991), pp 200-210.
6. Manual de Operación.- 1992 (Reservado).
7. Manual de Mantenimiento.- 1992 (Reservado).
8. <http://www.pue.udlap.mx/~electro/soft.htm>
9. W. Stallings.- Comunicaciones y Redes de Computadoras.- (Quinta Edición, Prentice Hall, 1989), pp 145-160.