

62.3819532
CAS



ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL

Facultad de Ingeniería en Electricidad y Computación

“MODERNIZACIÓN DEL MÓDULO DE CARGADO POR CINTAS MAGNÉTICAS Y DE LAS MEMORIAS A NÚCLEO DEL SISTEMA

NA-21”

TESIS DE GRADO

Previa la obtención del Título de:

INGENIERO EN ELECTRICIDAD

Especialización: Electrónica

Presentada por:

Martha Isabel Castro Ortiz

César Víctor Fraga Noboa

GUAYAQUIL-ECUADOR

AÑO

2001



D-22902

CIB

AGRADECIMIENTO

A la Dirección de Investigación y Desarrollo Naval de la Armada del Ecuador por haber confiado en nosotros la realización de este proyecto, y a todas las personas que colaboraron en su culminación.

DEDICATORIA

A Héctor e Isabel, mis padres;

A DIOS,

A Irina, mi hermana;

A MIS PADRES

Y a mi tía Laura

A MIS FAMILIARES.

Martha Castro

César Fraga

TRIBUNAL DE GRADUACION



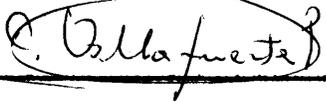
Ing. Carlos Monsalve

SUB-DECANO DE LA FIEC



Ing. Wilmer Naranjo

DIRECTOR DE TESIS



Ing. Carlos Villafuerte

MIEMBRO



ing. Rebeca Estrada

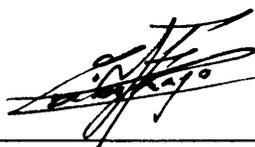
MIEMBRO

DECLARACION EXPRESA

“La responsabilidad del contenido de esta Tesis de Grado, nos corresponden exclusivamente; y el patrimonio intelectual de la misma a la ESCUELA SUPERIOR POLITECNICA DEL LITORAL”.



Martha Isabel Castro Ortiz



César Víctor Fraga Noboa

RESUMEN

El objetivo de este estudio es hallar una solución para el reemplazo de los dispositivos de almacenamientos no volátiles, como lo son las memorias a núcleo y el registrador de cintas magnéticas del computador de tiro NA-21 a bordo de las Corbetas Clase Esmeraldas

En su primera parte se indican las características funcionales del sistema, las diferentes opciones que podrían servir de reemplazo Posteriormente se hace un análisis de las ventajas y desventajas de cada uno de ellos.

Finalmente se selecciona uno de los dispositivos y se realiza el diseño y desarrollo de la solución final.

INDICE GENERAL

RESUMEN _____	VI
INDICE GENERAL _____	VII
ABREVIATURAS _____	XI
INDICE DE FIGURAS _____	XII
INDICE DE TABLAS _____	XIII
INTRODUCCIÓN _____	XIV
1. SISTEMA NA-21 _____	1
1.1. Sistema NA-21 _____	1
1.2. Antecedentes _____	3
1.2.1. Módulos de memoria a núcleos del Sistema NA-21 __	3
1.2.2. Cintas magnéticas Schlumberger PS 6021 _____	3
2. MODULOS DE MEMORIA A NUCLEOS DEL SISTEMA NA-21	5
2.1. Funcionamiento general _____	5
2.2. Descripción del diagrama de bloques _____	7
2.3. Señales involucradas _____	9
2.4. Procesos de lectura y escritura _____	12
2.4.1. Borrar –escribir _____	12

2.4.2. Leer-reestablecer _____	13
3. DISEÑO DEL NUEVO BANCO DE MEMORIAS _____	16
3.1. Parámetros del diseño _____	16
3.2. Memorias requeridas para el diseño _____	16
3.2.1. Memorias FLASH _____	17
3.2.2. Memorias SRAM _____	18
3.2.3. Memorias no volátiles SRAM (NVSRAM) _____	19
3.3. Toma de las señales en el NA-21 _____	21
3.4. Diseño del prototipo _____	21
3.4.1. Diagrama de bloques general _____	21
3.4.2. Descripción de los bloques _____	24
3.4.2.1. Circuito de alimentación auxiliar _____	24
3.4.2.2. Circuito de las señales de control _____	25
4. DESARROLLO E INTEGRACION DEL PROTOTIPO AL SISTEMA _____	30
4.1. Cálculos _____	30
4.2. Pruebas _____	32
4.3. Producto final _____	33
4.4. Diagrama de Tiempo _____	33
4.5. Distribución de las señales en los conectores de la tarjeta ____	36
5. CINTAS MAGNETICAS _____	37
5.1. Unidades de almacenamiento _____	37

5.2. Medios de grabación magnética _____	41
5.3. Modos de grabación y lecturas magnéticas _____	42
5.4. Cintas magnéticas _____	43
5.4.1. Tipos _____	46
5.4.2. Capacidad de las cintas magnéticas _____	50
5.4.3. Tiempo de acceso en las cintas magnéticas _____	51
5.4.4. Velocidad de transferencia _____	52
5.4.5. Funciones de las cintas magnéticas _____	53
5.4.6. Condiciones de mantenimiento _____	55
6. CINTAS MAGNETICAS SCHLUMBERGER PS 6021 _____	58
6.1. Dispositivo de almacenamiento externo del sistema NA-21 _	58
6.2. Descripción funcional de los servicios periféricos _____	60
6.2.1. Datos de entrada al CPU desde el registrador magnético _____	60
6.2.2. Salida de datos desde el CPU al registrador magnético	66
6.2.3. Entrada al CPU de la palabra de control _____	70
6.2.3.1. Entrada de la palabra de control del registrador magnético bajo requerimiento del CPU _____	70
6.2.3.2. Entrada al CPU de la palabra de control del registrador magnético por principio de interrupción _____	72

6.2.4. Entrada al CPU de la palabra de control desde el panel del sistema de diagnóstico _____	75
6.3. Cinta magnética _____	78
6.4. Formato de grabado _____	78
6.4.1. Tipo de información _____	82
6.4.2. Sistema operativo _____	82
6.4.2.1. Programas de diagnóstico _____	82
6.4.2.2. Constantes de operación _____	82
6.4.2.3. Tipos de programas _____	83
7. RECUPERACION DE LA INFORMACIÓN DE LA CINTA MAGNETICA _____	84
7.1. Programa fuente _____	84
7.2. Impresora _____	85
7.3. Captura de datos desde la tarjeta UMTH-1 _____	85
7.4. Tarjeta interfase para la captura de datos _____	86
8. SOLUCION Y DISEÑO DEL REEMPLAZO DE LAS CINTAS MAGNETICAS _____	88
8.1. Posibles soluciones, ventajas y desventajas _____	88
8.2. Diseño del prototipo _____	94
8.2.1. Descripción funcional de los bloques _____	94
8.3. Banco de memorias _____	97
8.4. Circuito de reconocimiento _____	98

8.5. Controlador _____	98
8.5.1. Diagrama ASM y de Tiempo _____	99
8.6. Carga de la información a las memorias _____	102
VI CONCLUSIONES _____	105
VI RECOMENDACIONES _____	106
VII ANEXOS _____	107
VIII BIBLIOGRAFIA _____	160

ABREVIATURAS

AB 0/11	(Address 0/11) Direcciones 0 hasta 11
ADDR. BUS	(Address Bus) Bus de Direcciones
BACKUP	Respaldo de Seguridad
BOT	(Beginning of Tape) Comienzo de Cinta
BPI	(Bytes per Inch) Bytes por pulgada de pista
CE	(Chip Enable Input) Entrada habilitadora del Chip
CE _{MG1}	Habilitación del nivel en el banco de memorias
CLAB	Genera la cancelación de IDR
CLR _{CE}	Inicio de la habilitación secuencial de las memorias por niveles
CLR _M	Inicio de barrido de dirección en las memorias
CP _{CNM}	Habilitación de la salida de datos por paquetes
CP _M	Captura de datos en el registro de salida
CPU	(Central Processing Unit) Unidad de Procesamiento Central
CS	(Chip Select) Habilitación del chip
DATA AV.	(Data Available) Dato Disponible
DB 0/24	(Data Bus 0/24) Bus de datos desde 0 hasta 24

DIRG	(Tape reading in the interrecord gap) Leer en el IRG
DL	Dato capturado en los registros
DOC	(Data Output Control) Control de Datos de Salida
EFA	(External Function) Función Externa
EHT	Petición para transmisión de la Palabra de Control del circuito de test
EIR	(External Interrupt Request) Petición de interrupción externa
ELC	(External Logic Clear) Borrado Externo
EOT	(End of Tape) Fin de la Cinta
EPROM	ROMs programables borrrables por rayos ultravioletas
ERASE	(External Function for record cancelation) Función Externa para cancelar grabado
ERR	(Error in data input on input bus) Error en la entrada de datos en el bus de entrada
ESC	Petición para transmisión de la Palabra de Control del Grabador
EXF	Igual al EFA
EXFW	(External Write Function) Función Externa de

	Escritura
FM	(Frequency Modulation) Modulación de frecuencia
FRO	(Forward/Reverse Order) Selección de pista y sentido de movimiento de la Cinta
IB 0/24	(Data Out 0/24) Datos de Salida desde 0 hasta 24
I consumo	Corriente de Consumo
ID 0/24	(Input Data 0/24) Datos de Entrada desde 0 hasta 24
IDA	Transferencia realizada de manera exitosa
IDR	(Input Data Register) Registro de datos de entrada
INP	(Request for Data Word input to CPU) Petición de la entrada de la palabra de estado hacia el CPU
IRG	(Inter Register Gaps) Espacio en blanco sin grabado
LEC	Inicio del Ciclo de Lectura
MAR	(Memory Address Data Register) Registro de datos de dirección en memoria
MDA	Información en las líneas de datos de salida son

válidos

MFM	(Modified Frequency Modulation) Modulación de frecuencia modificada
MI	(Memory Inhibit) Memoria inhibida
MOV	(Tape in Movement) Cinta en Movimiento
MTBF	(Mean Time Between Failures) Tiempo medio entre fallas
MTDA	(Mean Time Data Access) Tiempo medio de acceso de datos
MUA	Operación iniciada en memoria
NA – 21	Central de Control de Tiro
NRZ	(Non Return to Zero) No Retorno a Cero
NRZI	(Non Return to Zero Invert) No Retorno a Cero Invertido
NVSRAM	SRAM no volátil
OB 0/24	(Data In 0/24) Datos de Entrada desde 0 hasta 24
OC	(Output Enable) Habilitación de la Salida
OD 0/24	(Output Data 0/24) Datos de Salida desde 0 hasta 24
ODR	(Output Data Register) Registro de datos de salida

OE	(Output Enable Input) Entrada habilitadora de salida
OE _M	Habilitación de la salida de datos desde las memorias
OED	Habilita el bus de datos de entrada hacia la UPTS-1
OEHT	Habilitación de la Palabra de Control del Circuito de test en el bus de entrada
OESC	Habilitación de la Palabra de Control en el Bus de Entrada
P consumo	Potencia de Consumo
PA	(last bit of the real zone) Ultimo bit de la zona real
PE	(Phase Encoding) Codificación de fase
PE 0/3	(Pages Enables 0/3) Habilitación de Páginas desde la 0 hasta la 3
PEN	Habilitación del módulo
QFA	(Quick File Access) Acceso Rápido al Archivo
RB	(Return to Bias) Retorno al Bias
RC	Resistor Capacitor
RER	(Recorder Ready) Grabador listo

REW	(Magnetic Tape rewind request) Petición de Rebobinado de la cinta
RIN	(Read Information) Información de lectura
RMW	(Read Modify Write) Escritura de lectura modificada
RUN	(Tape movement comand) Comando de movimiento de cinta
RZ	(Return to Zero) Retorno a Cero
SAC	(Start Address Cycle) Ciclo de Activación de Dirección
SIC	(Start Input Cycle) Ciclo de Activación de las Entradas
SIC ext	SIC extendido
SOC	(Start Output Cycle) Ciclo de Activación de las Salidas
SOC ext	SOC extendido
SPK	(Record in Sprocket zone) Grabar en la zona Sprocket
SPKD	(Data Word memorization order) Orden de memorización de la palabra
SRAM	(Static Random Access Memory) Memoria de Acceso Aleatorio Estático

TA 0/2	(Track Address 0/2) Dirección de Pista desde 0 hasta 2
TAST	(Tape Steady) Cinta parada
TMA	Comando de movimiento de cinta
TMO	(Tape Movement Order) Orden de movimiento de Cinta
UIOM	(Unit Input/Output for Magnetic Tape) Unidad de entrada/salida para la cinta magnética
UMTH-1	(Unit Magnetic Tape Handler, Type 1) Manejador de la Unidad de Cinta Magnética, tipo 1
UNIT AV.	(Unit Available) Unidad disponible
UNUC	Memorias a Núcleo Modernas
UPCM	(Unit Processor to Core Memory) Unidad de Procesamiento de las memorias a núcleo
UPTS -1	Interfase de primer nivel
URWC	(Unit Read Write Core) Memoria a Núcleo
V banco	Voltaje del Banco de pruebas
Vmm	Voltaje de las memorias
WAUT	(Write Authorization) Autorización de Escritura
WE	(Write Enable Input) Entrada habilitadora de Escritura

WIN

(Write Information) Información de Escritura

WOR

(Write Order) Orden de Escritura

INDICE DE FIGURAS

Fig. 1.1	Diagrama de Bloques del Sistema NA-21	2
Fig. 2.1	Distribución de la memoria por módulo	6
Fig. 2.2	Diagrama de Bloques de la tarjeta URWC	8
Fig. 2.3	Diagrama de tiempo del Ciclo de Escritura en las memorias a núcleo	14
Fig. 2.4	Diagrama de tiempo del Ciclo de Lectura en las memorias a núcleo	15
Fig. 3.1	Diagrama de Bloques General de la tarjeta reemplazo memoria a núcleo	23
Fig. 3.1	Capacidad utilizada en las memorias	27
Fig. 4.1	Diagrama de tiempo del Ciclo de Escritura	34
Fig. 4.2	Diagrama de tiempo del Ciclo de Lectura	35
Fig. 5.1	Cartucho de Cinta Magnética	43
Fig. 6.1	Diagrama de Bloques de los Sistemas Periféricos del NA-21	59
Fig. 6.2	Modo de grabado en la cinta magnética	80
Fig. 6.3	Formato de la cinta magnética	81
Fig. 8.1	Diagrama de Bloques de la nueva UMTH-1	93
Fig. 8.2	Diagrama de Bloques de la UMTH-1 con el banco de	

	memorias	96
Fig. 8.3	Diagrama ASM	100
Fig. 8.4	Diagrama de Tiempo del Controlador de la nueva tarjeta UMTH-1	101

INDICE DE TABLAS

Tabla 3.1	Direcciones usadas por el Sistema	26
Tabla 5.1	Capacidades de almacenamiento	39
Tabla 6.1	Palabras de Control del Sistema	78

INDICE ANEXO

Anexo 1	Especificaciones Técnicas De Las Memorias NVSRAM Benchmark	107
Anexo 2	Fotografías del Sistema Y Señales en la Tarjeta Reemplazo de Memorias a Núcleo	119
Anexo 3	Esquemáticos, Diagramas Topológico Y de Circuito Impreso De La Tarjeta Reemplazo Memorias a Núcleos	126
Anexo 4	Distribución De Señales En Los Conectores de la Tarjeta Reemplazo Memorias a Núcleo	132
Anexo 5	Códigos de Grabados	135
Anexo 6	Diagramas Esquemáticos de la UMTH-1	141
Anexo 7	Especificaciones de Funcionamiento de la Tarjeta Adquisición de datos PCL-818GH	144
Anexo 8	Esquemáticos de la Nueva UMTH-1	155

INTRODUCCION

Las Corbetas Clase "Esmeraldas" están equipadas con las Centrales de Tiro NA-21, las cuales se basan en una computadora multiproceso ESA. El año de fabricación de estos equipos es 1980.

La Cía Alenia fabricante de las Centrales de Tiro NA-21 ha dejado de fabricar estos equipos y ha informado que ya no dispone de memorias URWC (memorias a núcleo de ferrita) las cuales ha presentado innumerables fallas. Una versión moderna de estas memorias es ofertada por la compañía pero a un costo de US\$ 15 000 la unidad.

En esta misma situación se hallan las Cintas Magnéticas Schlumberger PS6021, actualmente DIECAR las está adquiriendo a la Cía Alenia a un costo unitario de US\$ 10 000.

CAPITULO 1

1 SISTEMA NA 21

1.1. Sistema NA-21

El Sistema NA-21 es una Central de Control de Tiro con que están equipadas las Corbetas clase "Esmeraldas" de la Armada del Ecuador. Este computador está conformado realmente por 3 CPU trabajando simultánea y sincronizadamente, consta de 4 bancos de memorias a núcleo no volátiles y un sistema de almacenamiento alterno por cintas magnéticas. Este es un computador multiproceso ESA de tecnología italiana de la década de los 80.

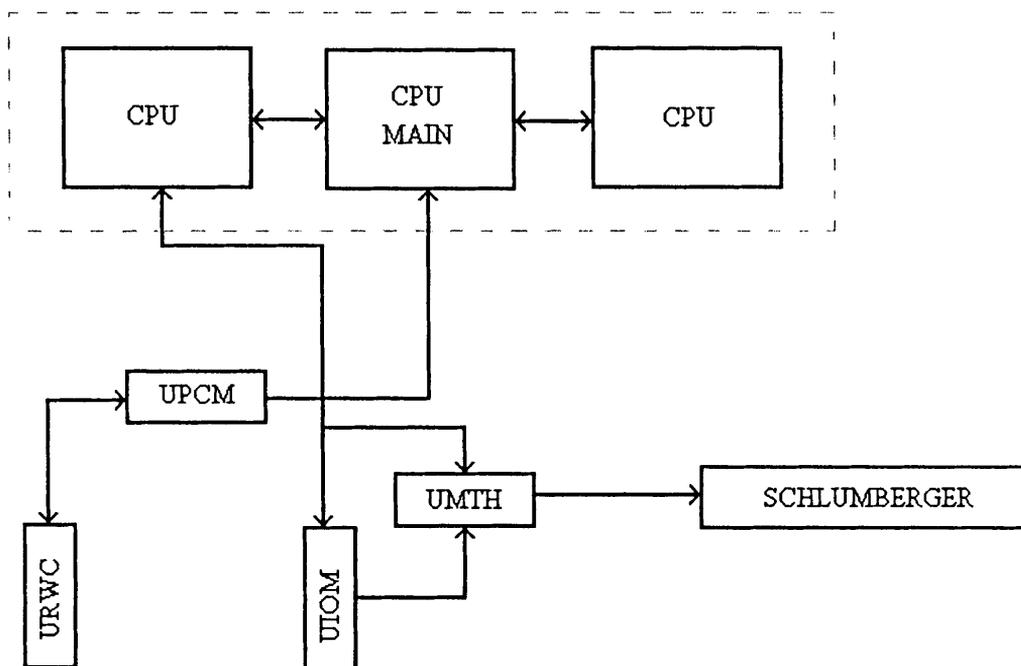


FIGURA 1.1 DIAGRAMA DE BLOQUES DEL SISTEMA NA-21

Las tarjetas URWC son los bancos de memorias que usan como interfaz la tarjeta UPCM para llegar a los CPU. La UMTH es a la vez la tarjeta interfaz para el lector/grabador de las cintas magnéticas, la UIOM básicamente se encarga de mostrar resultados y eventos en displays del lector-grabador de la cinta magnética.

1.2. Antecedentes

1.2.1. Módulos de Memoria a Núcleo del Sistema NA-21

Los módulos de memoria a núcleo, con el tiempo, se han deteriorado volviéndose inservibles. Están compuestas por un núcleo de ferrita que se magnetizan para guardar la información requerida, propiedad que con el tiempo la pierden.

La Cía. Alenia fabricante de las Centrales de Tiro NA-21 ya no produce estos equipos y no dispone de memorias URWC por lo cual han sido paulatinamente reemplazadas por módulos UNUC (versión moderna de las memorias URWC).

1.2.2. Cintas Magnéticas Schlumberger PS 6021

Durante los últimos 5 años se han venido detectando fallas en las cintas magnéticas Schlumberger PS 6021, las cuales son de difícil reparación, ya que por ser un componente mecánico sufre

continuas trabas en sus mecanismos ocasionando daños en las cintas, volviéndolas inservibles.

CAPITULO 2

2. MODULOS DE MEMORIA A NUCLEOS DEL SISTEMA NA-21

2.1. Funcionamiento General

La URWC es la tarjeta interfaz entre el sistema central y los dispositivos de memoria (memorias de núcleo de ferrita)

El objetivo de la URWC es memorizar los datos y programas de procesos en modo no volátil y la posterior recuperación de la información.

Los dispositivos de memoria son de núcleo de ferrita, que para guardar la información en ellos deben magnetizarse. Cuando la información es leída se pierde, por lo que el sistema la reescribe luego de finalizar alguna lectura.

El sistema requiere un orden específico de los datos, tal como se indica a continuación.

Está organizada en páginas de **4K** (4096 palabras), 4 páginas comprende un módulo (tarjeta *URWC*). El sistema permite una extensión de memoria de hasta 4 módulos, teniendo así la disponibilidad de **16K** como mínimo y **64K** como máximo.

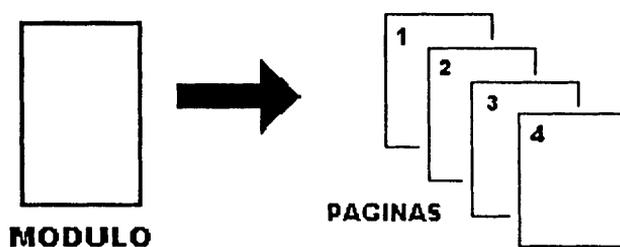


FIGURA 2.1 DISTRIBUCION DE LA MEMORIA POR MODULO

Cada palabra corresponde a un arreglo de 25 bits, 24 de información propiamente dicha, más uno de paridad.

2.2. Descripción del Diagrama de Bloques

La tarjeta URWC esta conformada por tres bloques de registros IDR, ODR, MAR que son los encargados de capturar datos de entrada, salida y direccionamiento respectivamente. Ver diagrama de bloques en la figura 2.2

El bloque MPX Write/Restore es el encargado del proceso de reescritura de los datos en la memoria inmediatamente después que estos hayan sido leídos, ya que como propiedad de las memorias a núcleo, una vez recuperado un dato este es eliminado debido a una desmagnetización provocada por la acción de lectura, necesitando así un proceso de reestablecimiento. En dicho proceso está involucrado el bloque Logic "A", encargándose además de generar los relojes internos para la captura de datos en los registros.

2.3. Señales Involucradas

Señales desde y hacia la tarjeta URWC de las memorias a núcleo.

MUA.L = Señal activa en bajo, indica al sistema externo que la operación en la memoria ha iniciado y la misma no está disponible. La señal se habilita en un tiempo no mayor a los 100 ns después de haberse presentado la señal SIC o SOC. La desactivación de la señal implica que la memoria habilitada acepta las señales SAC, SIC o SOC.

SAC.L = Señal activa en bajo enviada a la memoria a núcleos, permite que los datos presentes en la línea de direcciones AB0/11 sea cargado en los registros MAR.

SIC.L = Señal activa en bajo enviada a la memoria a núcleos. Inicia el ciclo de escritura. Acepta los datos del bus capturándolos en el registro IDR para guardarlos en las memorias con la dirección específica presente en los registros MAR.

SOC.L = Señal activa en bajo enviada a la memoria a núcleos. Inicia el ciclo de lectura. Captura los bits de información de las memorias en los registros ODR con la dirección presente en los registros MAR

PE 0/3 = Estas señales adicionales de habilitación son requeridas para la selección lógica de una de las 4 páginas de capacidad 4K (cada módulo físico está compuesto de 4 páginas). Son activas con niveles de lógica negativa. La operación lógica OR de estas cuatro señales debe habilitar el módulo con la señal generada PEN.

Cada una de las señales PE0/PE3, correspondientes a la selección de página, deben estar estables durante la ejecución de cualquier ciclo de lectura o escritura.

DB 0/24 = 25 datos de salida presentes en el bus desde las memorias hacia el sistema externo. Cada línea representa un bit de la palabra del dato. El nivel lógico de las salidas es positiva. Los datos permanecen estables hasta el inicio del siguiente ciclo.

RMW.L = Señal activa en bajo enviada a las memorias, permite la restauración de un dato después de que ha sido leído. (Señal que no se ha encontrado físicamente en el equipo).

MI.L = Señal generada por una lógica externa activa a nivel bajo ,
inhibe la memoria al completar las operaciones de lectura o escritura.
Es utilizada para proteger a las memorias al momento del encendido
y de señales lógicas no definidas.

ELC.L = Señal activa en bajo enviada a las memorias, generada al
momento del encendido causando el reset a los registros y poniendo
al sistema en la condición inicial.

DOC = Esta señal, de lógica negativa, es un control externo de
deshabilitación de los datos de salida desde las memorias.

MDA.L = Señal activa en bajo generada por la URWC que indica al
sistema externo que la información en las líneas de datos de salida
son válidos.

La señal de dato válido, cambia a nivel bajo cuando los datos en el bus están estables. La señal de estado válido debe estar presente hasta el comienzo de el siguiente ciclo (SAC, SIC, SOC).

2.4. Procesos de Lectura y Escritura

Los modos de operación son dos:

- Borrarr-Escribir
- Leer-Reestablecer

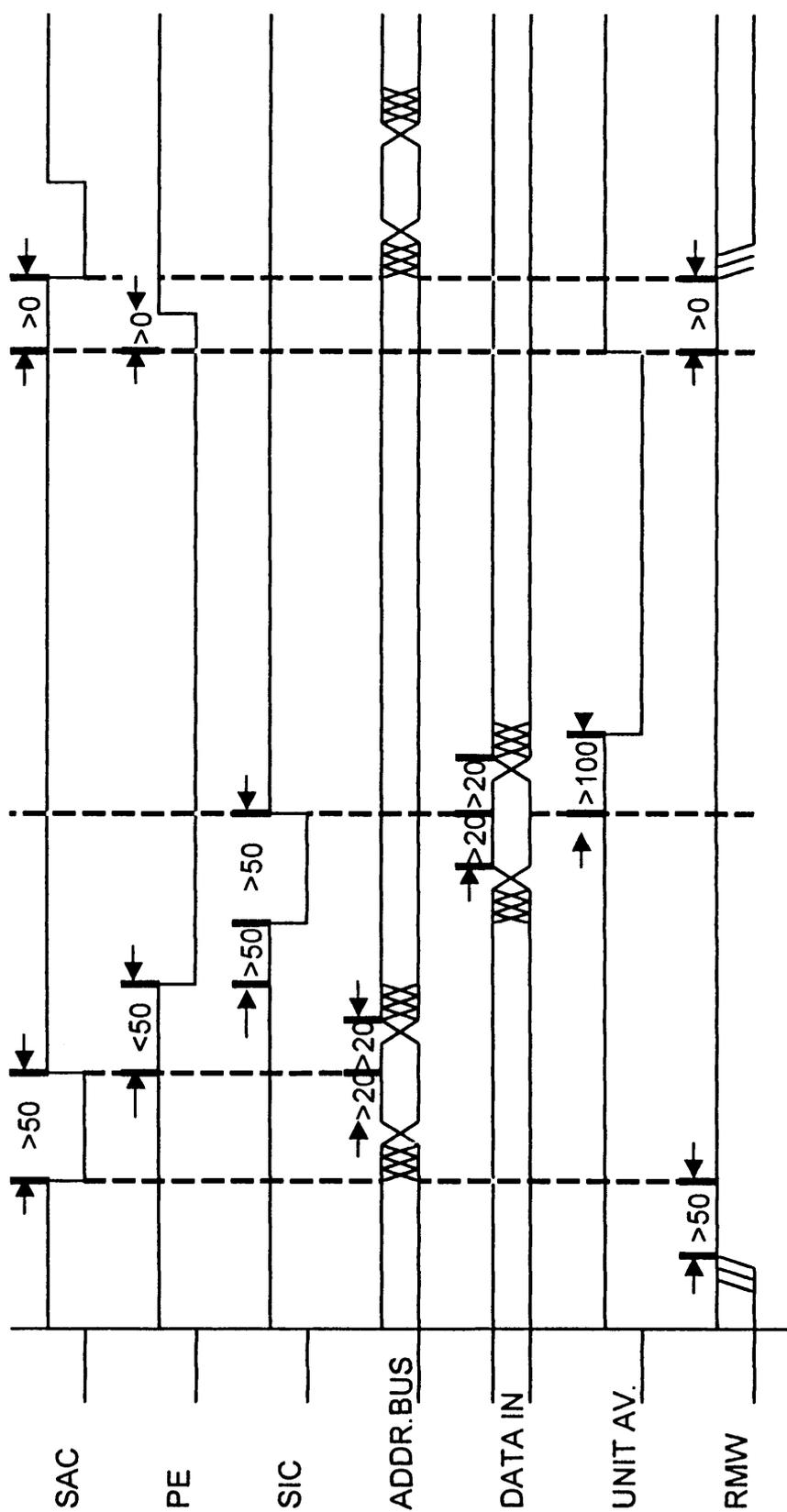
2.4.1. Borrarr-Escribir

La señal SAC de estado alto inactiva se pone activa baja indicando el inicio de un proceso, esto ocurre mientras *RMW* es alta. La dirección a accesar en las memorias es cargada en los registros MAR. Luego se activa la señal SIC que define la acción de escritura, cargándose los bits DB0/24 presentes sobre el bus de datos (*Input Data Lines*) en el registro de entrada IDR . Inmediatamente después de su desactivación se genera la señal MUA que indica al sistema que las memorias se hayan ocupadas. Ver diagrama de tiempo en la figura 2.3

2.4.2. Leer-Reestableer

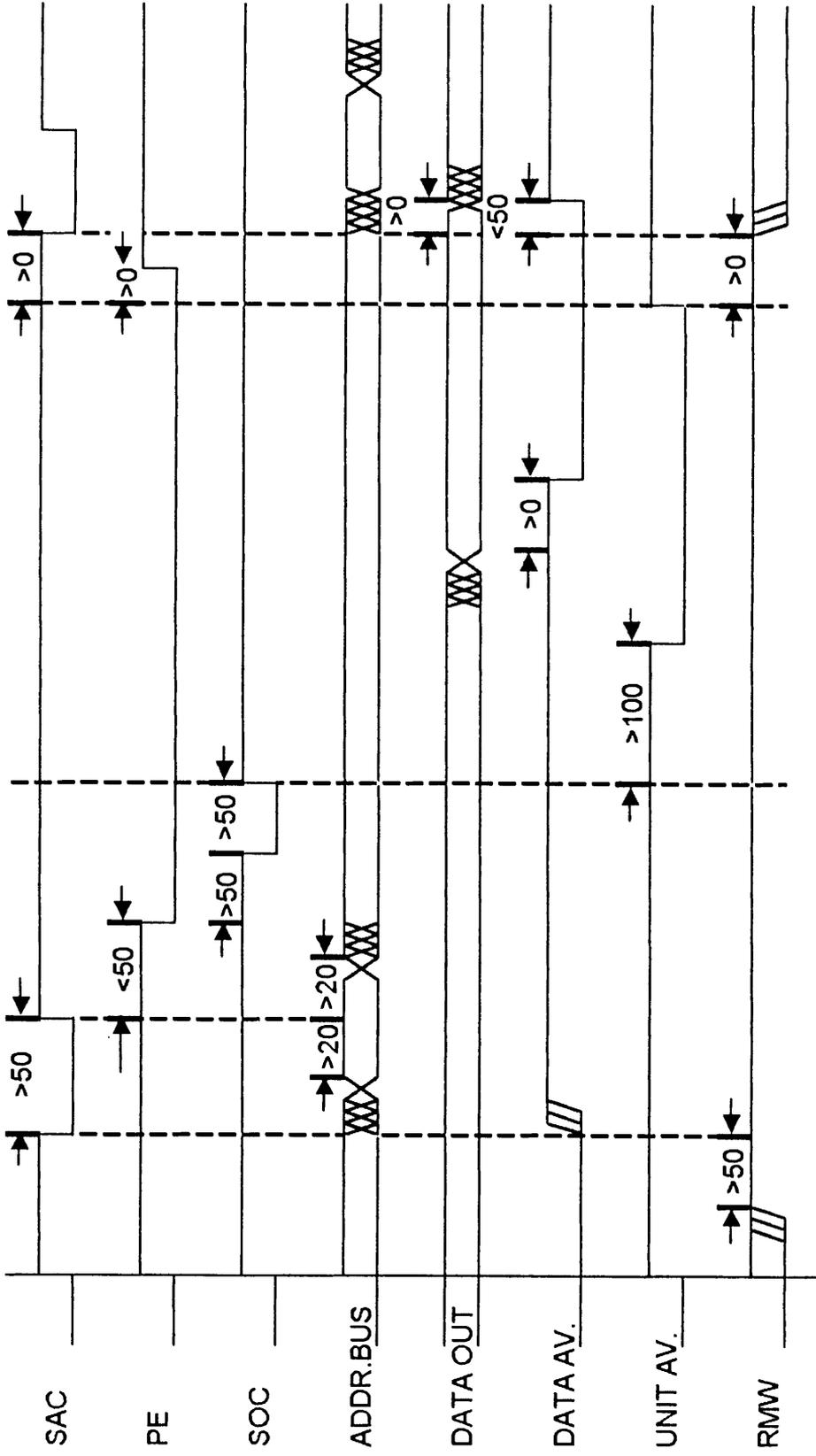
La señal SAC de estado inactiva alta se pone activa baja indicando el inicio de un proceso, esto ocurre mientras RMW es alta. La dirección a acceder en las memorias es cargada en los registros MAR. Luego se activa la señal SOC que define la acción de lectura, cargándose los bits DB0/24 de las memorias al registro de salida ODR. Inmediatamente después de su desactivación se genera la señal MUA que indica al sistema que las memorias se hayan ocupadas. Ver diagrama de tiempo figura 2.4

En los dos procesos las señales PE 0/15 eligen la página de acceso y por ende el módulo correspondiente.



* Los tiempos están dados en nanosegundos

FIGURA 2.3 DIAGRAMA DE TIEMPO DEL CICLO DE ESCRITURA EN LAS MEMORIAS A NÚCLEO



* Los tiempos están dados en nanosegundos

FIGURA 2.4 DIAGRAMA DE TIEMPO DEL CICLO DE LECTURA EN LAS MEMORIAS A NÚCLEO

CAPITULO 3

3. DISEÑO DEL NUEVO BANCO DE MEMORIAS

3.1. Parámetros del diseño

- Los bancos de memoria a reemplazar deben ser capaces de mantener la información en ausencia de la alimentación principal.
- Trabajar acorde a los tiempos que requiere el sistema.
- Soportar rangos de temperatura entre los 0° y 70° C.

3.2. Memorias requeridas para el diseño

Las memorias deben cumplir con las principales características de escritura, lectura y de ser posible ser no volátiles.

Se hace el análisis de las posibles memorias a usar.

3.2.1. Memorias Flash

Ventajas:

- a. Memorias no volátiles (mantienen información sin alimentación).
- b. Compatibles con TTL/CMOS
- c. Son eléctricamente borrables
- d. Pueden hacerse más de 100 000 ciclos de reescritura.
- e. Reemplaza a las SRAM con baterías e incluso el uso de un disco flexible.

Desventajas:

Aunque representa una muy buena opción para cumplir los objetivos, el tiempo empleado por el mismo para cada ciclo de lectura es demasiado largo.

El sistema requiere $2.4 \mu\text{s}$ para obtener una lectura efectiva y $2.6 \mu\text{s}$ para una escritura.

Las memorias flash requieren de 150 ns para un ciclo de lectura completa efectiva como mínimo, este parámetro no representa problema alguno, sin embargo, en una escritura, la memoria requiere de un tiempo mínimo de $15 \mu\text{s}$ sin contar con el tiempo de borrado que es de 10 ms aproximadamente, para cada ciclo de reescritura se necesita uno de borrado. Debido al tiempo utilizado por este dispositivo en contra de los $2.6 \mu\text{s}$ que da el sistema entre escritura y escritura queda descartada su utilización.

3.2.2. Memorias SRAM

Sus principales características son:

- a. Memorias volátiles.
- b. Compatibles con TTL/CMOS.
- c. Son de reescritura indefinida.
- d. Velocidades de ciclo lectura/escritura de 10 , 12 y 15 ns .

Ventajas:

Estas memorias son muy veloces comparadas con la velocidad del sistema por lo que no presentan problemas en este sentido como las memorias flash.

Desventajas:

Las SRAM por característica propia son volátiles, sin alimentación pierden la información, para solucionar este problema es necesario entonces tener una batería recargable que supla de alimentación cuando la principal decaiga.

3.2.3. Memorias no volátiles SRAM (NVSRAM)

En los últimos 10 años se han creado las NVSRAM (no volátiles SRAM) que tienen las mismas características de las SRAM pero con una más importante para nuestro caso, no ser volátiles, no pierden la información cuando están sin alimentación.

A más de las características de las SRAM comunes estas son capaces de:

- a. Guardar la información como mínimo 10 años sin alimentación.
- b. La distribución de los pines es la misma tanto para las SRAM como para las NVSRAM, lo que permite un inmediato reemplazo.
- c. Posee una pila interna de litio que alimenta sólo en ausencia de la alimentación principal.
- d. Protección automática de escritura en los ciclos de encendido-apagado de las memorias.
- e. Detecta la baja de voltaje de la alimentación principal, si esta decae por debajo de su valor mínimo de operación normal se "desconecta" y se pone en "Stand by", protegiendo así la información de escrituras falsas (Salidas en alta impedancia).
- f. Se producen en calidad de uso comercial e industrial

Por las características citadas y las múltiples ventajas que representa, las memorias a usar son las NVSRAM, la compañía ofertante es BENCHMARQ, una subdivisión de la compañía

Texas Instruments. Para ver características adicionales ir al Anexo 1.

3.3. Toma de las señales en el NA-21

Las mediciones se las hace con un analizador de señales para tener los diagramas de tiempo reales del sistema.

Cabe señalar que las tomas se hacen a bordo de dos unidades, tanto en la Corbeta El Oro como en la Corbeta Manabí para reducir posibilidades de error.

3.4. Diseño del Prototipo

El prototipo se hace con las SRAM y con una pequeña pila recargable de poca duración hasta la adquisición de las memorias NVSRAM, aprovechando sus similares características.

3.4.1. Diagrama de Bloques General

Cada módulo de almacenamiento consta de 4 memorias, 3 bloques de registros de sostenimiento: registro de direccionamiento, escritura y lectura. Un circuito de señales de control y únicamente para el prototipo un circuito de alimentación auxiliar. Figura 3.1

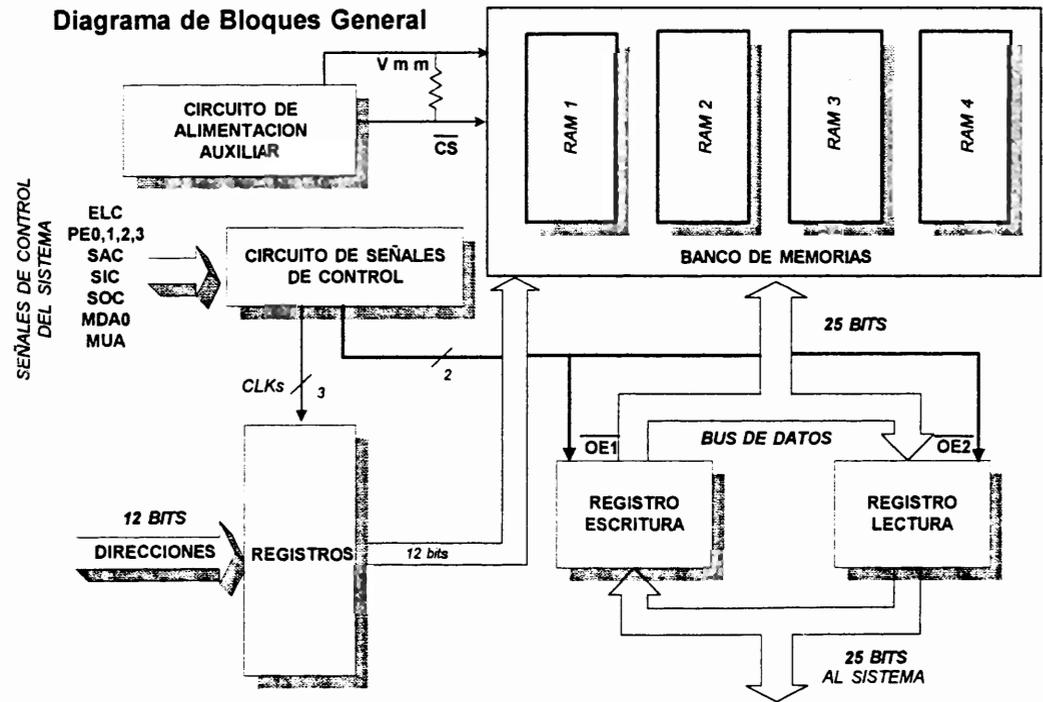


FIGURA 3.1 DIAGRAMA DE BLOQUES GENERAL DE LA TARJETA REEMPLAZO MEMORIA A NUCLEOS

3.5.1. Descripción de los Bloques

3.5.1.1. Circuito de alimentación auxiliar

Este circuito fue concebido únicamente para el prototipo. Un sencillo circuito RC de carga y descarga, donde el capacitor de 1 F actúa como una pila, mantiene la alimentación en las memorias SRAM por un corto tiempo, suficiente para realizar pruebas. Entendiéndose que las memorias definitivas a usar son las NVSRAM.

Cuando la alimentación principal está presente el capacitor se carga a través de la resistencia R1, luego, este llega a su carga máxima y el diodo D1 impide que este se descargue. Las memorias son alimentadas por Vcc a través de D1, D2, R1 y R2. El diodo D2 impide corrientes de fuga, parásitas y de cargas al capacitor al inicio de operación.

La habilitación de las memorias es controlada por las respectivas señales de control (CS.L en las memorias

SRAM). Las resistencias R3 entre Vmm y CS.L permite la deshabilitación de las SRAM en ausencia de la alimentación principal y por ende menor consumo de corriente.

Cuando la alimentación está presente CS está subordinada a las señales de control, R3 permite la caída de voltaje entre Vmm y un CS de voltaje bajo. En caso de que la alimentación principal se ausente y el capacitor C1 alimente a las SRAM las señales de control no actúan, y CS queda con voltaje alto desde Vmm a través de la resistencia R3 deshabilitándolas.

3.5.1.2. Circuito de las Señales de Control

Recibe las señales del sistema y envía las de respuesta. Controla los bancos de direccionamiento, escritura y lectura, además tiene el control del banco de memorias.

Las direcciones AB0/11 son capturadas en el registro de direccionamiento al llegar la señal SAC, esta señal es invertida en lógica para ser utilizada como reloj en

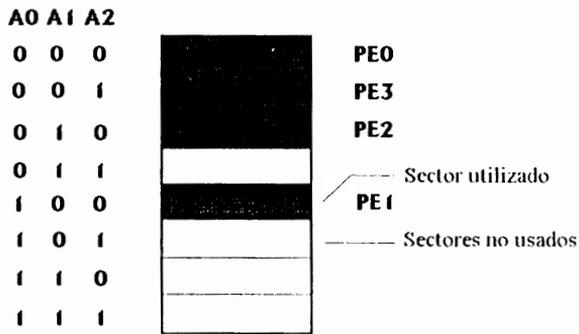
dichos registros. Estas direcciones van a las memorias desde A3 hasta A14.

Las señales PE0, PE1, PE2 y PE3 como habilitadores de página seleccionan en si un sector de memoria en los bancos, así, si PE0=1 entonces selecciona el sector correspondiente 0, mientras que las demás están inactivas. Se concluye que no pueden haber dos o más páginas habilitadas a la vez.

Las direcciones A0, A1 y A2 de las memorias son direccionadas directamente por PE1, PE2 y PE3 respectivamente. Con A0, A1 y A2 se ha dividido en 8 partes la capacidad de la memoria, a lo que llamamos páginas. Se requieren 4 de las 8, utilizamos entonces la mitad de la capacidad total.

A0	A1	A2	CONDICION
0	0	0	PE0=1 o PE1,2,3=0
1	0	0	PE1=1
0	1	0	PE2=1
0	0	1	PE3=1

TABLA 3.1 DIRECCIONES USADAS POR EL SISTEMA



Sectores utilizados para la lectura-escritura en las memorias

FIGURA 3.2 CAPACIDAD UTILIZADA EN LAS MEMORIAS

La activación de cualquiera de las señales PE0, PE1, PE2 o PE3 habilitan todas las memorias del módulo, CE, en ausencia de ellas el módulo se haya deshabilitado, en estado de alta impedancia para las memorias .

La señal ELC es una orden de reset general para el módulo, con él se inicializan los disparadores U15A, U15B y U16A, y en estado preset al flip flop D U14A.

Al empezar un ciclo, ya sea de lectura o escritura, se recibe la señal SAC como inicialización, esta señal actúa como reloj para el FF D U14A, cuya salida Q es puesta a nivel alto, esta señal es MDA. La señal MUA pone en activa baja a MDA hasta la llegada de otro SAC.

La presencia de cualquiera de las dos señales SOC o SIC activan el disparador U16A, el mismo que genera un pulso con ancho definido y lógica negativa, Q.L, esta señal es MUA, su duración es graduable gracias al potenciómetro 2, su tiempo está entre los 50 ns a los 250 ns.

MUA es la señal de reloj para la captura de datos en los registros de lectura, U5, U6, U7, U8. Mientras que para los registros de escritura, U1, U2, U3, U4, la señal de reloj es SIC. Los registros realizan la captura con flancos positivos. Una vez que las memorias están seleccionadas, CE presente, y direccionadas por el sistema, llega la orden de lectura o escritura. Si es un ciclo de lectura se presenta la señal SOC, esta llega al

disparador U15A y genera una señal con ancho de pulso definido en $1.8 \mu\text{s}$ denominada SOC ext, que a la vez habilita la lectura, OE en las memorias, y la salida de los registros correspondientes, OC, al bus de datos. Es decir que los bits leídos de las memorias y capturados en los registros U5, U6, U7, U8 por el flanco positivo de MUA están presentes en el bus de datos por el tiempo de $1.8 \mu\text{s}$.

En un ciclo de escritura se presenta la señal SIC, llega al disparador U15B y genera SIC ext, un pulso de lógica negativa de 400 ns de duración, que de igual manera habilita la escritura en las memorias WE y la salida OC de los registros U1, U2, U3, U4. Los bits de datos presentes en el bus son capturados con el flanco positivo de SIC. Los 400 ns es el tiempo que requerimos para grabar los datos en el banco de memorias.

CAPITULO 4

4. DESARROLLO E INTEGRACION DEL PROTOTIPO AL SISTEMA

4.1. Cálculos

Prototipo

Con conexión directa de las memorias a Vcc sin la red RC

Cálculo de la Potencia de Consumo

$$I_{\text{consumo}} = 0.84 \text{ A}$$

$$V_{\text{banco}} = 5.12 \text{ V}$$

$$\begin{aligned} P_{\text{consumo}} &= V * I \\ &= 5.12 \text{ V} * 0.84 \text{ A} \\ &= 4.3 \text{ W} \end{aligned}$$

Cálculo de la Resistencia equivalente del circuito

$$P = I^2 R$$

despejando

$$\begin{aligned} R \text{ equivalente} &= P / I^2 \\ &= 4.3 / (0.84)^2 \\ &= 6.094 \Omega \end{aligned}$$

Cálculo del ancho de pulso de los disparadores

$$t_w = 0.7 \cdot R_x \cdot C_x$$

MUA.L

$$t_w = 0.7 \cdot (1.228 + 1.478)K\Omega \cdot 100 \text{ pF} = 189.42 \text{ ns}$$

SICext.L

$$t_w = 0.7 \cdot (4.7 + 1.482)K\Omega \cdot 100 \text{ pF} = 432.74 \text{ ns}$$

SOCext.L

$$t_w = 0.7 \cdot (0.0022 + 21.4)K\Omega \cdot 100 \text{ pF} = 1.498 \text{ us}$$

4.2. Pruebas

Las pruebas de la tarjeta prototipo se lleva a cabo tanto en laboratorio como a bordo, pasándolas satisfactoriamente. Ver en Anexo 2 para fotografías del sistema y señales respectivas.

Para las pruebas de laboratorio, se simulan las señales respectivas con ayuda de un pequeño banco de prueba, especialmente para este tipo de lecturas. Las señales son entonces generadas en secuencia (SAC, SOC, SIC y ELC) evaluando la respuesta de la tarjeta. De igual manera logramos hacer un barrido de direcciones a las memorias, habilitación de página del módulo, por lo que se logra tenerla en operación como si lo hiciera en el sistema.

Se calibran los disparadores con los potenciómetros, con el siguiente ancho de pulso: la señal MUA.L con 200 ns, SICext.L 400 ns y el SOCext.L con 2 us, aproximadamente.

Se verifica que la polarización de todos los integrados esté a un voltaje conveniente, el cual no debe ser menor a 4.75 V. Uno de los cuatro habilitadores de página tiene que estar en alto para seleccionar el módulo.

4.2. Pruebas

Las pruebas de la tarjeta prototipo se lleva a cabo tanto en laboratorio como a bordo, pasándolas satisfactoriamente. Ver en Anexo 2 para fotografías del sistema y señales respectivas.

Para las pruebas de laboratorio, se simulan las señales respectivas con ayuda de un pequeño banco de prueba, especialmente para este tipo de lecturas. Las señales son entonces generadas en secuencia (SAC, SOC, SIC y ELC) evaluando la respuesta de la tarjeta. De igual manera logramos hacer un barrido de direcciones a las memorias, habilitación de página del módulo, por lo que se logra tenerla en operación como si lo hiciera en el sistema.

Se calibran los disparadores con los potenciómetros, con el siguiente ancho de pulso: la señal MUA.L con 200 ns, SICext.L 400 ns y el SOCext.L con 2 us, aproximadamente.

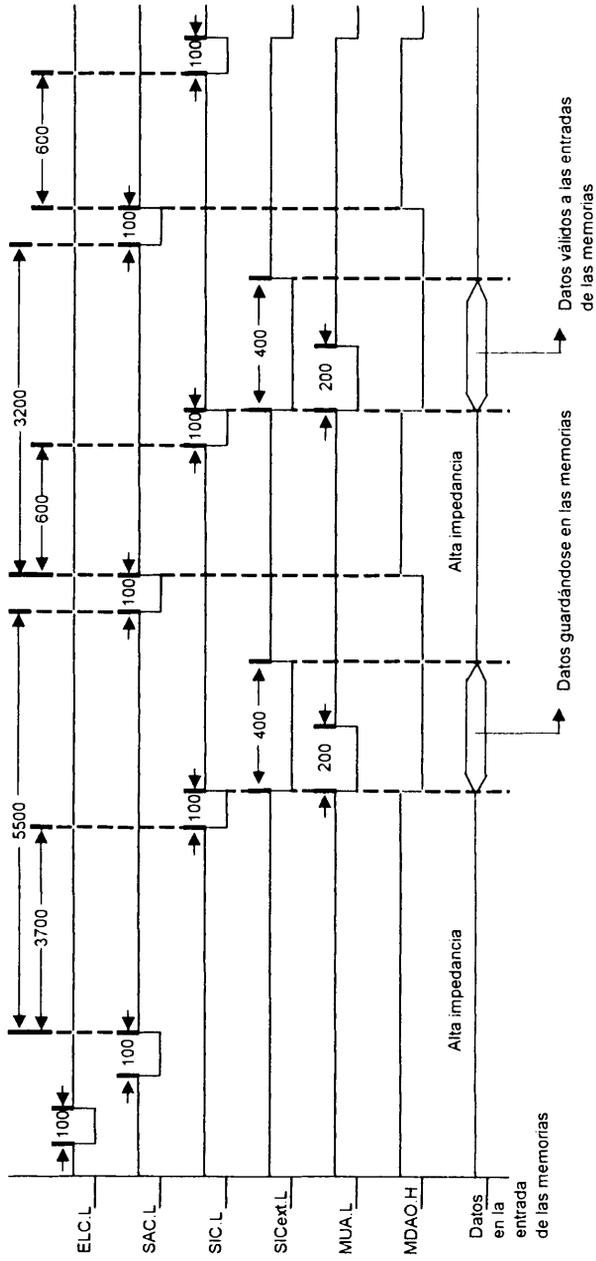
Se verifica que la polarización de todos los integrados esté a un voltaje conveniente, el cual no debe ser menor a 4.75 V. Uno de los cuatro habilitadores de página tiene que estar en alto para seleccionar el módulo.

4.3. Producto final

Esquemáticos, diagrama topológico y red de pistas se encuentran en el Anexo 3

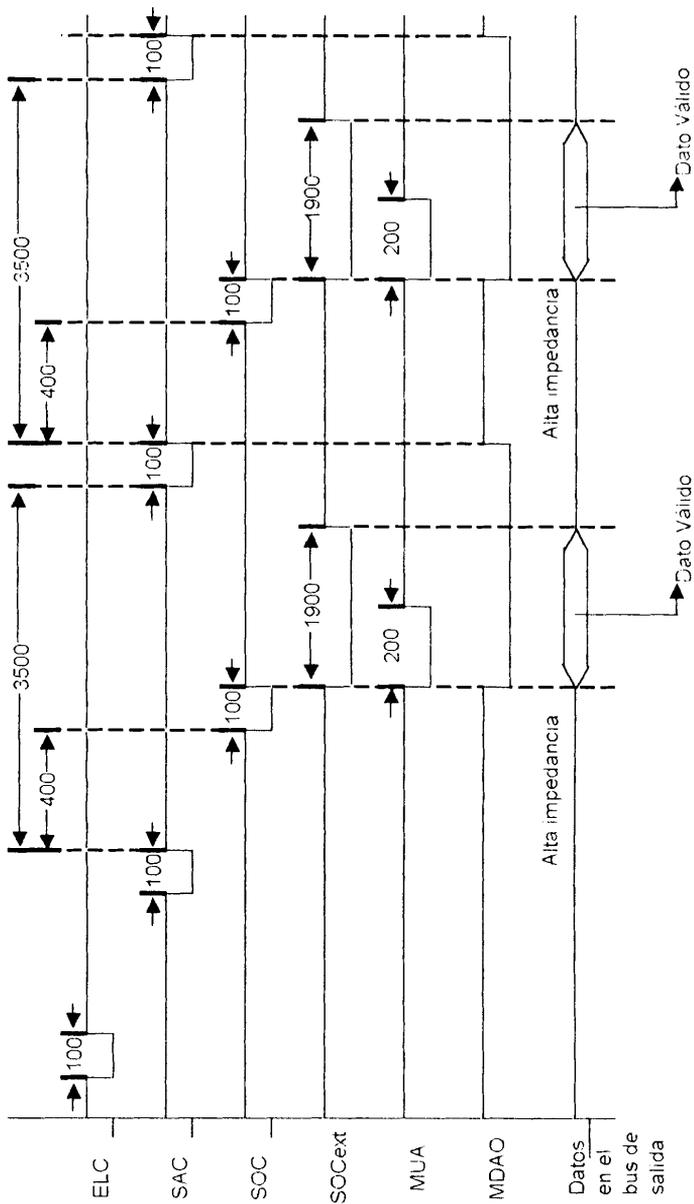
4.4. Diagrama de tiempo

Los diagramas de tiempo de los ciclos de escritura y lectura se muestran en las figuras 4.1 y 4.2 respectivamente.



* Los tiempos están dados en nanosegundos (ns)

FIGURA 4.1 DIAGRAMA DE TIEMPO DEL CICLO DE ESCRITURA



• Los tiempos están dados en nanosegundos (ns)

FIGURA 4.2 DIAGRAMA DE TIEMPO DEL CICLO DE LECTURA

4.5. Distribución de las señales en los conectores de la tarjeta

Para cada módulo la configuración es la misma. Ver en Anexo 5 el diagrama respectivo de los conectores.

CAPITULO 5

5. CINTAS MAGNETICAS

5.1. Unidades de Almacenamiento

Las unidades de almacenamiento son dispositivos periféricos del sistema, que actúan como medio de soporte para la grabación de los programas de usuario, y de los datos y archivos que son manejados por las aplicaciones que se ejecutan en estos sistemas.

Las unidades de almacenamiento masivo de información se utilizan en todos los entornos informáticos existentes: entornos

centralizados de mainframes, entornos distribuidos cliente-servidor, etc.

Conforme las necesidades de los usuarios se ha ido incrementando, la tecnología disponible ha evolucionado en paralelo para ofrecer dispositivos más sofisticados y con mayores capacidades de almacenamiento.

En la actualidad, se ofrece una amplia variedad de este tipo de dispositivos, entre los que se pueden citar: discos duros magnéticos, discos de cartuchos removibles, disquetes de 5'25 y de 3'5 pulgadas, *cintas magnéticas*, discos ópticos, etc. Estas unidades de almacenamiento se pueden instalar como dispositivos internos al computador que gestionará la información contenida en ellos, como dispositivos externos en carcasas independientes de la que contiene la unidad central del computador o como sistemas servidores de archivos y de aplicaciones.

La siguiente tabla se muestra la nomenclatura según la capacidad del dispositivo de almacenamiento:

1,000 Bytes =	1 Kilobyte (Kb)*
1,000 KB=	1 megabyte (Mb)
1,000 MB=	1 gigabyte (Gb)
1,000 GB=	1 terabyte (Tb)
1,000 TB=	1 petabyte (Pb)
1,000 PB=	1 exabyte (Eb)
1,000 EB=	1 zettabyte (Zb)
1,000 ZB=	1 yottabyte (Yb)
1,000 YB=	1 brontobyte **

TABLA 5.1 CAPACIDADES DE ALMACENAMIENTO

- Se debe considerar que un kilobyte es igual a 1,024 bytes y es este número el que tiene que ser usado cada vez que se efectúen cálculos extendidos.
- El término brontobyte no existe, sirve únicamente para denominar un número muy grande, fue definido por el comandante de la Marina de los EE UU Rick Kercz en una entrevista para la revista *Imaging*. Este valor será flotante cada vez que sean designados nuevos nombres para números mayores al yottabyte.

- Si se quisiera saber cuánta información es un yottabyte, utilizando un módem de 28,800 bauds para transmitir esa cantidad de información se tardaría 11 billones de años.
- Un segundo de voz (sonido) produce 22 Kb de data digital.

La fiabilidad de las unidades de almacenamiento se mide en términos de disponibilidad. Así, la falla de una unidad individual de almacenamiento de datos, puede suponer la detención de las operaciones realizadas con ésta. La disponibilidad de estos dispositivos se mide como el tiempo medio entre fallas (MTBF).

En este sentido, las unidades de almacenamiento de información redundantes que ofrecen facilidades de detección de errores de un solo bit, mejoran la disponibilidad ya que almacenan información de paridad para recuperar los datos originales en el caso de que se produzca alguna falla. De este modo se mejora notablemente la disponibilidad de los datos, denominada MTDA, que determina el período de tiempo en el que

el sistema puede acceder a los datos contenidos en la unidad de almacenamiento.

5.2. Medios de grabación magnética

Los medios de grabación magnética consisten en un soporte que bien puede ser rígido (discos duros) o blando (discos flexibles o disquetes, cintas, etc.), sobre el que se deposita una fina película magnética para su grabación. Esta película está compuesta de diferentes materiales magnéticos: óxido de hierro, de cromo, de hierro-cobalto, de cobalto-níquel, etc.

Para el almacenamiento de los datos se crean dominios magnéticos de polarización inversa a la dirección preferente de polarización que tiene la película magnética. Cada dominio magnético se corresponde a un punto de memoria o bit. Para aumentar la densidad de grabación, esta dirección preferente de polarización debe ser perpendicular a la película magnética.

Las características de estos dispositivos vienen determinadas por las propiedades de la capa magnetizable y del soporte, las cuales determinan la densidad de grabación y la relación señal/ruido de lectura.

5.3. Modos de grabación y lectura magnéticas

Los transductores de lectura y escritura para grabación magnética se componen de una cabeza de estructura toroidal, con un arrollamiento por el que circulan las "corrientes eléctricas de lectura y/o escritura" dependiendo de que exista un único transductor o dos, uno para lectura y otro para escritura. El núcleo de la cabeza se construye de ferrita o laminado de hierro.

En la operación de escritura se hace pasar una pequeña corriente por la cabeza, que produce un campo magnético el cual magnetiza la película de material magnético que se mueva en su proximidad. Invertiendo el sentido de la corriente se invierte el sentido del campo y, por tanto, el sentido de magnetización del soporte.

En la operación de lectura, se hace pasar un soporte grabado magnéticamente cuyos cambios de magnetización, en los bordes de los dominios, producen unos cambios magnéticos en la cabeza que, a su vez, inducen corrientes en el arrollamiento, proporcionales a la densidad de flujo magnético.

Los códigos de grabación más comunes son: RZ, NRZ, NRZ1, FM, PE, RB y MFM, pudiendo encontrarse una descripción de cada uno de ellos en el Anexo 5.

5.4. Cintas magnéticas

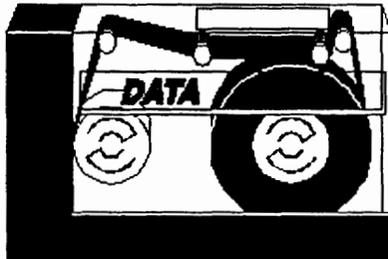


FIGURA 5.1 CARTUCHO DE CINTA MAGNETICA

Las cintas magnéticas han sido, desde siempre, el método más extendido para realizar copias de seguridad tanto de pequeños sistemas como de grandes redes, ya que poseen la ventaja de que tanto el propio hardware como el soporte para datos que utilizan, es bastante asequible. Sin embargo, en la actualidad también existen diferentes alternativas para realizar la misma tarea, alternativas que suelen presentar ventajas en puntos tales como la fiabilidad o la velocidad.

Los dispositivos de almacenamiento de acceso secuencial están representados por las cintas (tapes). Este es precisamente su principal inconveniente: no soportan el acceso aleatorio a los datos, es decir, la unidad de lectura debe explorar la cinta hasta hallar una información específica. Por este motivo, la rapidez de acceso a los datos en las cintas es menor que la de los discos. En consecuencia, a mayor capacidad de almacenamiento, mayor longitud de la cinta y, consiguientemente, mayor tiempo de acceso.

Las cintas consisten en un soporte flexible sobre el que se deposita una pequeña película de material magnetizable (óxidos o metales). Durante los procesos de lectura y escritura, esta banda de material magnetizable debe moverse delante de la cabeza de lectura-escritura, que es la responsable de traducir las señales magnéticas en eléctricas o a la inversa.

Las cintas se suelen utilizar como medio de soporte para realizar copias de seguridad de discos duros y como soporte para el almacenamiento de grandes bases de datos.

En estos sistemas de almacenamiento masivo, la cinta se enrolla en unas bobinas, unos cassettes o en unos cartuchos, y unas poleas se encargan de arrastrar la cinta a una velocidad constante delante de la cabeza de lectura-escritura y de amortiguar los tirones de bobinado de los motores. Estos dispositivos son medios removibles, fiables y económicos con capacidades de almacenamiento elevadas.

El inconveniente que sigue existiendo es la falta de estándares que unifiquen los productos existentes.

5.4.1. Tipos

En la actualidad se pueden encontrar varios tipos de cintas, de los cuales los dos más comunes son los carretes o bobinas de cinta magnética y cassettes o cartuchos de cinta.

a. Carrete de Cinta Magnética:

Es un medio de almacenamiento secundario, que durante mucho tiempo ha constituido el tipo predominante de unidades de cinta magnética y que se usa especialmente en ambientes dotados con equipos de cómputo medianos y grandes.

Presenta las siguientes características:

- La forma que adopta es de cinta continua y se encuentra enrollado en un carrete. Al inicio, la cinta está contenida en un carrete la cual es transferida a otro después de una operación de lectura o escritura.
- Las dimensiones de una cinta pueden variar de un sistema a otro, pero las más comunes son las que tienen como medida 0.5" de ancho por varios cientos de pies de largo.
- La cinta es de material plástico revestido de una capa de óxido magnético sobre la que se puede registrar datos en forma de series de puntos magnetizados.
- Los formatos de cinta no tienen un estándar definido y dependen del fabricante. Las pistas se encuentran divididas en unidades lógicas llamadas bloques, cada uno de los cuales pueden contener una docena de sectores de disco, uno a continuación del otro, y después de éstos se incluyen códigos de corrección de errores. El formato para numerar los bloques, crear directorios y tablas de

asignación de archivos varía considerablemente. Algunos formatos requieren que la cinta esté preformateada.

- En las cintas magnéticas las densidades de grabación (número de bytes por unidad del medio de registro) se representan en bytes por pulgada de pista (BPI). Se pueden encontrar cintas con densidades de grabación de 800, 1600, 6250 BPI, etc.

b. Cartucho de cinta:

Sus principales aplicaciones se encuentran como soporte para el almacenamiento de copias de seguridad de grandes sistemas de red local y de grandes bases de datos que buscan absoluta seguridad en cuanto a disponibilidad de la información. Es también una alternativa a los costes que supone adquirir un disco duro con la suficiente capacidad para almacenar todos esos datos aunque, eso sí, renunciando a la rapidez de acceso a los datos que presentan los sistemas de

acceso directo. El abanico de entornos informáticos en que las cintas QIC (Quarter-Inch-Compatibility) encuentran aplicación, va desde los grandes ordenadores hasta los ordenadores personales. Presenta las siguientes características:

Sus características son similares a los carretes o bobinas de cinta pero en un espacio mucho más reducido.

- Los cartuchos de cinta contienen placas con base de aluminio que facilitan un posicionamiento más preciso de la cinta. Disponen además, de un mecanismo especial de tensión que evita que la cinta se fuerce.
- Su principal inconveniente es la falta de estándares al respecto, que impiden que una cinta grabada por un sistema pueda ser leída por otro distinto.

Existen cartuchos con diferentes medidas, por ejemplo de cuatro por seis por cinco octavos de pulgada, dos por tres por media pulgada, etc.

5.4.2. Capacidad de las cintas magnéticas

La capacidad de almacenamiento bruta de las cintas viene determinada por la longitud de estas y por la densidad de grabación (número de bits que pueden ser grabados por pulgada). No obstante, tampoco puede utilizarse toda su capacidad bruta para grabar información, ya que también hay que guardar la información de dirección para poder acceder a la zona de datos deseada. Además, las poleas necesitan un cierto tiempo para parar y alcanzar la velocidad de régimen de la cinta, por lo que se debe dejar unos claros o zonas muertas entre los registros independientes, los denominados IRG (Inter Register Gaps).

A la capacidad real aprovechable, igual que en los discos, se le denomina capacidad formateada. Para disminuir el número de zonas muertas entre registros (IRG), los registros lógicos se agrupan en bloques o registros físicos, y se define un directorio en la cabecera del archivo que especifica los registros que contiene, guardando la información de dirección y de sincronismo. En cada

bloque o registro físico, los registros lógicos están uno a continuación de otro sin espacio entre ellos. Un registro lógico es el conjunto de campos que hemos definido en nuestro archivo de datos. Por ejemplo, si el registro lógico que se ha definido ocupa 185 bytes y mi factor de bloque (número de registros lógicos que va a contener el bloque) es 10, entonces el registro físico va a ocupar 1,850 bytes. Al final del archivo se acompaña la información para la detección de errores y de fin de registro. Este proceso definitorio se realiza durante la operación de dar formato a la cinta, de modo que la máxima capacidad formateada o capacidad neta de la cinta, siempre es inferior a la capacidad bruta de la misma.

5.4.3. Tiempo de acceso en las cintas magnéticas

En las cintas, al ser dispositivos de almacenamiento secuencial, la unidad lectora debe explorar la cinta hasta hallar una información específica. Por consiguiente, a mayor capacidad de almacenamiento, mayor longitud de la cinta y mayor tiempo de

acceso medio. Este viene determinado por el tiempo que tarda en posicionarse la cabeza de lectura-escritura al inicio del registro que se quiere leer, más el tiempo que tarda la información de la cinta en pasar delante de ella.

Este modo de acceso se convierte en el principal inconveniente de las cintas. No obstante, existen sistemas que resuelven en parte esta desventaja usando la técnica QFA . Este método crea un índice para el contenido de la cinta, de modo que el equipo lógico de lectura puede utilizar esta tabla para acceder directamente a la zona donde se encuentran los datos solicitados. Para ello, en primer lugar se consulta la tabla que proporciona la posición en la cinta de los datos solicitados y, en segundo lugar se avanza a dicha posición sin necesidad de recorrer todos los datos de la cinta.

5.4.4. Velocidad de transferencia

Es la velocidad a la que se transmiten los bits de un registro desde el soporte magnético a la cabeza lectora. Este parámetro viene determinado por la densidad de grabación del medio y por la velocidad de avance de la cinta.

5.4.5. Funciones de las cintas magnéticas

Para un mejor aprovechamiento de este recurso es necesario conocer las funciones que cumplen, es decir, en qué casos pueden utilizarse las cintas magnéticas.

A continuación, se mencionan algunas de las funciones asignadas a una unidad de cinta:

- *Efectuar el respaldo de seguridad o "backup_" de los datos almacenados en discos magnéticos, con cierta frecuencia.*

El backup se puede realizar de tres formas:

- a) se copia todo el contenido de un disco

b) se copia sólo determinados archivos y

c) Sólo se copian los archivos que han sufrido alguna modificación desde el último backup.

- *Archivar o almacenar* grandes cantidades de datos en forma compacta, de información que no es necesario mantener de manera permanente y que en cualquier momento puede ser requerida.
- *Procesar archivos* que siempre o casi siempre se trabajan en secuencia. En este caso, las unidades de cinta son más eficientes y baratas frente a los discos magnéticos, por lo que representan una mejor alternativa.
- *Intercambiar datos*, es decir, enviar grandes cantidades de datos en cinta en vez de hacerlo a través de las líneas de comunicación, ya que en algunos casos es más económico y funcional. Para ello, los equipos implicados deben leer y escribir en un formato común.

- *Distribución de programas.* Las unidades de cinta constituyen un medio preferido para distribuir, transportar y cargar programas extensos (sistemas operativos, gestores de bases de datos, etc.) en ordenadores medianos y grandes.

5.4.6. Condiciones de mantenimiento

Las unidades de cintas magnéticas deben guardarse bajo ciertas condiciones, con la finalidad de garantizar una adecuada conservación de los datos o información almacenada.

A continuación se indican las condiciones que deben cumplirse para el óptimo funcionamiento de los dispositivos de cintas magnéticas, de acuerdo al tipo:

a. Cintas Magnéticas:

- La temperatura y humedad relativa del ambiente en que se encuentran almacenados deben estar en el siguiente rango:

Temperatura : 4°C a 32°C

Humedad Relativa : 20 % a 80 %

- El ambiente debe contar con aire acondicionado.
 - Las cintas deben colocarse en estantes o armarios adecuados en una "biblioteca de cintas" cerca al equipo de cómputo.
 - Se deben mantener alejadas de los campos magnéticos.
 - Se les debe dar un mantenimiento preventivo en forma periódica, a fin de desmagnetizar impurezas que se hayan registrado sobre ellas.
-

b. Cartuchos:

- La humedad relativa del ambiente en que se encuentran almacenados deben estar en el siguiente rango:

Humedad Relativa: 20 % a 80 %

La temperatura puede oscilar entre: 5°C a 45°C

- Deben ser guardados dentro de su caja de plástico.
- Deben mantenerse alejados de campos magnéticos.

CAPITULO 6

6. CINTAS MAGNETICAS SCHLUMBERGER PS 6021

6.1. Dispositivo de almacenamiento externo del sistema NA-21

El Sistema NA-21 cuenta con un grabador/lector de cintas magnéticas como un dispositivo de almacenamiento externo. En él se encuentran programas de respaldo como el Sistema Operativo, programas de diagnóstico y variables para ciertos cálculos que los requiere el CPU en un momento determinado.

Si por algún motivo la NA-21 pierde el programa del Sistema Operativo de las memorias a Núcleos o requiere de uno en específico este puede cargarse desde las cintas magnéticas.

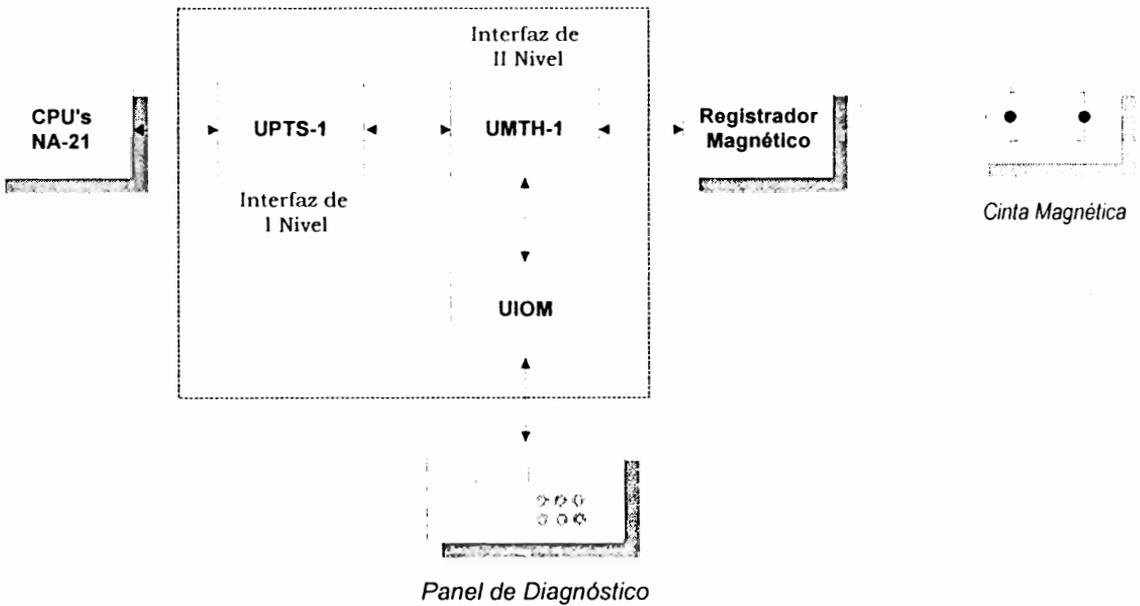


FIGURA 6.1 DIAGRAMA DE BLOQUES DE LOS SISTEMAS PERIFERICOS DE LA NA-21

Las tarjetas UPTS-1, UMTH-1 y la UIOM constituyen la interface para la transferencia de señales y datos entre el CPU y el grabador magnético; y a la vez la interface relativa a las botoneras del panel de diagnóstico. Ver figura 6.1

La UPTS-1 es una interfase de 1º nivel mientras la UMTH-1 y la UIOM son de 2º nivel. El panel de diagnóstico es en sí un tablero de presentación que muestra ciertos eventos en forma visual que van desarrollándose en el Sistema NA-21, incluso el estado de ciertas tarjetas

6.2. Descripción funcional de los servicios periféricos

En esta sección se da una explicación general y funcional de los servicios periféricos refiriéndonos al diagrama de bloques de la tarjeta UMTH-1. Ver anexo 6.

Los tipos de transferencias que se llevan a cabo son:

- Entrada de datos al CPU desde el grabador magnético

- Salida de datos desde el CPU al grabador magnético
- Entrada al CPU de la palabra de control referente al funcionamiento y estado de la tarjeta misma o el grabador magnético.
- Entrada al CPU de la palabra de control referente a la activación de los botones del panel de Diagnóstico.

Cada una de las funciones arriba mencionadas (generadas por comandos específicos de transmisión por la tarjeta respectiva o por el grabador magnético) es estimulada por el CPU mediante la función "External Function" .

EFA es una señal de lógica positiva que es generada por la UPTS-1 bajo órdenes directas del CPU, este proceso es denominado como una función "External Function" por el sistema debido a que con él se da inicio a un proceso de comunicación y transmisión de datos con algún dispositivo externo.

Por lo tanto cuando se refiera a una función "EXF" se entenderá que es la generación de la señal EFA que da inicio al proceso de transmisión respectivo.

El tipo de transmisión requerida es dado por un código que va desde el bit OD12 hasta OD23. Según sea el caso se tiene:

1. La entrada de información desde el grabador magnético al CPU es activada por un "EXF" con el respectivo comando de lectura (bit OD19=0), el cual causa la activación de la señal de respuesta IDR a la tarjeta UPTS-1 indicando transferencia realizada.
2. La salida de los datos desde el CPU al registrador magnético es activada por un EXF con el comando de escritura (bit OD16=0). La señal ODR es activa como respuesta a la transferencia realizada y enviada a la tarjeta UPTS-1
3. La entrada al CPU de la palabra de control acerca del funcionamiento del grabador magnético se lleva a cabo con un "EXF", el comando de transmisión de palabra de control y con la definición del periférico

concerniente (bit OD22=1, OD23=0); este causa la respuesta de un IDR hacia la tarjeta UPTS 1.

4. La entrada al CPU de la palabra de control debido a la activación de las botoneras del Panel de Diagnóstico, es estimulado por una EXF junto con el comando de transmisión de la palabra de control, además de la definición del periférico correspondiente (bit OD22=1, OD23=1); este causa la generación de un IDR hacia la tarjeta UPTS-1.
5. La entrada de la palabra de control acerca del funcionamiento del grabador magnético es enviada aun sin el requerimiento del CPU, esto se produce por la activación de un EIR hacia la UPTS-1, indicando algún error grave; la palabra de control en cuestión es enviada debido a:
 - Error
 - Sector de inter-grabado gap
 - Fin de cinta

Con un "EXF" junto con el código correspondiente, funciones particulares son estimuladas (rebobinado de cinta, búsqueda de grabado, borrado, dirección del movimiento de la cinta) y la información necesaria para el correcto funcionamiento de los dispositivos.

6.2.1. Datos de entrada al CPU desde el registrador magnético

La emisión de la función EXF (emitida por programa) desde el CPU a la tarjeta UPTS-1 causa que la señal EFA sea transmitida desde la UPTS-1 a la UMTH-1. Los comandos a activarse son:

OD12 a OD14 Elección de la pista en la cinta.

OD15=1 Selección de la UMTH-1

OD17=1 Elección del sentido de movimiento de la cinta, adelante.

OD19=0 Comando de lectura

La señal EFA y el bit OD15 del bus de datos genera en el bloque 3 de la tarjeta UMTH-1 la señal EFA' teniendo los siguientes destinos:

Bloque 1, donde forma parte de la señal de reloj para la salida de las señales TA0 hasta 2 y FRO que indican selección de pista y sentido de movimiento de la cinta magnética; dichas señales son generadas en el bloque en cuestión por los bits OD12 hasta OD14 y OD17 respectivamente.

Bloque 11, junto con el bit OD19, donde se procesa la emisión de la señal TMA.L=0 (comando de movimiento de la cinta).

La señal RUN es generada, con el principal propósito de:

Habilitar en el bloque 15 la recuperación de información de los bits de lectura desde la cinta magnética (bit RIN, serialmente transmitido en código B1-0-L)

Habilitar en el bloque 20 el funcionamiento del contador binario para el control de llegada de las tramas de información desde la cinta magnética a través de la señal RIN.

Los bits del RIN llegan entonces al bloque 18, donde, con habilitación de la señal MOV generada en el bloque 11 son procesadas (cambia señales de nivel correspondiente a los bits de datos en salidas binarias), y al 20 para la detección del sproket (delante de cada introducción y conclusión en las tramas).

En el bloque 15 se encuentran ya los bits de información recuperados de la cinta magnética en forma paralela y para ser presentados en el Bus de Datos de Entrada.

Unicamente cuando la trama del dato es completada, la señal INP es generada en el bloque 16 la cual, a su turno, genera en el bloque 12 el IDR directamente a la tarjeta UPTS-1; la señal OED.L habilita en el bloque 15 el Bus de Datos de Entrada hacia la tarjeta UPTS-1 desde ID16 hasta 23.

6.2.2. Salida de datos desde el CPU al registrador magnético

La emisión de la función EXF (causada por el programa) desde el CPU a la tarjeta UPTS-1 causa que la señal EFA sea transmitida desde la tarjeta UPTS-1 a la UMTH-1. Los códigos con que puede estar asociado son:

OD12 a OD14 Elección de la pista en la cinta.

OD15 = 1 Selección de la UMTH-1

OD17 = 1 Sentido de movimiento de la cinta magnética

OD16 = 0 Comando de escritura

La señal EFA y el bit OD15 genera en el bloque 3 de la tarjeta UMTH-1 la señal EFA' teniendo el siguiente destino:

Bloque 1, donde este forma parte de la señal de reloj para la salida de las señales TA0 hasta 2 y FRO; dichas señales son generadas en el bloque en cuestión por los bits OD12 hasta OD14, OD17 las cuales proveen la información de la pista de la cinta a usar y el sentido de movimiento de la misma.

Bloque 7, donde junto con el bit OD16=1, genera la señal EXFW.L destinada al bloque 8 y 17 donde se da inicio al proceso de escritura.

En el bloque 8, la detección de la señal EXFW.L da las siguientes operaciones:

- Chequea que una operación de rebobinado de la cinta no esté en proceso (el test es la señal RER.L la cual viene desde el registrador magnético).
- La transmisión de las señales con el propósito de:

Generación en el bloque 11 del comando de movimiento de cinta TM0.L para el registrador magnético.

Si el bloque 6 recibe la señal WAUT=1 desde el grabador, el comando de escritura WOR.L=0 es generado hacia este para iniciar proceso de escritura.

Una vez que la cinta está lista para el inicio de escritura, la transferencia de datos empieza desde el CPU al grabador magnético, cada trama es transferida acorde al procedimiento de servicio de requerimiento de salida hecha por la tarjeta UPTS-1 y el CPU.

Esto hace posible dar un comando de borrado por la emisión de la señal EXF2.L que junto con el código

OD23 = 1

OD22 = 1

OD21 hasta OD15 = 1

OD14 hasta OD12 = información de pista

pone a la cinta en el proceso de grabado.

Las señales OD23 y OD22 juntas con EFA' son enviadas al bloque 9, generando ahí la señal ERASE=1 el cual, procesado por los bloques de la tarjeta UMTH-1, fuerza que WIN sea igual a 1.

6.2.3. Entrada al CPU de la palabra de control

La entrada de una palabra de control desde el registrador magnético puede ser estimulado por el CPU enviando una "External Function", o este puede ser causado por la tarjeta UMTH-1 con un requerimiento de interrupción EIR.

6.2.3.1. Entrada de la palabra de control del registrador magnético bajo requerimiento del CPU. (Request)

La entrada al CPU de la palabra de control relacionado con el funcionamiento del registrador magnético es estimulada por el CPU con la transmisión de un EXF.L, señal que viene dada junto con los códigos necesarios:

OD22=1 Comando de la palabra de control

OD23=0 Selección del registrador magnético

OD15=1 Selección de la tarjeta UMTH-1

La señal EFA', generada, como ya se ha visto en el bloque 3, es enviada al bloque 9, donde las señales OD22 y OD23 son procesadas. Las señales ESC.L=0 y OESC.L=0. ESC.L=0 son generadas con destino al bloque 12, donde la entrada de requerimiento IDR es enviada a la UPTS con señal 1. EFA' provoca que la palabra de control del registrador magnético sea capturada en un registro reservado para ello en el bloque 15; cabe señalar que dicha palabra está siempre presente a las entradas de dicho registro; la habilitación de salida de la palabra de control en el Bus de Datos de entrada ID23 hasta ID16 requeridas por la UPTS-1 es causada por procesamiento de la señal EFA' en la tarjeta UMTH-1.

El CPU satisface los requerimientos y emite la señal IDA=1 en respuesta a la transferencia realizada de manera exitosa; esta señal, recibida en el bloque 5 de la tarjeta UMTH-1, genera la desactivación de la señal CLAB.L la cual causa a la vez la cancelación de la señal IDR de respuesta.

6.2.3.2. Entrada al CPU de la palabra de control del registrador magnético por principio de interrupción

Cuando se está realizando un proceso de comunicación y transferencia de datos entre los servicios periféricos y el CPU y ocurre un error determinado, se envía una palabra de control reportando su tipo.

La emisión de una interrupción a la tarjeta UPTS-1 toma lugar en los siguientes casos:

- **Inter-record gap**

Detección de un "inter-recor gap" siempre al final de la lectura de una trama. (Zona del grabado con nivel lógico 1).

- **Error**

Una condición de error es verificada cuando la introducción o conclusión de una trama es capturado

6.2.3.2. Entrada al CPU de la palabra de control del registrador magnético por principio de interrupción

Cuando se está realizando un proceso de comunicación y transferencia de datos entre los servicios periféricos y el CPU y ocurre un error determinado, se envía una palabra de control reportando su tipo.

La emisión de una interrupción a la tarjeta UPTS-1 toma lugar en los siguientes casos:

- **Inter-record gap**

Detección de un “inter-recor gap” siempre al final de la lectura de una trama. (Zona del grabado con nivel lógico 1).

- **Error**

Una condición de error es verificada cuando la introducción o conclusión de una trama es capturado

como dato, con la consecuente transmisión de un IDR hacia la CPU y la orden de lectura. En este caso, la señal PA=0 y la identificación de el sprocket contribuye a la generación de la señal ERR.L=0. Esta señal es enviada al bloque Interrupt Request donde se genera la señal EIR hacia la tarjeta UPTS-1. La señal ERR.L es así enviada al Record Status Word Memory donde forma parte de la palabra de control.

- **Fin de Cinta**

El grabador magnético indica la proximidad del fin de cinta (aproximadamente un segundo antes) enviando la señal EOT a la tarjeta UMTH-1. La señal es recibida por el registro Recorder Status Word Memory donde contribuye a la formación de la palabra de control; así como a la generación de la señal EIR hacia la tarjeta UPTS-1.

Cada una de las causas de generación de interrupción arriba mencionadas causa un EIR request a la tarjeta UPTS-1; a este requerimiento es conformado el contenido de la palabra de control con la siguiente información:

- Habilitación de escritura
- Fin de cinta
- Grabador listo
- Error
- Inter-record gap
- Cinta lista - grabador listo
- Inicio de cinta
- Botón de rebobinado de cinta activo

Las señales involucradas para el caso son:

WAUT desde el grabador: autorización de escritura

EOT desde el grabador: Fin de cinta

RER desde el grabador: Grabador listo

ERR.L generado en la tarjeta UMTH-1: Error

IRG generada en la tarjeta UMTH-1: Inter-record gap

TAST generada en la tarjeta UMTH-1: Cinta estacionaria, grabador listo.

BOT desde el grabador: Inicio de Cinta

REW.L desde el grabador: Rebobinado por acción la botonera.

6.2.3.3. Entrada al CPU de la palabra de control desde el panel del sistema de diagnóstico

El comando de activación de las botoneras (I/O CHAN. TEST, EXT. DIG. I/O, HARDW. TEST, I/O LOGIC TEST, R / W / MT / MEM) del Sistema de Panel de Diagnóstico, el fin de la carga del programa de la cinta magnética sin error, o alguna condición de error durante la carga es estimulado por el CPU por intermedio de la tarjeta UPTS-1 con la llegada de un EXF (señal EFA y un código asociado que contiene la información de los botones a ser ligados) al bloque 3 de la tarjeta UIOM.

La salida de las señales desde dichos bloques constituyen el comando de activación de dichos botones.

El código asociado es:

OD23 = 1 Selección del panel del sistema de diagnóstico.

OD22 = 0 Requerimiento de la palabra de control del panel de diagnóstico.

OD21 hasta OD15 = 1 inalterado

OD14 hasta OD12 = inalterado

La señal EFA', OD23 y OD22 genera en el bloque 9, la señales EHT=1 y OETH.L=0. EHT es enviado al bloque 12 y genera la entrada IDR de respuesta hacia la tarjeta UPTS-1, el cual OEHT.L=0 es enviado al bloque 15 a habilitar la "Palabra de Control del Diagnóstico de Hardware" a lo largo del Bus de Datos de Entrada ID16 hasta ID23 hacia la tarjeta UPTS-1.

Dicha palabra de control viene desde la tarjeta UIOM, la misma que es enviada por el Sistema del Panel de Diagnóstico, esta ha sido capturada en el registro reservado para aquello por acción de la señal EFA' que viene del bloque 3.

El CPU envía la señal IDA indicando transferencia realizada; el arribo de la señal IDA al bloque 5 de la tarjeta UMTH-1 genera la señal CLAB.L el cual causa la cancelación de la respuesta IDR y deshabilita el Bus de Entrada de Datos hacia la tarjeta UPTS-1.

De esta manera, la palabra de control es enviada al CPU con la siguiente información:

PALABRA DE CONTROL	
Señal	Botonera activada
HART	HARDW. TEST
SEQT	SEQ./ NEXT TESTS
IOLT	I/O LOGIC TEST
IOCT	I/O CHAN. TEST
EDT	EXT. DIG. I/O
RWT	R/W/MT/TEST
EXEC	WAIT/SETUP/EXEC

TABLA 6.1 PALABRAS DE CONTROL DEL SISTEMA

6.3. Cinta Magnética

6.3.1. Formato de grabado

La cinta magnética tiene grabados los datos por tramas, y cada trama constituida por tres paquetes de 9 bits cada uno. (8 de información más uno de paridad para verificación de errores en transmisión).

La trama empieza con una introducción que no es más que una secuencia de 10 bits de ceros y unos de forma alternada, y de igual manera para finalizar con una conclusión.

Al finalizar la introducción, el bit 11 es un PA, tiene un valor cero indicando que el paquete anterior no es información.

A continuación llega un *sproket* indicando separación entre la introducción y el primer paquete de datos. El dato palabra es leído con su respectivo bit de paridad. PA=1 indica que la trama es información propiamente dicha.

Luego de la transmisión de la trama existe una zona con nivel alto llamada IRG, la cual separa las tramas entre sí. Ver figura 6.2

El tipo de formato con que se organiza los programas, con sus respectivos códigos de identificación, no se conoce en su totalidad por ser información no proporcionada de manera completa por la compañía fabricante. A manera general el formato se muestra en la figura 6.3.

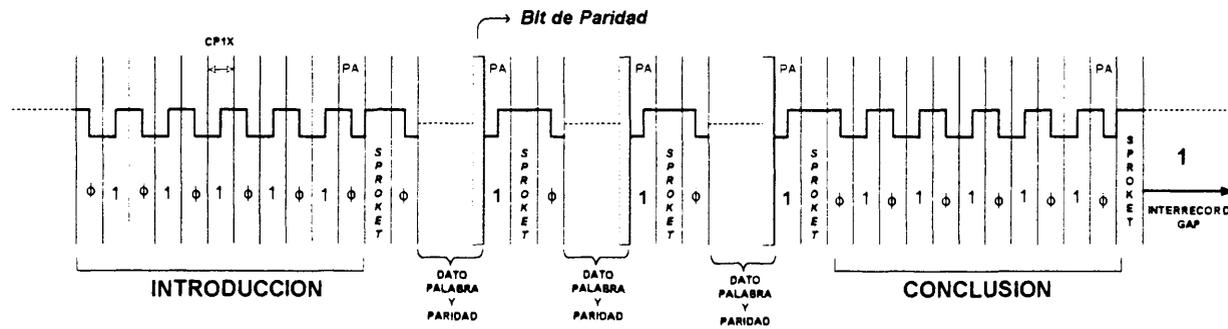


FIGURA 6.2 Modo de Grabado en la Cinta Magnética

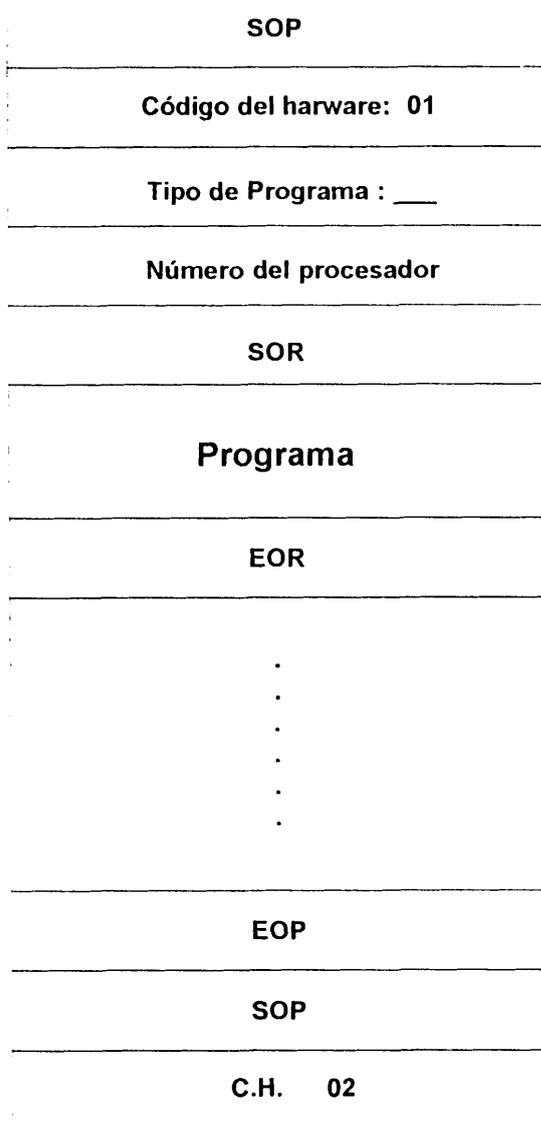


FIGURA 6.3 FORMATO DE LA CINTA MAGNETICA

6.3.2. Tipo de información

6.3.2.1. Sistema Operativo

Es un programa que contiene un conjunto de instrucciones y comandos que se cargan en las memorias a núcleo para el funcionamiento y manejo de los dispositivos del equipo.

6.3.2.2. Programas de diagnóstico

Son aquellos que se encargan de verificar el correcto funcionamiento de todo el sistema NA-21 y su correcta comunicación con otros sistemas.

6.3.2.3. Constantes de operación

Para los cálculos de tiro se requieren de ciertas variables que dependen únicamente del buque, tales como altura de las armas con respecto al nivel del mar, calado, entre otros.

Estas constantes se encuentran entonces respaldadas en la cinta magnética, sin embargo, estas pueden cargarse a las memorias a núcleo directamente.

6.3.3. Tipos de programas

Se dividen en aquellos que se copian a las memorias a núcleo antes de ejecutarse y los que lo hacen desde las cintas magnéticas directamente.

CAPITULO 7

7. Recuperación de la Información de la Cinta Magnética

7.1 Programa Fuente

Actualmente, la información de las cintas magnéticas se encuentra respaldada en forma impresa. Este respaldo tiene la información de la etiqueta, tipo de programa y los datos. El programa está representado en código octal, más la etiqueta y su tipo en caracteres. Esta información ya impresa fue proporcionada por la compañía fabricante en el momento de la adquisición de los equipos.

7.2 Impresora

Los datos de las cintas magnéticas fueron adquiridos por medio de una impresora. Esta impresora es de Texas Instruments, modelo 703. Posee una interfase con conector RS-232-C.

La ventaja del equipo es la obtención de información en forma impresa, y de ingresar datos desde la misma al sistema. Por el contrario, el formato de la trama de información que viene desde la cinta magnética, no es el mismo que el que llega a la impresora. Con este análisis se descarta la posibilidad de recuperarlos por este puerto

7.3 Captura de datos desde la tarjeta UMTH-1

Después de hacer un estudio del formato de la trama de las cintas magnéticas, se llegó a la conclusión que se puede hacer su captura desde la tarjeta UMTH-1 en el registro de sostenimiento (Circuitos Integrados 12FI y 4D), debido a que el formato llega en forma completa hasta dicho registro. Ver los esquemáticos de la tarjeta UMTH-1 en Anexo 6.

Este registro de sostenimiento captura los datos con la señal SPKD y los envía al bus con la de habilitación OED.L en forma paralela (8 bits). Adicionalmente, se envía un bit más que es el de paridad, el cual viene desde el registro de paridad (Circuito integrado 12 FI).

7.4 Tarjeta de Interfase para la captura de datos

Para realizar la adquisición de los datos, se requiere un computador con su respectivo circuito de interfase con la tarjeta UMTH-1.

La tarjeta PCL-818HG es utilizada para este propósito. Especificaciones de esta tarjeta refiérase al Anexo 7.

La PCL-818HG viene con un programa de adquisición de datos; por lo que se accesa a los puertos de entrada y salida dedicada a las señales digitales. Tanto el puerto de entrada como el de salida, tienen un canal de 16 bits. Dicho canal está dividido en dos partes: la baja y la alta de datos.

Existen dos direcciones para los puertos, una que maneja la parte baja y la otra la alta. Cada parte tiene 8 bits. Dicha tarjeta es compatible con TTL como para señales analógicas.

Se considerará la parte baja para poner los datos, desde el menos significativo que es el bit 1 hasta el más significativo que es el bit 8. El bit de paridad se lo pone en el bit menos significativo de la parte alta.

Para una adquisición de datos exitosa, hay que tener en cuenta el sincronismo entre la tarjeta UMTH-1 y la PCL-818HG. Para este objetivo, se utilizará la señal OE.L como orden de captura de datos.

CAPITULO 8

8. SOLUCION Y DISEÑO DEL REEMPLAZO DE LAS CINTAS MAGNETICAS

8.1. Posibles soluciones ventajas y desventajas

Reemplazar el registrador magnético por un nuevo dispositivo de almacenamiento de información implica que el sistema NA-21 debe adquirir los bits de datos con el mismo formato que los ha estado adquiriendo de las cintas magnéticas.

Se hace el análisis del nivel de interfaz al que es posible acoplar el nuevo dispositivo de memoria.

Comunicación directa con la UMTH-1

Ventajas

- No queda alterada de manera alguna la comunicación entre la UPTS-1 y el Panel de Diagnóstico.
- Se reemplaza sólo un dispositivo externo.

Desventajas

- Un número elevado de señales de interacción.
- La tarjeta UMTH-1 recibe los bits leídos de la cinta magnética directamente desde la cabeza lectora del registrador, por lo que sería muy complicado poder reproducir esta manera de transmisión a partir de cualquier nuevo dispositivo de memoria.

Comunicación con la UPTS-1

Ventajas

- La transmisión de los bits de datos entre la UMTH-1 y la UPTS-1 son en tramas bien definidas.
- Un número reducido de señales de comunicación.

Desventajas

- Se altera la comunicación con el Sistema de Panel de Diagnostico a través de la UIOM.

Se decide reemplazar la tarjeta UMTH-1 por otra capaz de mantener el mismo tipo de comunicación con la UIOM, y al mismo tiempo, tener el control del nuevo dispositivo de almacenamiento. Es en si una modificación de la tarjeta UMTH-1.

En cuanto al dispositivo a usar se debe considerar que:

- La capacidad de memoria de la cinta no sobrepasa los 256K.

- La necesidad de hacer una escritura es eliminada ya que las variables de acción pueden ser grabadas directamente a las memorias a núcleo.
- No es necesario que el programa del sistema operativo u otros estén en el dispositivo debido a que si por algún motivo son borrados de las memorias a núcleo pueden recuperarse y cargarse nuevamente de manera externa.
- No se cuenta con la información exacta del formato de grabado en las cintas magnéticas ni códigos de identificación de programas, solamente con que los datos son transmitidos en paquetes de 9 bits y que cada trama cuenta con tres de estos.
- Las tramas son enviadas secuencialmente sin pre-direccionamiento alguno.

La eliminación definitiva de este dispositivo estaría entonces justificada si no fuera por aquellos programas de diagnostico que corren desde la cinta magnética directamente sin necesidad de cargarlos antes en las memorias a núcleo.

Se concluye, que para no tener conflictos en formatos de grabado y recuperar la información de la manera más simple y parecida a las de las cintas, usar bancos de memoria en similar configuración que las memorias a núcleo.

En síntesis, la configuración de la nueva UMTH-1 es como se muestra en la figura 8.1

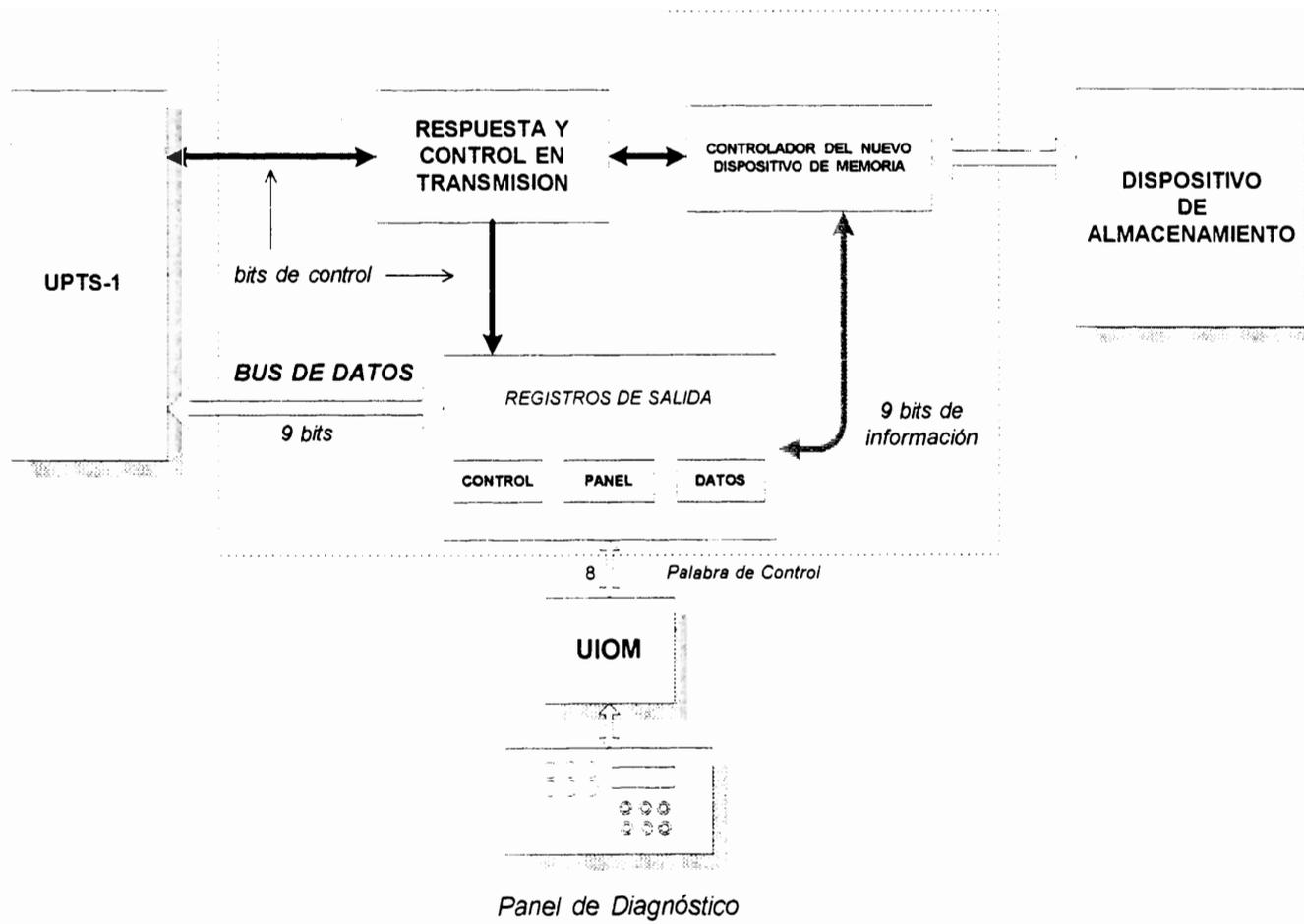


FIGURA 8.1 DIAGRAMA DE BLOQUES DE LA NUEVA UMTH-1

8.2. Diseño Del Prototipo

El diagrama de bloques del diseño se muestra en la figura 8.2

8.2.1. Descripción Funcional De Los Bloques

Selección de pista bloque 1; Recibe las señales OD14, OD13, OD12 con la información del sector de memoria a acceder, este las pasa directamente a las direcciones de los bancos.

Direccionamiento bloque 2; Se encarga de hacer un barrido de las direcciones de las memorias cuando se accede a una lectura. Indica el inicio y fin de la "cinta", mediante las señales BOT y EOT.

Orden de Lectura bloque 3: Inicia el ciclo de lectura al recibir las señales de la UPTS-1, OD19 y EFA', enviando al controlador la orden LEC.H. DIRG es enviada por el bloque 4 indicando la finalización de una trama.

Respuesta y Control en Transmisión bloque 4; Mantiene la comunicación de control con la UPTS-1. Las señales involucradas son IDA, IDR y EIR las que significan dato

enviado, dato recibido y error en transmisión respectivamente. Coordina la habilitación de los registros de los bloques 6 y 7 para la salida de la palabra de control desde el Panel de Diagnóstico y sobre el normal funcionamiento de la tarjeta como también del dispositivo de almacenamiento.

Control de Dato y Trama bloque 5; Indica al controlador el fin de la trama (cada tres paquetes de 9 bits) además de ser responsable de la habilitación de estos datos al bus de salida.

Registro de las Palabras de Control bloque 6 y 7; Contiene la palabra de control del Panel de Diagnóstico y del funcionamiento del dispositivo de almacenamiento respectivamente. La habilitación hacia el bus de datos de salida es hecha por las señales OETH.L y OESC.L enviados por el bloque de Respuesta y Control en Transmisión

Controlador bloque 9; Conformado por un pequeño programa de control en una memoria EPROM, procede al inicio del ciclo de lectura, informa la presencia de un dato en el bus de salida y de la coordinación del envío secuencial de tramas.

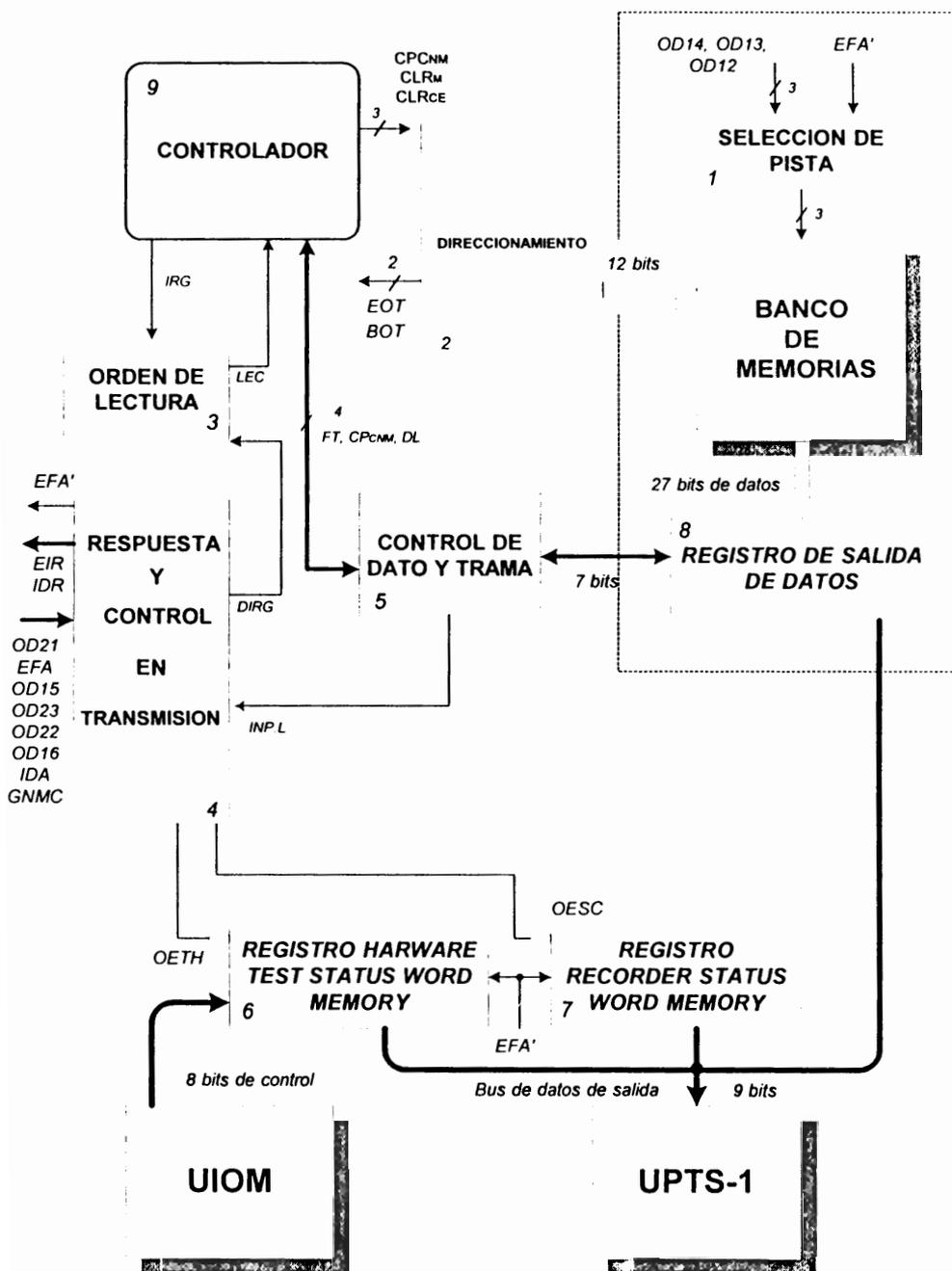


FIGURA 8.2 DIAGRAMA DE BLOQUES DE LA UMTH-1 CON EL BANCO DE MEMORIAS

8.3. Banco de memorias

Las memorias son de igual característica que las usadas en la tarjeta memorias a núcleo. Las especificaciones de este dispositivo se encuentran en el Anexo 1.

Las memorias se han dispuesto en 4 columnas y 8 filas, cada fila corresponde a un nivel. Son 27 bits de datos leídos simultáneamente por cada ciclo de lectura, pero esta trama es enviada y repartida en tres paquetes con la ayuda de los registros CI 12 al CI 17.

El circuito CI 2 se encarga de la habilitación de los niveles de memoria, empezando en el nivel cero hasta el séptimo.

Los contadores hacen el barrido de todas las direcciones por cada nivel. Los comparadores CI 8, CI 9, CI 10 y CI 11 indican el fin del barrido en las memorias. Ver diagrama en el Anexo 8.

8.4. Circuito de reconocimiento

Está conformado por los bloques de Orden de Lectura, Respuesta y Control en Transmisión y Control de Dato y Trama. El respectivo esquemático puede verse en el Anexo 8.

8.5. Controlador

Las señales gestionadas por el controlador son:

Salidas:

CLR_M : Clear memoria; inicia la cuenta en el barrido de direcciones en las memorias.

CLR_{CE} : *Clear chip enable*; inicia contador binario para la habilitación secuencial de las memorias por niveles.

OE_M : *Output enable* de la memoria; habilitación de la salida de datos desde las memorias.

CE_{MG1} : *Chip enable*; habilitación del respectivo nivel en el banco de memorias.

CP_M : Reloj de captura de datos leídos en los registros de salida.

DL : *Dato listo*; el dato se encuentra capturado en los registros.

CP_{CNM} : Reloj de contador ascendente. Habilita la salida de datos por paquetes.

IRG : *Inter record gap*; informa que se ha enviado una trama de tres paquetes.

Entradas:

EFA' : generada en la UPTS-1 que indica el inicio de un proceso de comunicación.

LEC : señala el inicio de un ciclo de lectura.

INP : Confirmación de dato listo y leído.

Ver esquemático del controlador en el Anexo 8

8.5.1. Diagrama ASM y de Tiempo

Se muestra en la figura 8.3 el diagrama ASM del controlador y 8.4 el diagrama de tiempo.

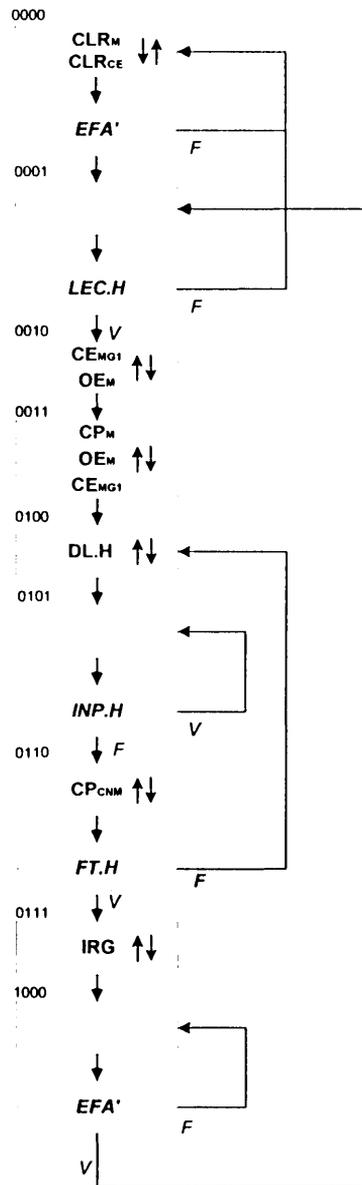


FIGURA 8.3 DIAGRAMA ASM

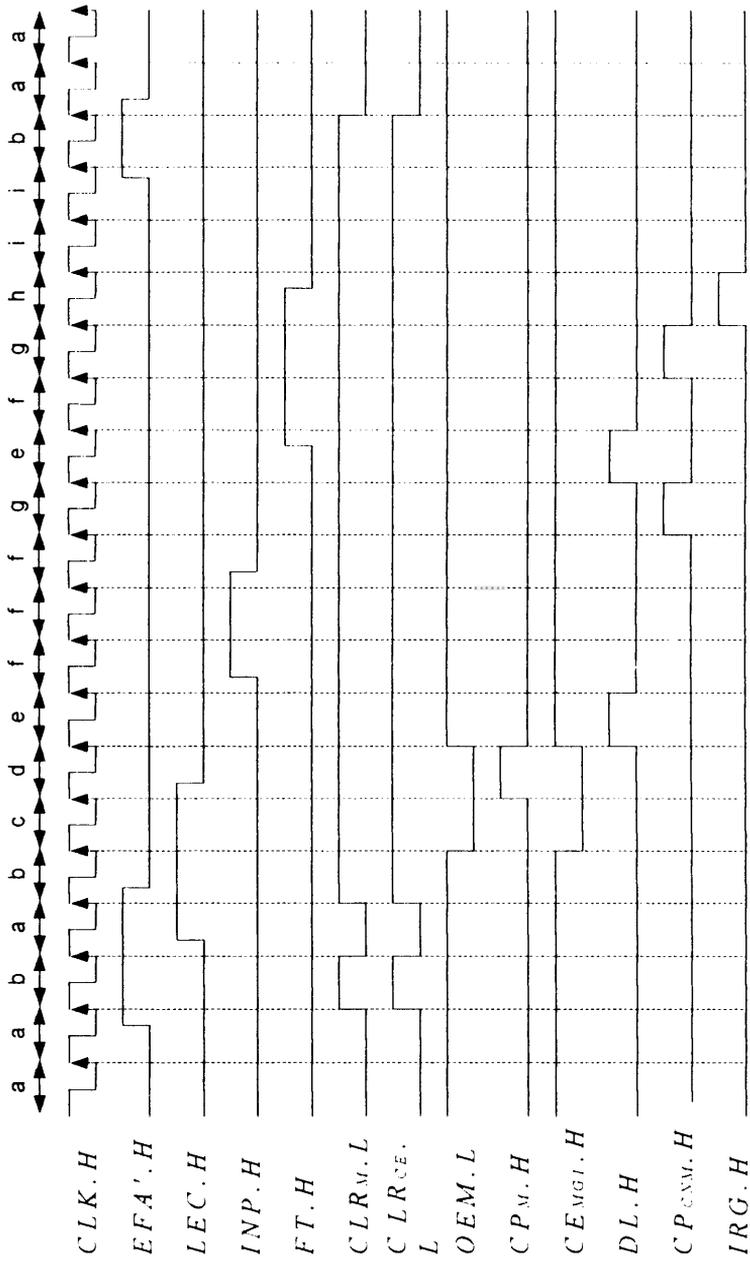


FIGURA 8.4 DIAGRAMA DE TIEMPO DEL CONTROLADOR DE LA NUEVA TARJETA UMTH-1

8.6. Carga de la información a las memorias

Una vez que se ha recuperado los datos de las cintas magnéticas, se graban en las memorias por tramas con ayuda de un computador. (De similar manera de como son recuperados los datos de la cinta magnética).

- Archivo en que constan los datos binarios recuperados directamente de las cintas magnéticas. (Cada paquete consta de nueve bits).

001100101	110011101	011110010
000100011	111000111	011100101
011100111	000101010	111001010

-Datos recuperados en paquetes

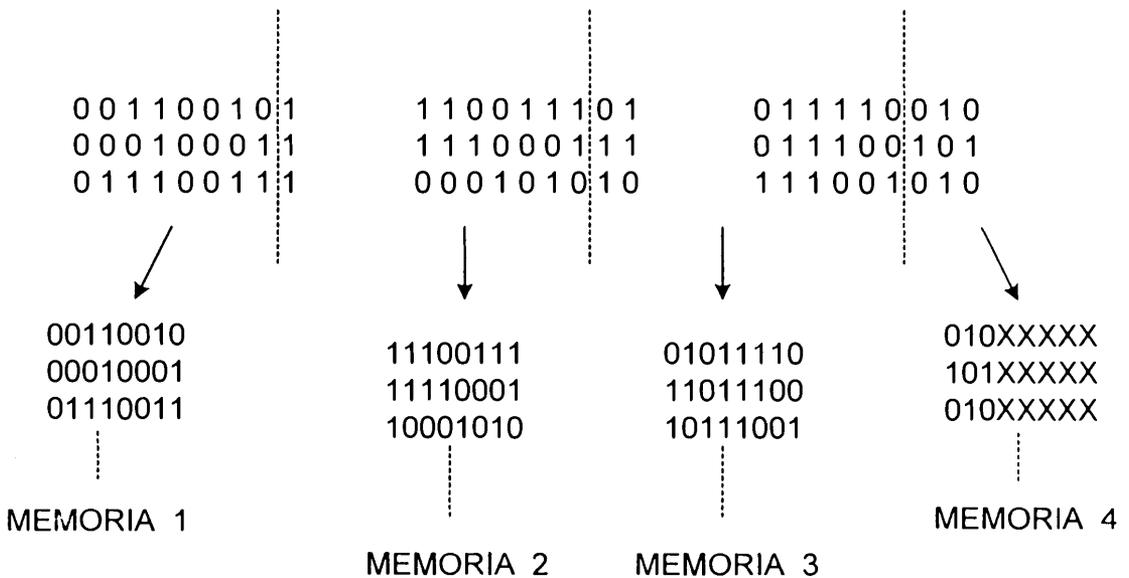
1	001100101	}	Trama
2	000100011		
3	011100111		
	110011101	}	
	111000111		
	000101010		
	011110010	}	
	011100101		
	111001010		

-Separados y arreglados por tramas

1	2	3		
001100101	110011101	011110010	→	1 trama
000100011	111000111	011100101	→	2 trama
011100111	000101010	111001010	→	3 trama

Los datos se arreglan por tramas, cada trama consta de tres paquetes de información.

Para guardar estos datos en las memorias se requiere de una reorganización debido a que en ellas podemos grabar solamente grabar palabras de 8 bits.



Se logra así mantener el mismo formato de adquisición de datos del sistema NA-21.

CONCLUSIONES

- El reemplazo de las memorias a núcleos en el computador de Tiro NA-21 llegó a término de manera exitosa, lográndose que sea transparente para el equipo. La tarjeta definitiva está instalada a bordo y el sistema en estado operativo.
- La sustitución de las Cintas Magnéticas por bancos de memorias es la aplicación actual de la técnica conocida como "disk on chip" (disquete integrado), ahorrando espacio y facilidad al reemplazo de cualquier componente en caso de falla.
- Con las soluciones dadas, la Armada del Ecuador se desliga de la dependencia con la compañía Alenia en la adquisición de las memorias a núcleos (versión moderna) y de las cintas magnéticas, cuyos precios por unidad se encuentran en los 15 000 y 12 000 dólares respectivamente. Como una breve comparación de costos mencionaremos que cada tarjeta reemplazo memorias a núcleos se encuentra entre los 200 dólares, y cada corbeta tiene en su computador 4 módulos de estos, lo que significa un ahorro realmente significativo.

RECOMENDACIONES

- La información recuperada desde las cintas magnéticas debe estar respaldada en otro dispositivo de almacenamiento que no sean las memorias NVSRAM.
- En caso de que la información se pierda de la tarjeta reemplazo memorias a núcleo y a la vez de los bancos de memorias de respaldo (las que sustituye a las cintas magnéticas) se volverá a cargar nuevamente los datos y programas en las memorias NVSRAM desde su archivo respaldo recuperado de las mismas cintas magnéticas.

ANEXO 1

ESPECIFICACIONES TECNICAS DE LAS MEMORIAS NVSRAM

BENCHMARQ

BENCHMARK

NONVOLATILE SRAM
32K x 8 Bits

bq 4011
bq 4011Y

Características:

- Retención de datos en ausencia de poder.
- Protección automática de escritura durante los ciclos de ausencia y retorno de alimentación.
- Memoria de 28 pines.
- Operación convencional SRAM: ciclos de escritura ilimitados.
- Retención de datos en ausencia de poder por un mínimo de 10 años.
- Batería interna incluida hasta el retorno de la alimentación.

Descripción General:

La CMOS bq4011 es una memoria RAM estática con capacidad de almacenar 262 144 bits, organizados en 32 768 palabras por 8 bits. La combinación de un circuito de control con una fuente de energía de litio

produce la característica no volátil combinada con el ilimitado ciclo de escritura propio de las SRAM.

El circuito de control constantemente monitorea que la alimentación de 5 voltios se encuentre dentro de los límites de tolerancia, cuando baja de estos límites, inmediatamente la memoria activa una protección de escritura incondicional para prevenir operaciones de escritura no previstas. En este momento, el control activa la fuente de energía de la propia memoria, hasta que la alimentación externa se halle nuevamente dentro de los límites normales de tolerancia.

La memoria NVSRAM bq4011 no requiere una circuitería externa, y es compatible con las SRAM estándar y la mayoría de EPROM y EEPROMs.

CONFIGURACION DE PINES

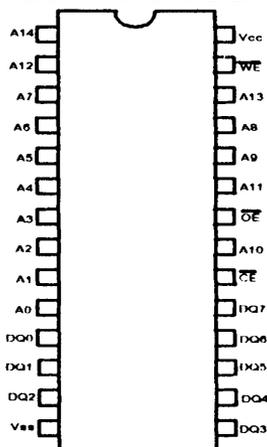
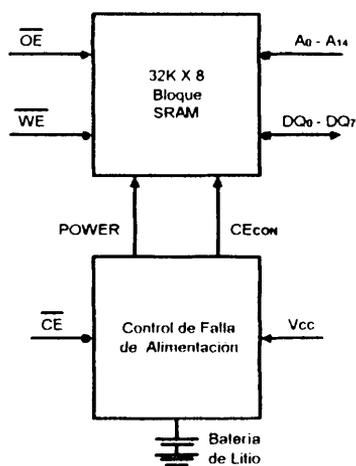
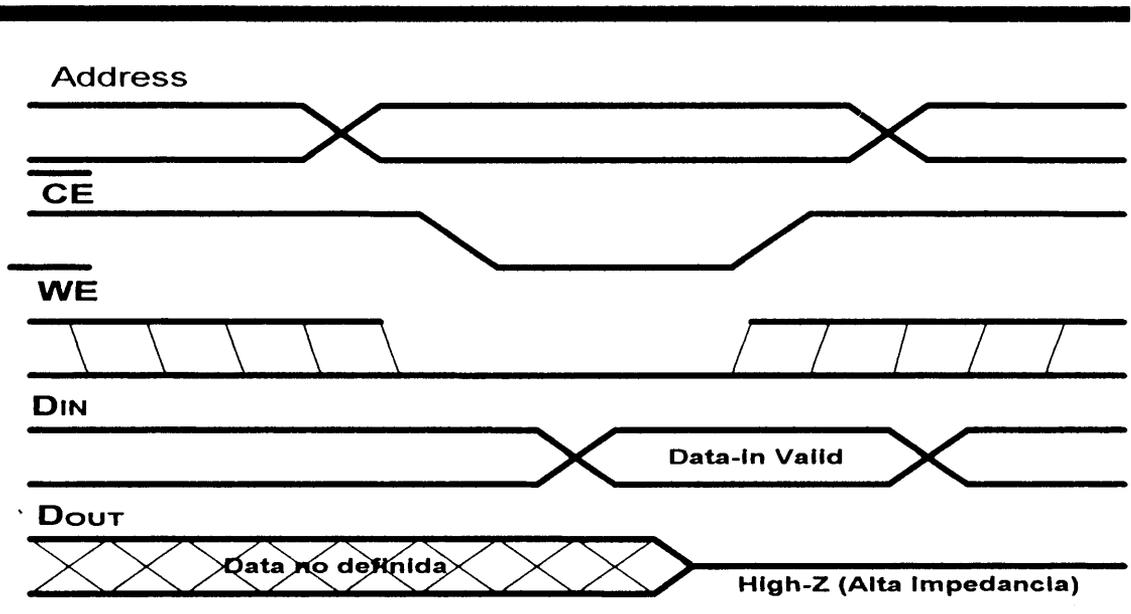


DIAGRAMA DE BLOQUES





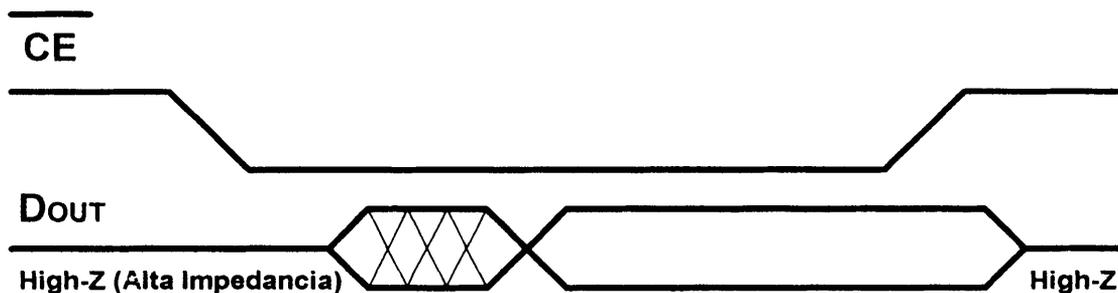
GUIA DE SELECCIÓN

NUMERO	ACCESO DE TIEMPO MAXIMO	TOLERANCIA DE ALIMENTAC. NEGATIVA	NUMERO	ACCESO DE TIEMPO MAXIMO	TOLERANCIA DE ALIMENTAC. NEGATIVA
Bq4011MA-100	100	-5%	Bq4011YMA-70	70	-10%
Bq4011MA-150	150	-5%	Bq4011YMA-100	100	-10%
Bq4011MA-200	200	-5%	Bq4011YMA-150	150	-10%
			Bq4011YMA-200	200	-10%

TABLA DE VERDAD

Modo	-CE	-WE	-OE	Op. I/O	Aliment.
No seleccionado	H	X	X	Alta Impedancia	Standby
Salida deshabilitada	L	H	H	Alta Impedancia	Activa
Lectura	L	H	L	D out	Activa
Escritura	L	L	X	Din	Activa

CICLO DE LECTURA (Acceso con CE)



WE se mantiene alto para un ciclo de escritura.

Las direcciones serán válidas antes o durante la transición de CE a bajo.

OE=V_{IL}.

CICLO DE ESCRITURA (Controlado por CE)

CE o WE deben estar en alto durante la transición de las direcciones.

ANEXO 2

FOTOGRAFÍAS DEL SISTEMA Y SEÑALES EN LA TARJETA

REEMPLAZO DE MEMORIAS A NUCLEO

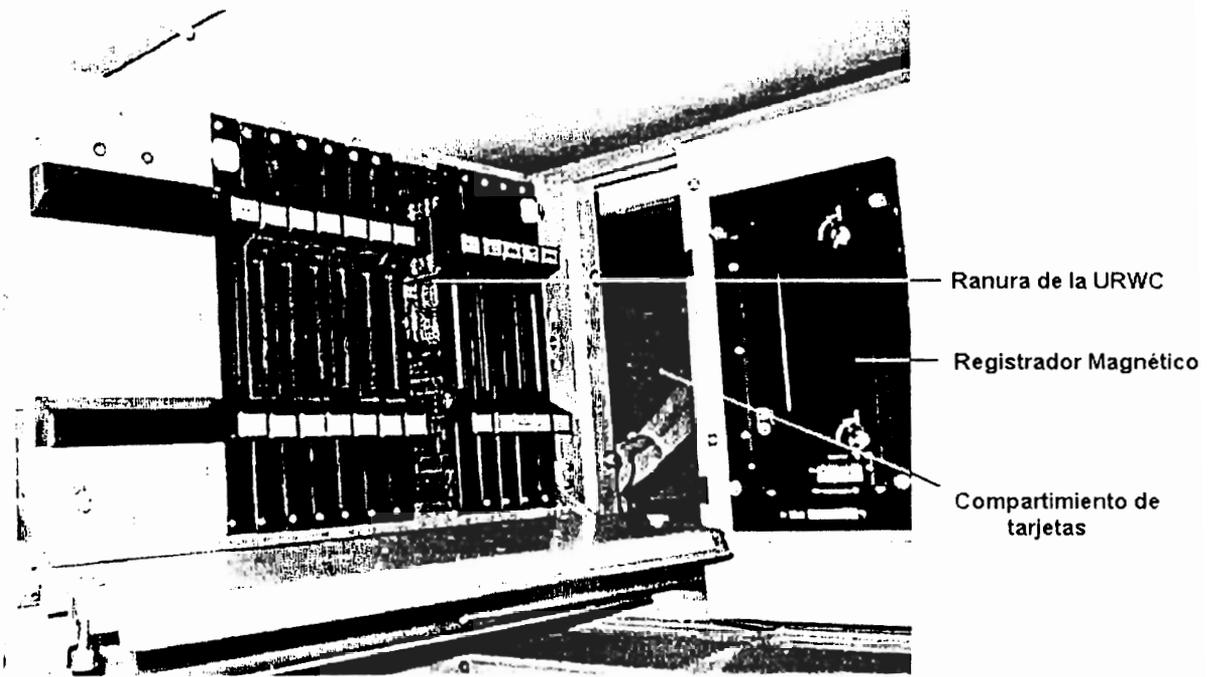


FIGURA 4.3 DISPOSICIÓN DE LAS TARJETAS EN EL SISTEMA
NA 21

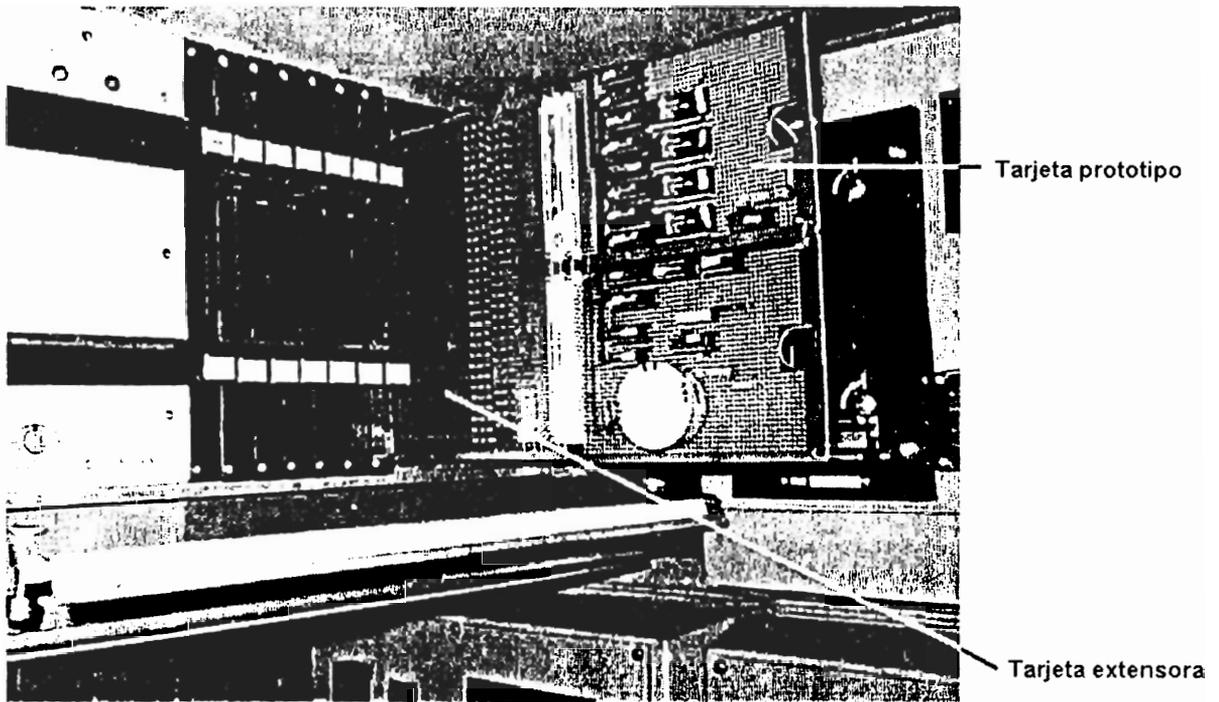


FIGURA 4.4 TARJETA PROTOTIPO MEMORIA A NÚCLEOS EN EL SISTEMA NA 21

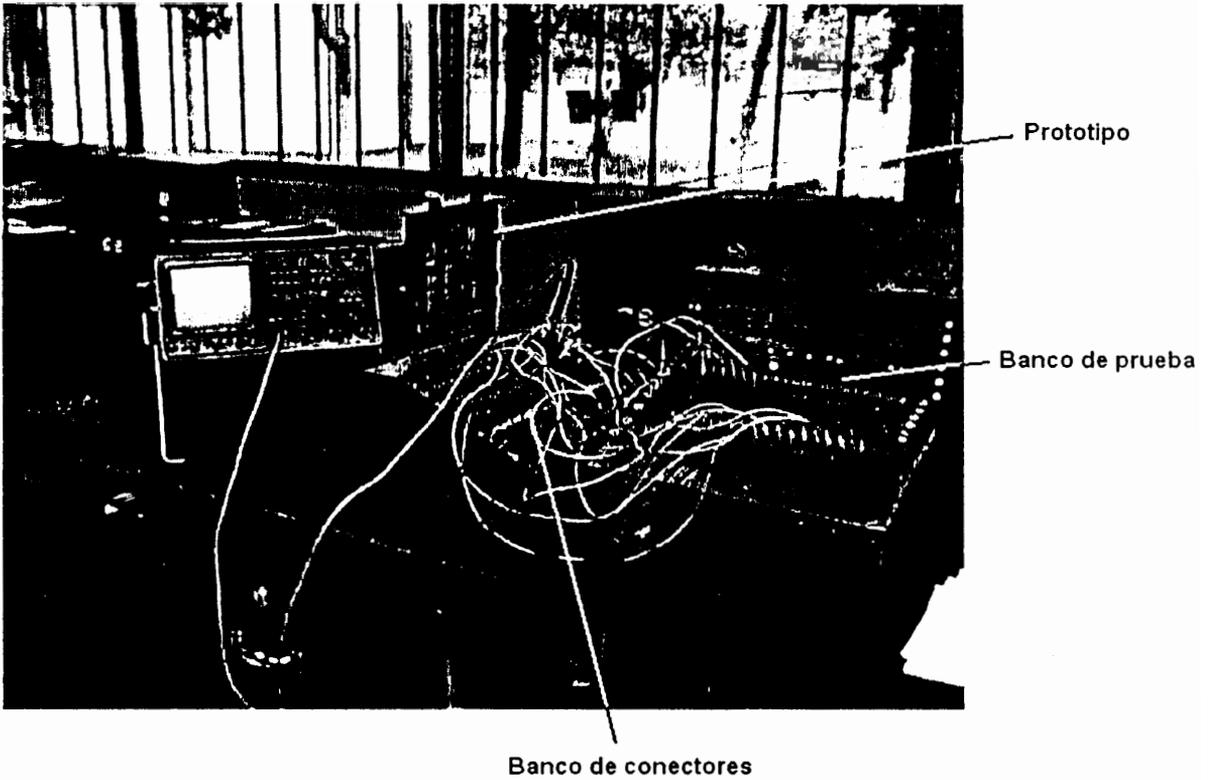


FIGURA 4.5 BANCO DE PRUEBAS -TARJETA MEMORIAS A NÚCLEO-

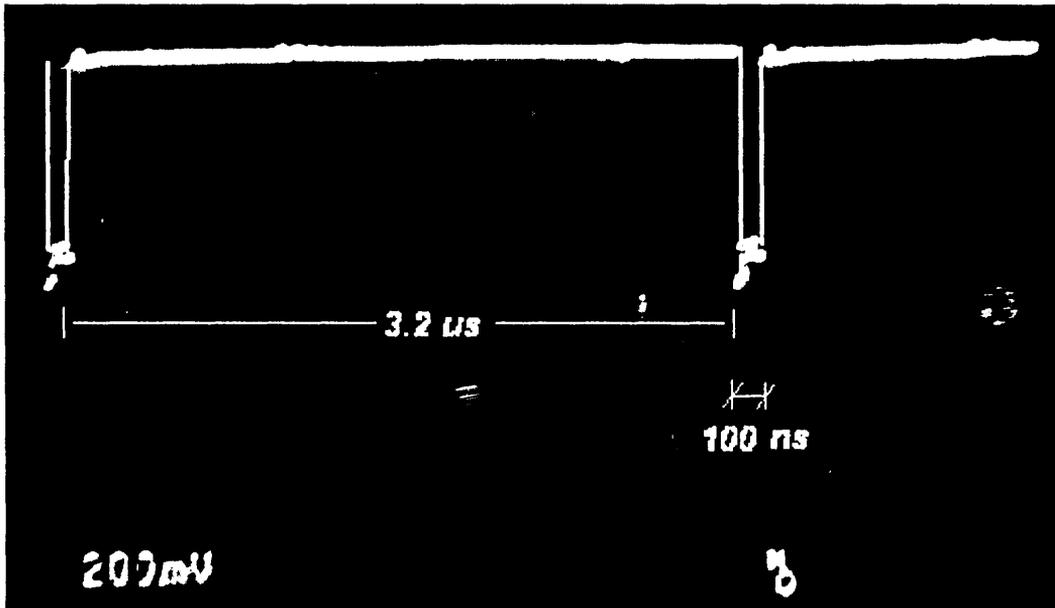


FIGURA 4.6 COMPORTAMIENTO DE LA SEÑAL SAC EN FUNCION DEL TIEMPO

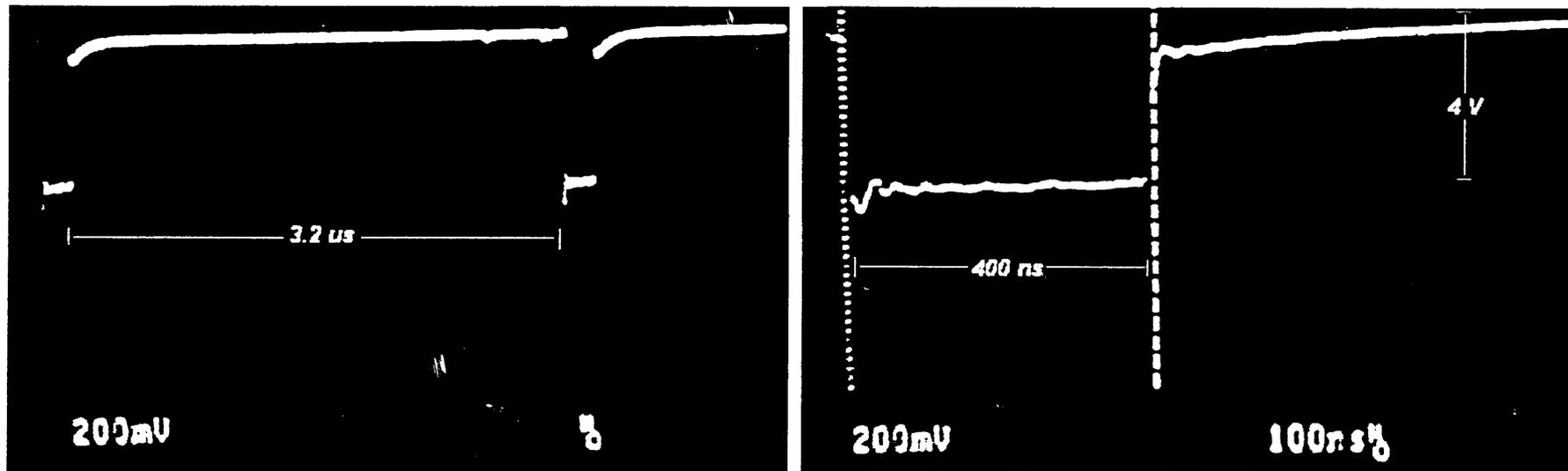


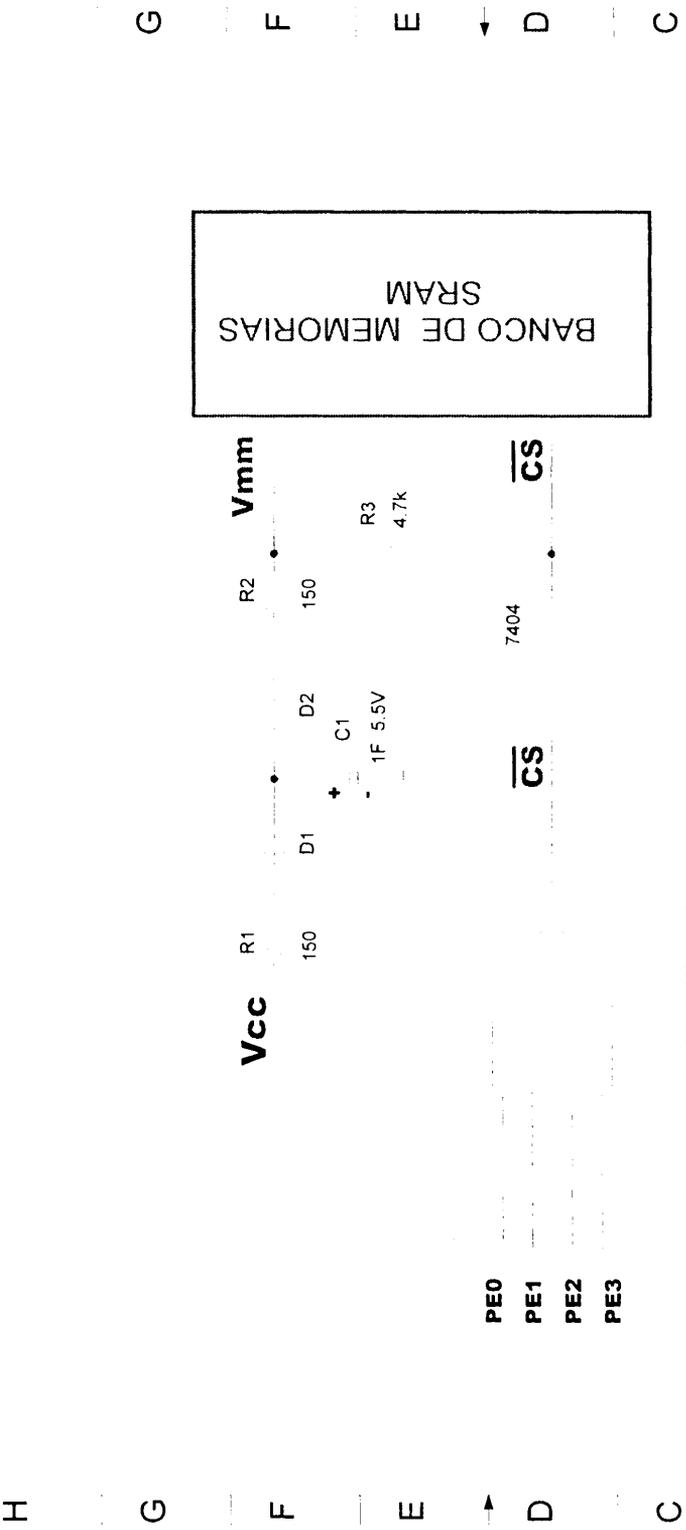
FIGURA 4.7 COMPORTAMIENTO DE LA SEÑAL SIC EXT. EN FUNCION DEL TIEMPO

ANEXO 3

ESQUEMATICOS, DIAGRAMAS TOPOLOGICO Y DE CIRCUITO

IMPRESO DE LA TARJETA REEMPLAZO MEMORIAS A

NUCLEOS

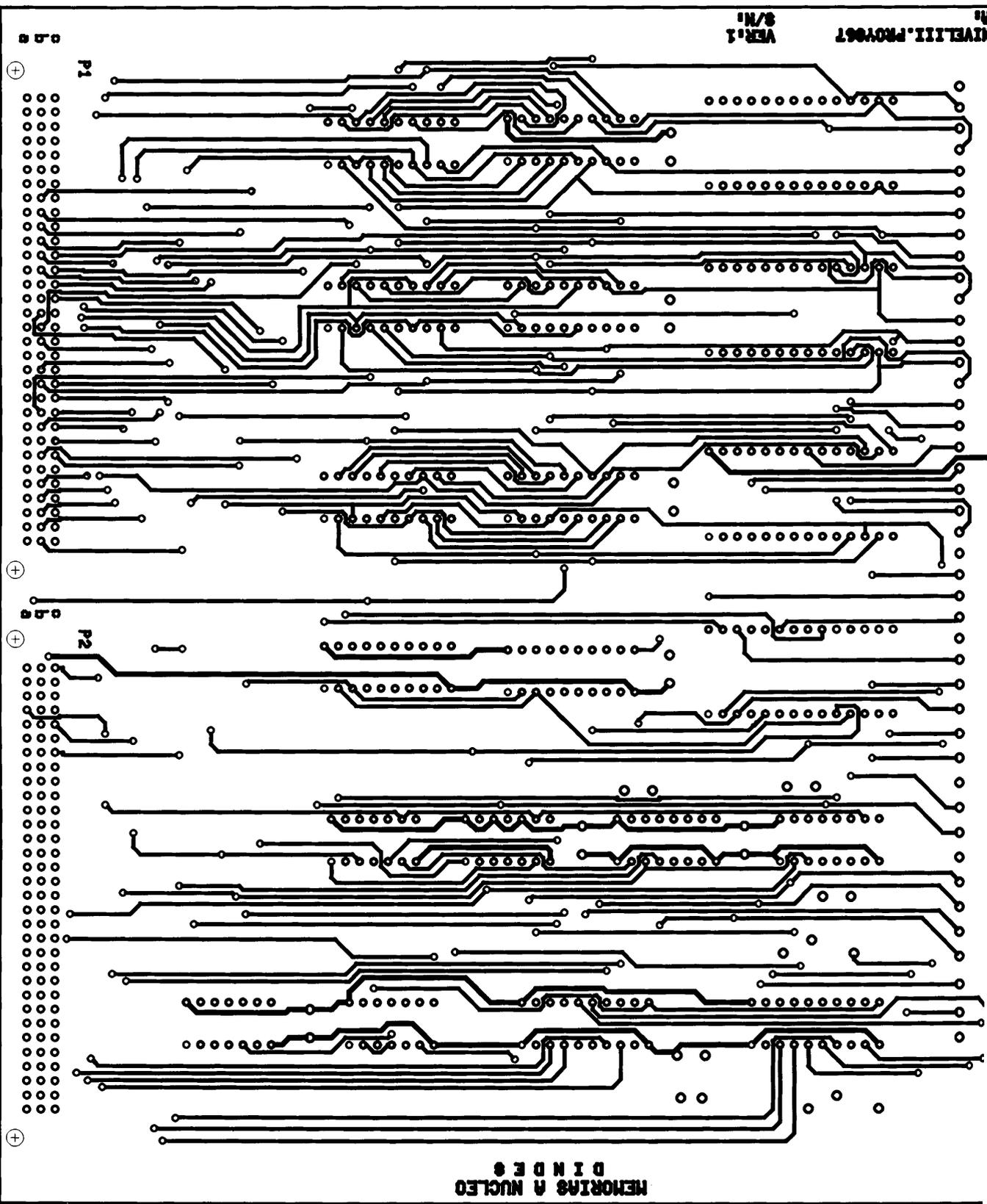


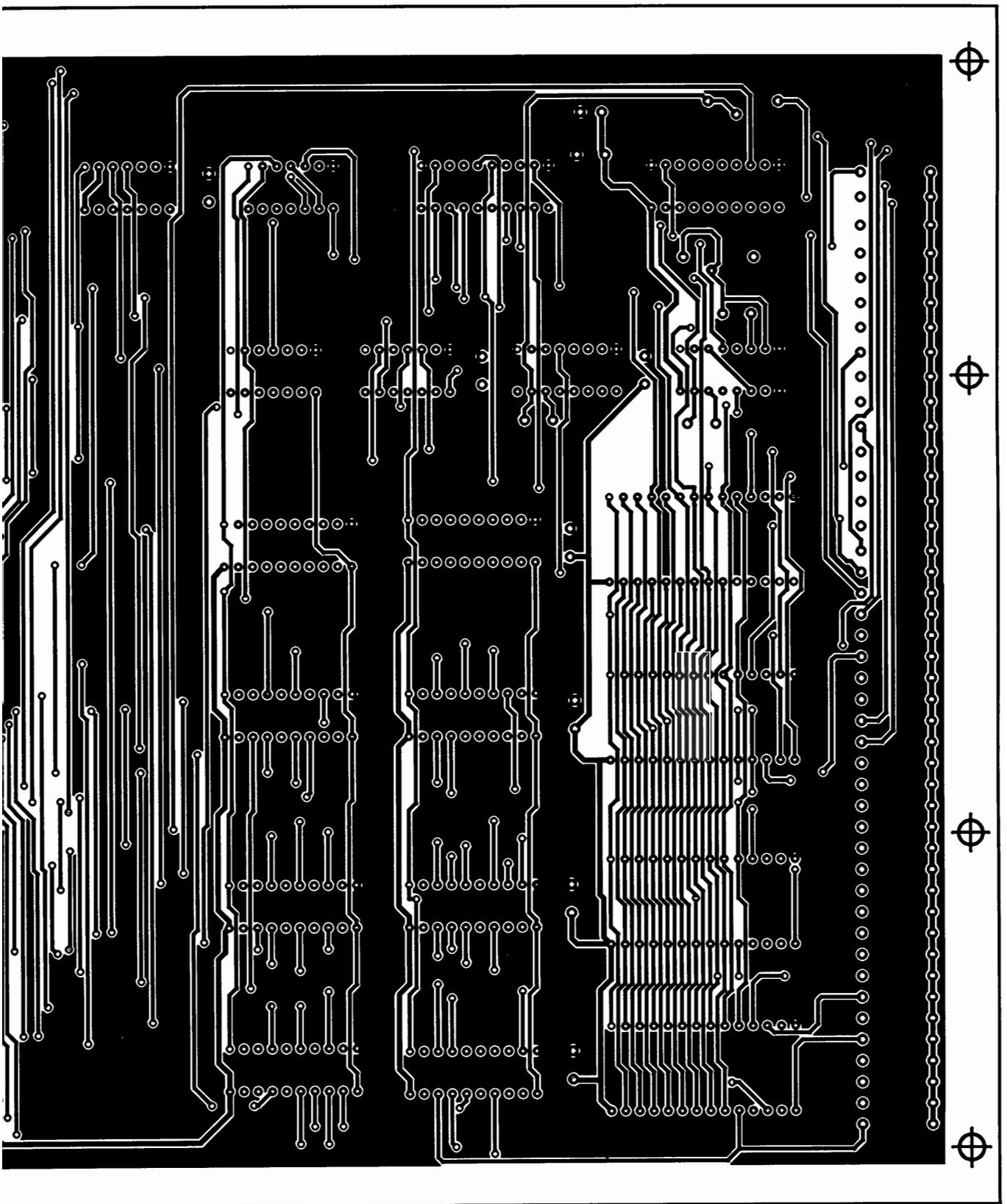
Señales de Control de Habilitación de las Memorias



P1

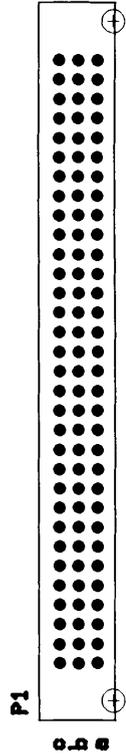
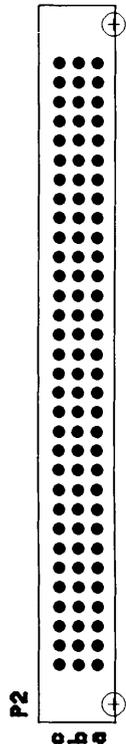
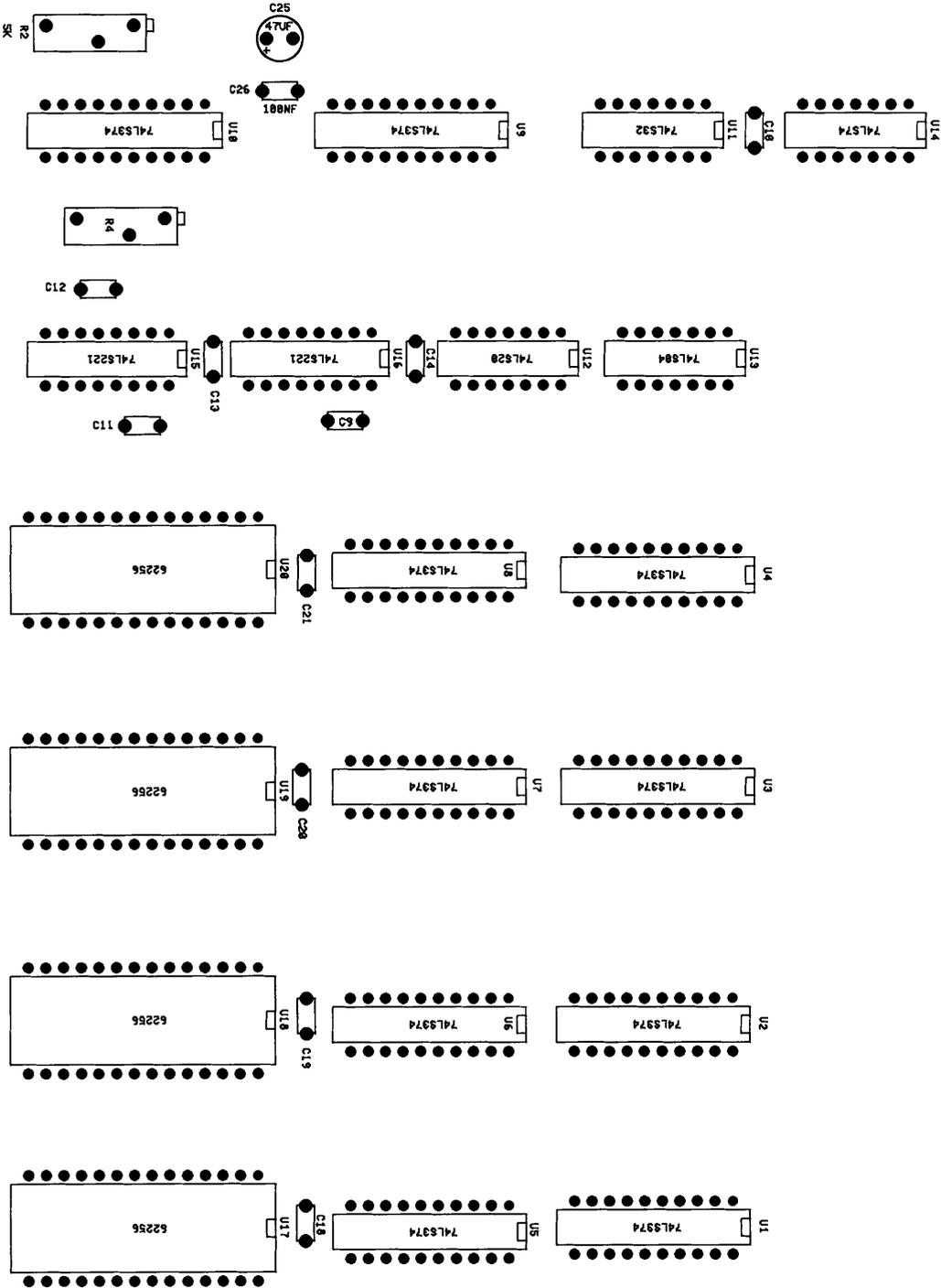
P2





MEMORIAS A NUCLEO D I N D E S

- 8
- 7
- 6
- 5
- 4
- 3
- 2
- 1
- 9
- 10
- 11
- 12
- 13
- 14
- 15
- 16
- 17
- 18
- 19
- 20
- 21
- 22
- 23
- 24
- 25
- 26
- 27



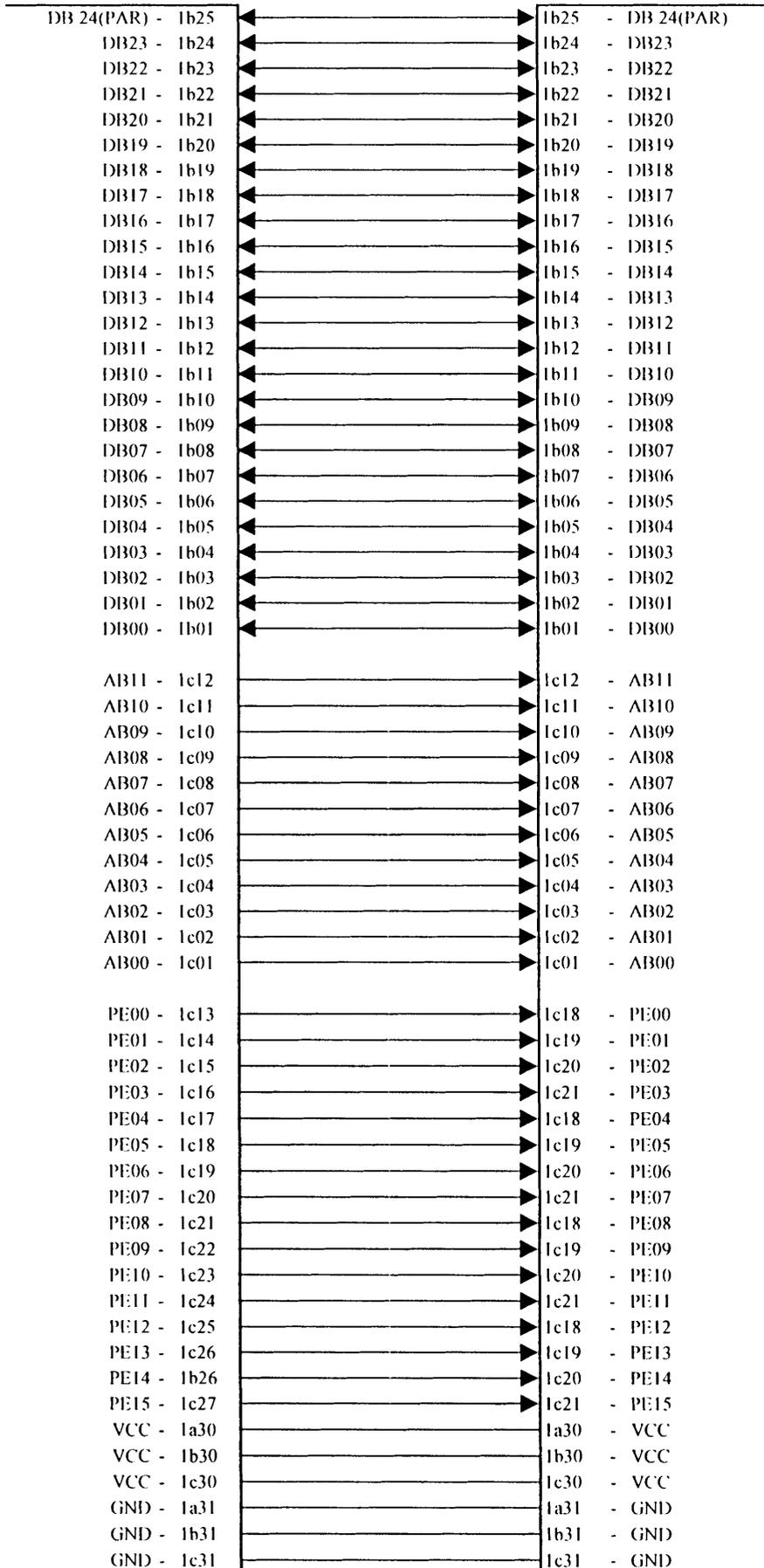
NIVEL III. PROY 667 VER: 1
 S/N:

ANEXO 4

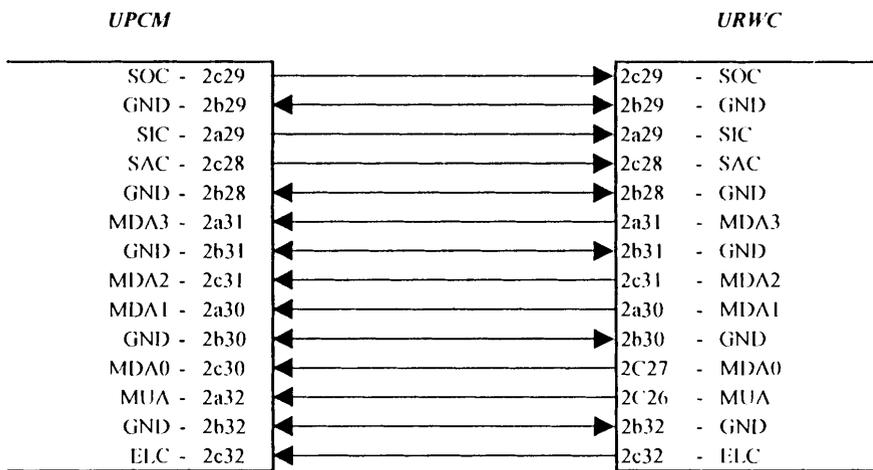
**DISTRIBUCION DE SEÑALES EN LOS CONECTORES DE LA
TARJETA REEMPLAZO MEMORIAS A NUCLEO**

UPCM

URWC



P2



Sistema de Interconexión Bus BLE

ANEXO 5

CODIGOS DE GRABADOS

CODIGOS DE GRABACION MAS COMUNES

La grabación de medios magnéticos, utilizando códigos RZ (Return to Zero - Retorno a Cero), consiste en grabar dominios de magnetización inversa, mediante impulsos de corriente en sentidos contrarios. De este modo se obtienen dos impulsos por cada bit grabado o detectado: un impulso negativo seguido de uno positivo si se detecta un cero, o un impulso positivo seguido de uno negativo si se detecta un uno. El tamaño de los dominios viene determinado por el ancho de los impulsos y por la velocidad con la que se desplace el medio de grabación.

Las ventajas de este código: tiene grabado el reloj de lectura y permite diferenciar entre el "1" y el "0". Su inconveniente es que se desperdicia mucho espacio, pues las zonas desmagnetizadas que existen entre cada dos dominios no guardan información, con lo que la densidad de almacenamiento que es posible alcanzar, es muy baja.

Código NRZ

El código NRZ (Non Return to Zero) es similar al RZ pero se han eliminado las zonas desmagnetizadas. Sólo se obtienen impulsos para los cambios de "1" a "0" y de "0" a "1".

Este código necesita sincronización externa. La pérdida de sincronización no se detecta y produce información errónea. En el caso de producirse un error, quedan afectados todos los bits posteriores. Su ventaja es que permite una gran densidad de grabación.

Código NRZI

En el código NRZI (Non Return to Zero Inverted), variante del código NRZ, se representan únicamente los "1" por cambio en la polaridad del medio magnético, que se traduce en un impulso durante la operación de lectura. La inexistencia de señal se interpreta como un "0".

Este código necesita sincronización externa y como sucede con el código NRZ, no se detecta la pérdida de sincronización pero en este caso el error ya no se propaga. Si se utiliza un bit de paridad, se asegura que siempre exista un "1", con lo que ya queda garantizada la generación del reloj.

La ventaja de este código es que permite una gran densidad de grabación. Es muy utilizado en la grabación de las cintas magnéticas, en donde el reloj y la sincronización se graban en una pista auxiliar, que sirve además de bit de paridad para la corrección de errores.

Código FM

Este código es una modificación del código NRZ, donde se ha introducido un impulso auxiliar de reloj por bit, pero que ha de sincronizarse. Su ventaja es que permite utilizar una sola pista, pero la falta de un impulso de reloj conlleva la pérdida de sincronismo.

En el código FM (Frequency Modulation) la falta de señal continúa interpretándose como un "0".

Con este código sólo es necesario utilizar una sola pista, pero su densidad de grabación es la mitad que en el código NRZ debido al espacio que ocupan los impulsos de reloj. Este código es muy utilizado en los disquetes de simple densidad y en muchas unidades de disco.

Código PE

En el código PE (Phase Encoding) un "0" es representado por un impulso negativo, mientras un "1" se representa por un impulso positivo. Así, el reloj está autocontenido pues cada bit representa un impulso. Es necesario eliminar los impulsos auxiliares pero la sincronización es muy fácil.

Con este código, teóricamente, se obtendría una densidad de grabación mitad que con el código NRZI, pero su propiedad de reloj autocontenido permite que en la práctica se comprima más la información. Este código es muy utilizado en las cintas magnéticas de mayor densidad de grabación.

Código RB

El código RB (Return to Bias) es una evolución del código RZ con la variación de que las zonas desmagnetizadas se polarizan negativamente. Así, un "1" se representa como en el código RZ, mientras que la falta de señal se interpreta como un "0", del mismo modo que sucede en el código NRZI.

Este código requiere reloj externo, pero la sincronización es automática. La densidad de grabación que se alcanza con este código es la mitad de la que es posible obtener con el NRZI.

Código MFM

El código MFM (Modified Frequency Modulation) se deriva del código FM, en donde se han eliminado los impulsos de reloj innecesarios.

Código	Descripción	Reloj	Densidad de Grabación	Aplicación
RZ	Cada bit es codificado como un dominio magnético del sentido de polarización que corresponda al valor de cada bit, con retorno al nivel cero (zona desmagnetizada) por cada bit.	Autocontenido	Muy baja	Poco utilizado
NRZ	Cada bit es codificado como un dominio magnético del sentido de polarización que corresponda al valor de cada bit, pero sin retorno de cero.	Externo	Alta	Poco utilizado
NRZI	Solamente se codifican los bits igual a "1" por un cambio en el sentido de la polarización del dominio correspondiente a ese bit.	Externo	Alta	Cintas magnéticas
FM	Idéntico al NRZ, en donde se introduce un impulso auxiliar de reloj por bit.	Autocontenido	Mitad que con el NRZ	Discos y disquetes de densidad simple
PE	Cada bit, dependiendo de que éste sea un "1" o un "0", es codificado como un cambio, en uno u otro sentido, de la dirección de polarización del dominio que corresponda a ese bit.	Autocontenido	Teóricamente la mitad que con el NRZI	Cintas magnéticas de alta densidad
RB	Idéntico al RZ, en donde las zonas desmagnetizadas se polarizan negativamente.	Externo	Mitad que con el NRZI	Poco utilizado
MFM	Idéntico al FM, en donde se eliminan los impulsos de reloj innecesarios.	Autocontenido	Doble que con el FM	Disquetes de doble densidad

ANEXO 6

DIAGRAMAS ESQUEMATICOS DE LA UMTH-1

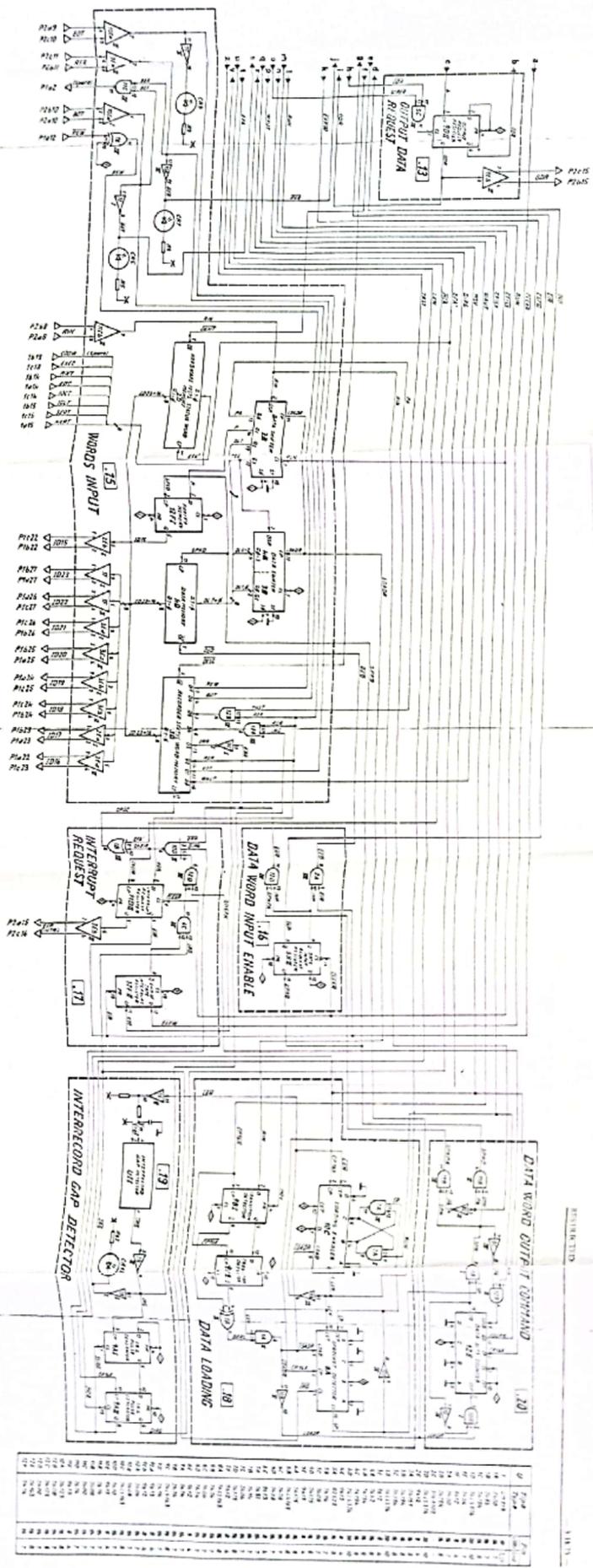


Fig. 3112 - UMTI-1 - Electrical Diagram (Sheet 2)

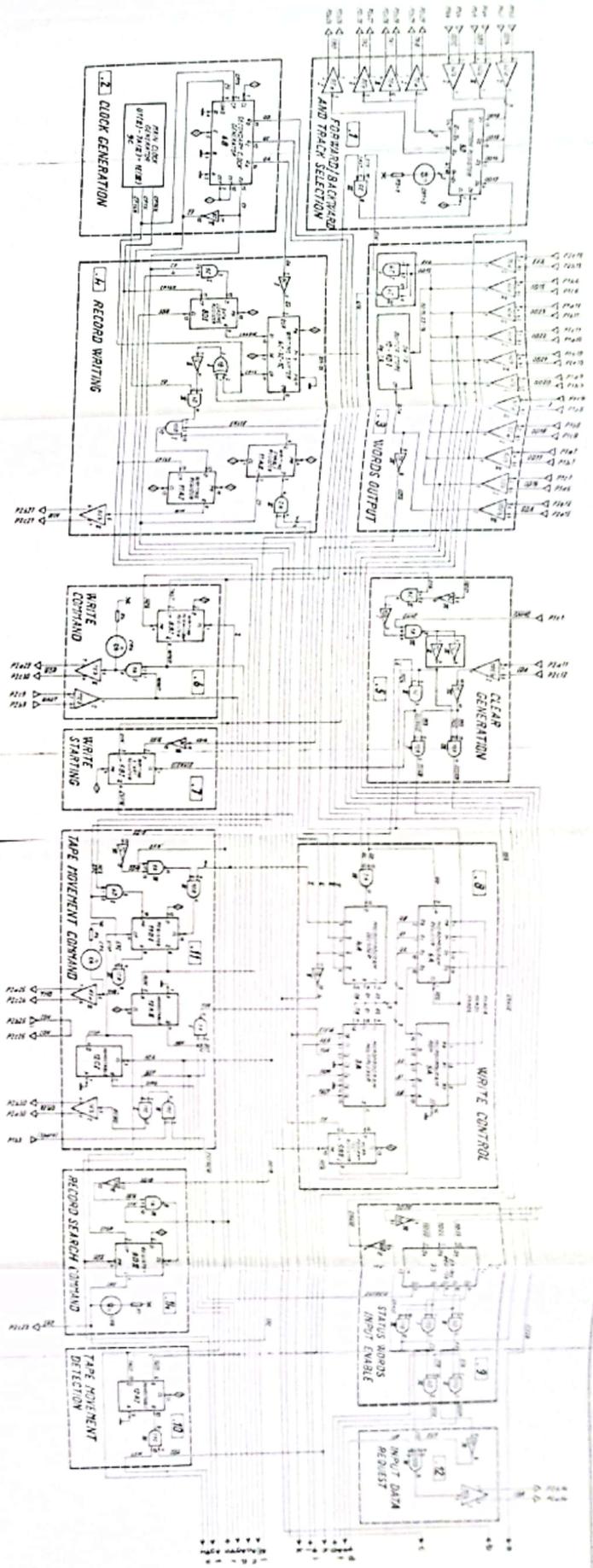


Fig. 3112 - UMTI-1 - Electrical Diagram (Sheet 1)



ANEXO 7

**ESPECIFICACIONES DE FUNCIONAMIENTO DE LA TARJETA
ADQUISICION DE DATOS PCL-818HG**

PCL-318HG

Tarjeta de Alta Ejecución con ganancia programable

Características

- 16 terminales simples u 8 entradas analógicas diferenciales, switch de selección.
- 12 bits A/D, hasta una velocidad de muestreo de 100 KHz con transferencia DMA y ganancia diferencial para cada canal.
- Selección de ganancia por programa:
X 0.5, 1, 5, 10, 50, 100, 500 o 1000
- Pila FIFO de 1K word encima de la tarjeta, con interrupción seleccionada por programa.
- Rangos de entrada analógica seleccionada por programa (Vdc):
Bipolar: ± 0.005 , ± 0.01 , ± 0.05 , ± 0.1 , ± 0.5 , ± 1 , ± 5 , ± 10
Unipolar: 0 hasta 0.01, 0 hasta 0.1, 0 hasta 1, 0 hasta 10
- 16 entradas digitales y 16 salidas digitales, compatible con TTL/DTL
- Un canal de salida analógica de 12 bits
- Opciones de disparo flexible: programa, pacer programable y pulso externo.
- Transferencia de datos por control de programa, rutina de manejo de interrupción o DMA.

Especificaciones

➤ Entrada Digital

- Canal: 16 bits
- Nivel: Compatible con TTL
- Voltaje de Entrada:
Bajo: 0.8 V max.
Alto: 2.0 V min.
- Carga de Entrada:
Bajo: 0.4 mA max. a 0.5 V
Alto: 0.05 mA max. a 2.7 V

➤ Salida Digital

- Canal: 16 bits
- Nivel: Compatible con TTL
- Voltaje de Salida:
Bajo: 8 mA a 0.5 V max.
Alto: fuente -0.4 mA a 2.4 V min.
- Carga de Salida:
Bajo: 0.4 mA max. a 0.5 V
Alto: 0.05 mA max. a 2.7 V

General

Potencia Consumida:

- +5 V: 180 mA típico, 500 mA max.
- +12 V: 140 mA típico, 200 mA max.

Conexiones I/O: Dos conectores de 20 pines (CN1, CN2)
Un conector DB-37 (CN3)

Base I/O: Requiere 16 o 32 localizaciones de dirección consecutiva. El switch DIP define la dirección base usando las líneas de direcciones A9 - A4.
(El factor es 300 en Hexadecimal)

Temperatura de Operación: 0 hasta +50°C

Temperatura de Almacenamiento: -20 hasta +65°C

Asignación de los pines en el Conector

La PCL-818HG tiene dos conectores de 20 pines (CN1 y CN2) y un conector DB-37 (CN3), accesible desde la tarjeta.

Pines asignados para cada conector aparecen en la siguiente sección

Abreviaturas

Nombre	Función
A/D S	Entrada Analógica (Terminal Simple)
A/D H	Entrada Analógica Alta (Diferencial)
A/D L	Entrada Analógica Baja (Diferencial)
A.GND	Tierra analógica
D/A	Salida Analógica
D/O	Salida Digital
D/I	Entrada Digital
D.GND	Tierra de la fuente de poder digital
CLK	Entrada de reloj para los 8254
GATE	Puerta de entrada para los 8254
OUT	Señal de salida para los 8254

VREF	Voltaje referencial
REFIN	Entrada de referencia de voltaje externo
NC	Sin conexión

Conector CN1 - Salida Digital

D/O 0	1	2	D/O 1
D/O 2	3	4	D/O 3
D/O 4	5	6	D/O 5
D/O 6	7	8	D/O 7
D/O 8	9	10	D/O 9
D/O 10	11	12	D/O 11
D/O 12	13	14	D/O 13
D/O 14	15	16	D/O 15
D:GND	17	18	D.GND
+5V	19	20	+ 12V

Conector CN2 - Entrada Digital

D/I 0	1	2	D/I 1
D/I 2	3	4	D/I 3
D/I 4	5	6	D/I 5
D/I 6	7	8	D/I 7
D/I 8	9	10	D/I 9
D/I 10	11	12	D/I 11
D/I 12	13	14	D/I 13
D/I 14	15	16	D/I 15
D:GND	17	18	D.GND
+5V	19	20	+ 12V

Mapa de Direcciones de los Puertos I/O

La siguiente tabla presenta las funciones de cada registro o manejador y su dirección relativa hacia la dirección base de la tarjeta.

Asignación de direcciones de los Puertos I/O:

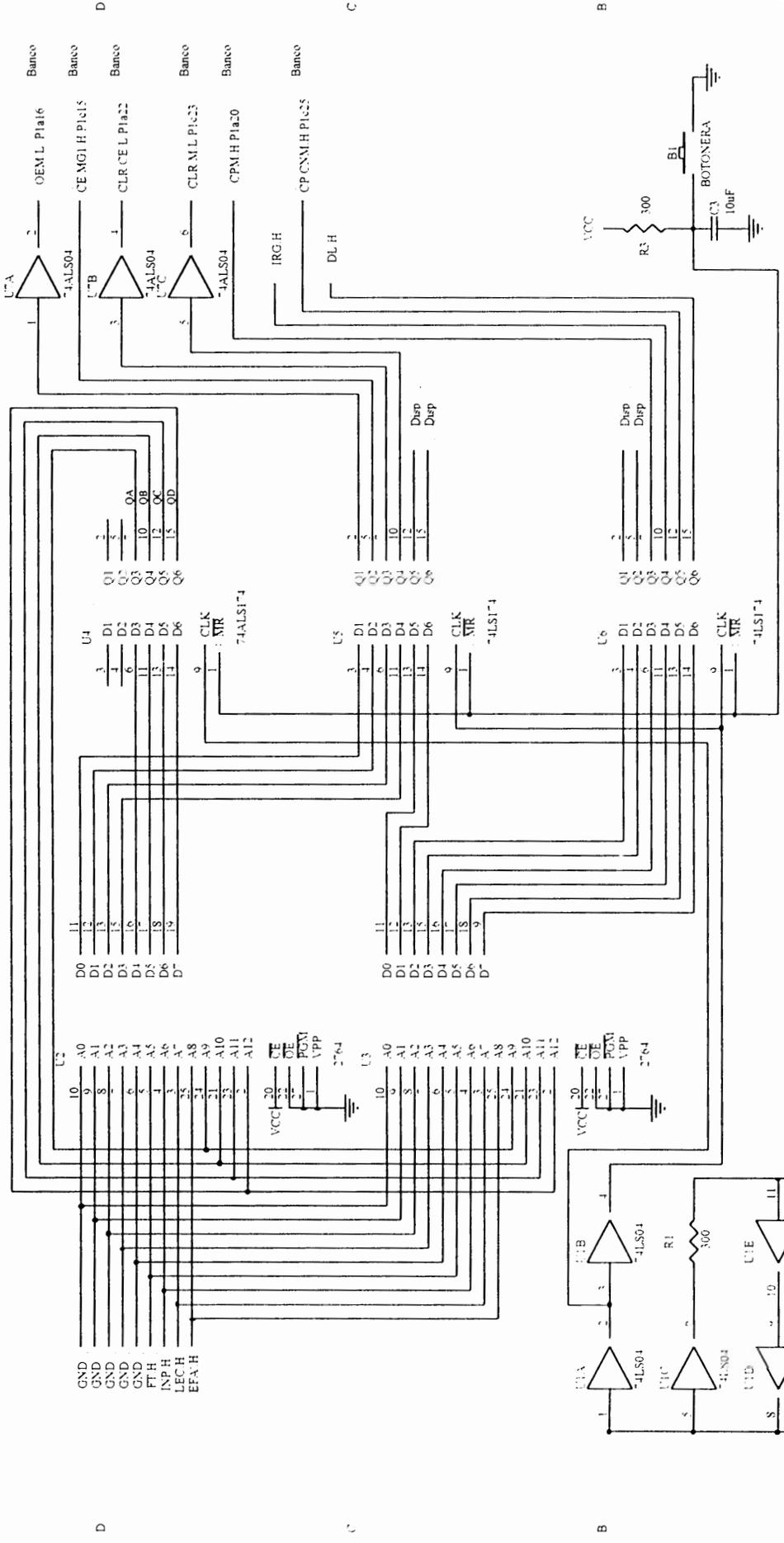
Dirección	Leer	Escribir
BASE+0	Byte bajo A/D y canal	Programa disparador A/D
BASE+1	Byte alto A/D	Control de rango
BASE+2	Canal multiplexado scaneado	Canal multiplexado scaneado y puntero de control de rango
BASE+3	Byte bajo D/I (DI 0-7)	Byte bajo D/O (DO 0-7)
BASE+4	N/A	Byte bajo D/A 0
BASE+5	N/A	Byte alto D/A 0
BASE+6	N/A	Habilitación de Interrupción FIFO
BASE+7	N/A	N/A
BASE+8	Status	Petición de Interrupción de borrado
BASE+9	Control	Control
BASE+10	N/A	Habilitación del Contador
BASE+11	Byte alto D/I (DI 8-15)	Byte alto D/O (DO 8-15)
BASE+12	Contador 0	Contador 0
BASE+13	Contador 1	Contador 1
BASE+14	Contador 2	Contador 2
BASE+15	N/A	Control del Contador
BASE+20	N/A	Petición de interrupción de borrado a FIFO
BASE+23	Byte bajo A/D y canal desde FIFO	N/A

BASE+24 Byte alto A/D desde FIFO N/A

BASE+25 FIFO status Borra FIFO

ANEXO 8

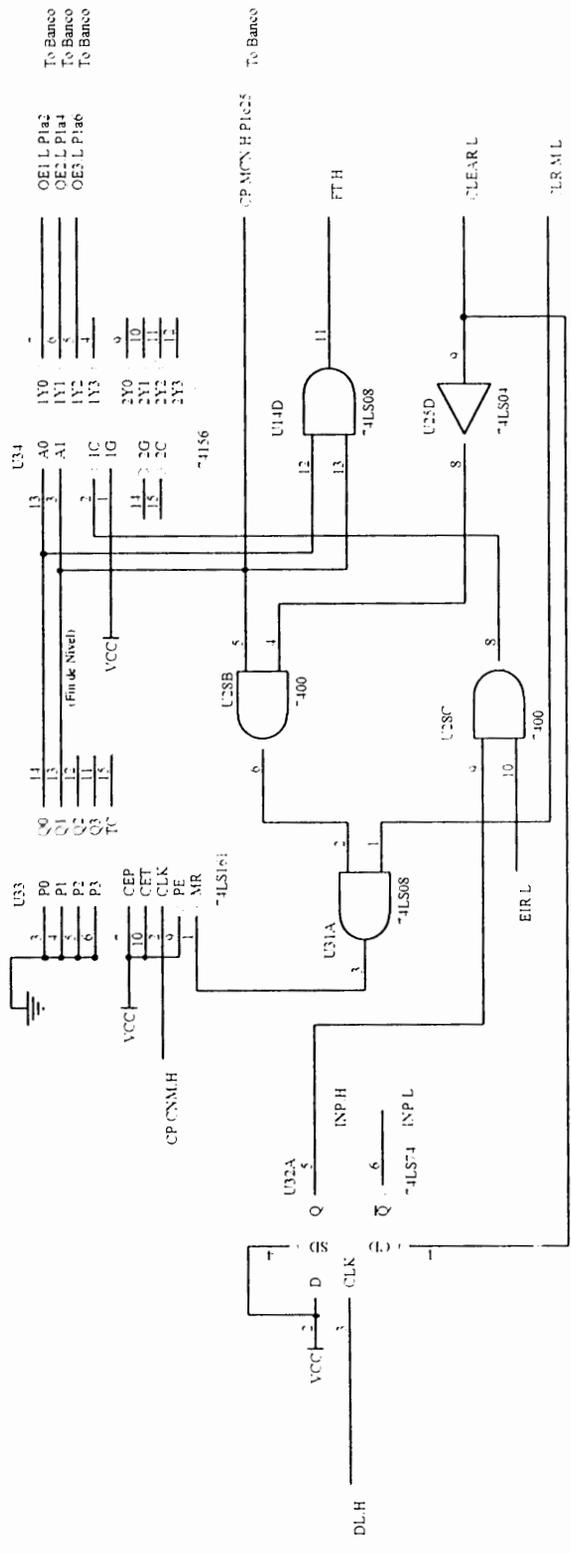
ESQUEMATICOS DE LA NUEVA UMTH-1



Title: CONTROLADOR
 Size: A1
 Date: 5-Feb-2003
 File: A:\CONTROLADOR.DWG
 Number: Revision

Sheet of
 Drawn By: Martha Castro

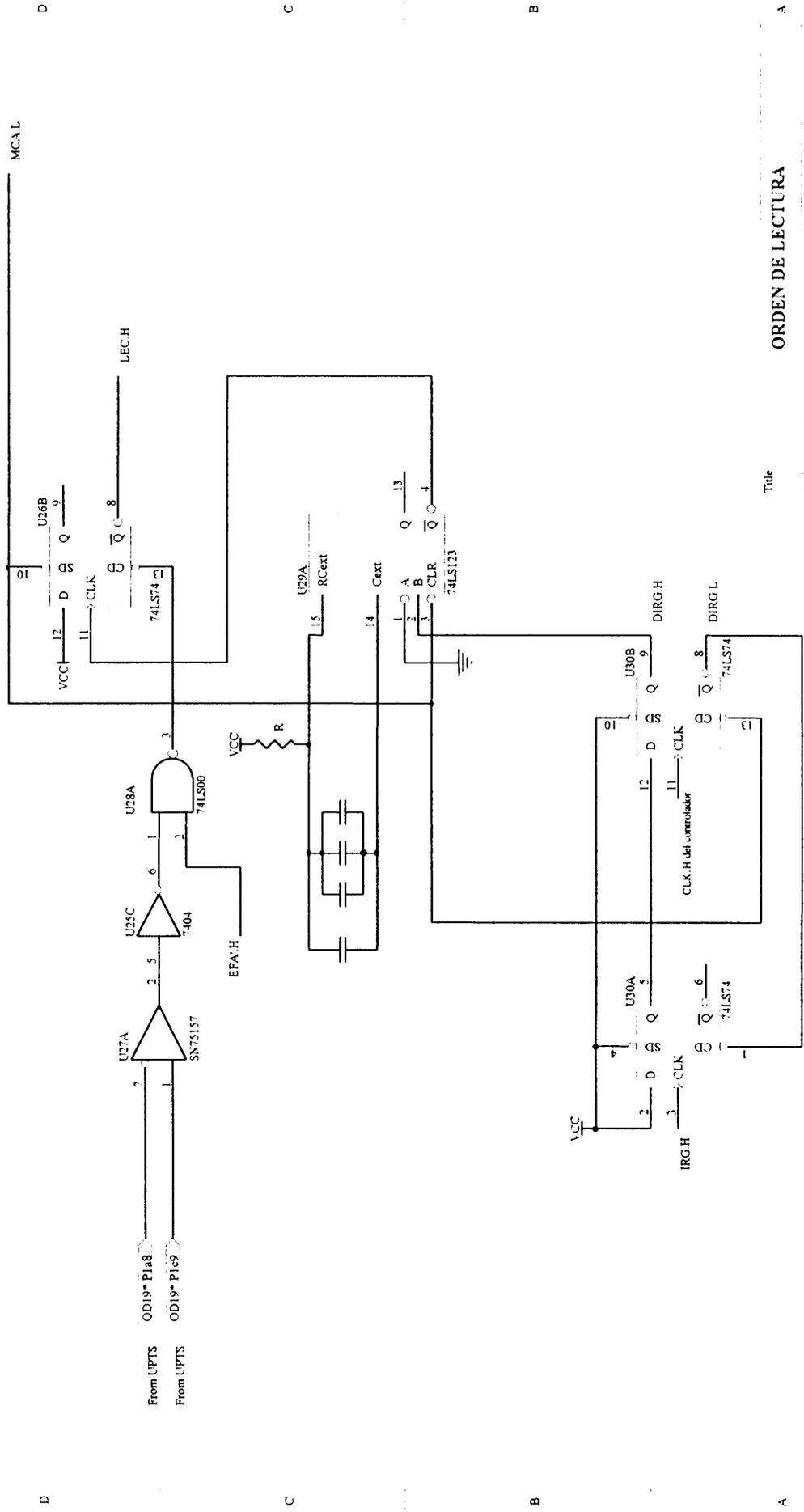
D



CONTROL DE DATO Y TRAMA

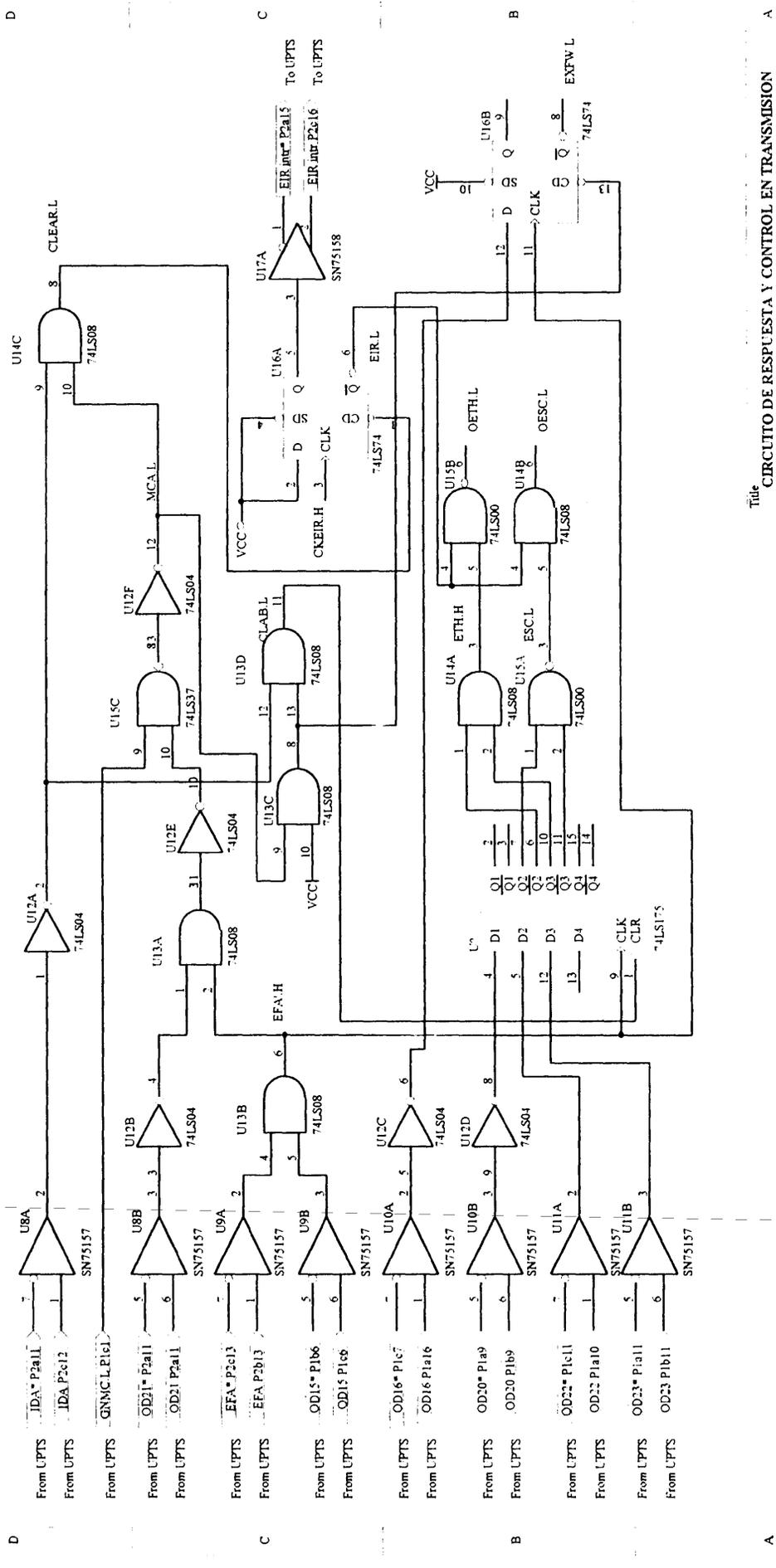
Title	Size	Number	Revision
A.1	A.1	5-Feb-2003	Sheet of
A.DATOTRANS.FE			Drawn By: Martha I. Curcio

B



Title: **ORDEN DE LECTURA**
 Size: A4
 Number: A
 Revision: A

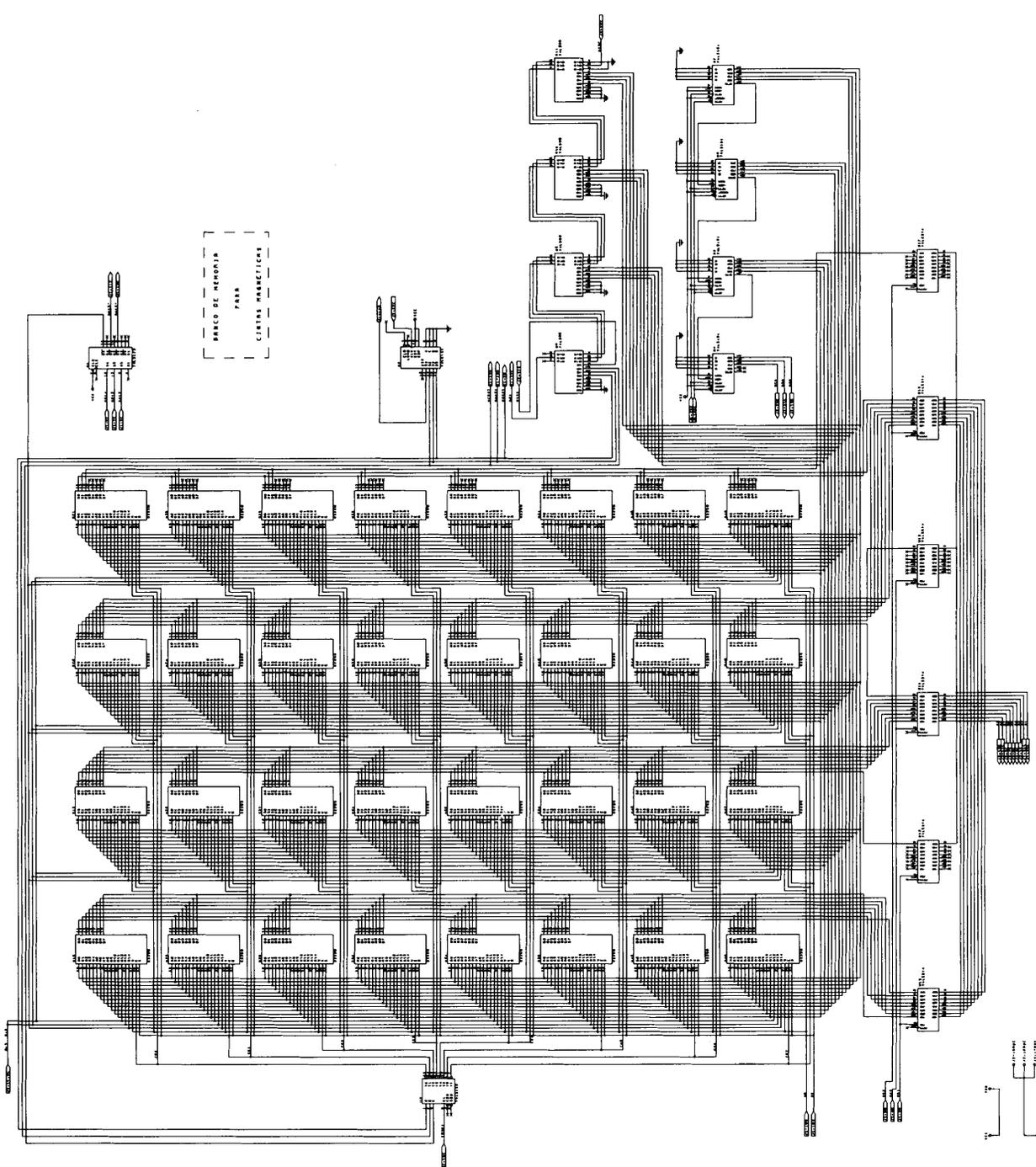
Date: 5-Feb-2001
 File: A_ORDENLECSCH
 Sheet of: 4
 Drawn By: Martha I. Castro O



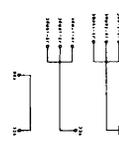
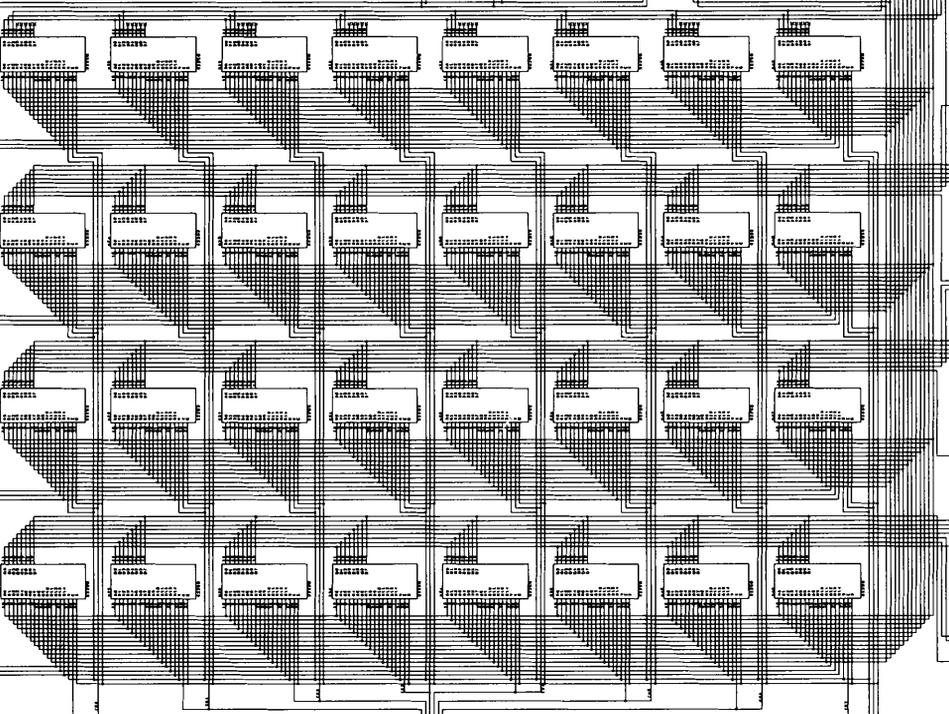
Title: **CIRCUITO DE RESPUESTA Y CONTROL EN TRANSMISION**

Size: A4
 Number: A.4
 Revision: 4

Date: 5-Feb-2001
 Sheet of: 4
 Ene: A:RESPYC-1 SCH
 Drawn By: Martha I. Castro O.



BARRIO DE MEMORIA
PARA
CINTAS MAGNETICAS



BIBLIOGRAFIA

R. Boylestad.- Electrónica Teoría de Circuitos.- (Quinta Edición, México, Prentice Hall, 1989)

R. Tocci.-Sistemas Digitales: Principios y Aplicaciones.- (Sexta Edición, Prentice Hall, 1991

W. Stallings.- Comunicaciones y Redes de Computadoras.- (Quinta Edición, Prentice Hall, 1989), pp 145-160.

Manual de Operación.- 1992 (Reservado).

Manual de Mantenimiento.- 1992 (Reservado).

<http://www.benchmark.com>

<http://www.pue.udlap.mx/electro/soft.htm>