



SISTEMAS DIGITALES I

TERCERA EVALUACIÓN

II TÉRMINO 2011-2012

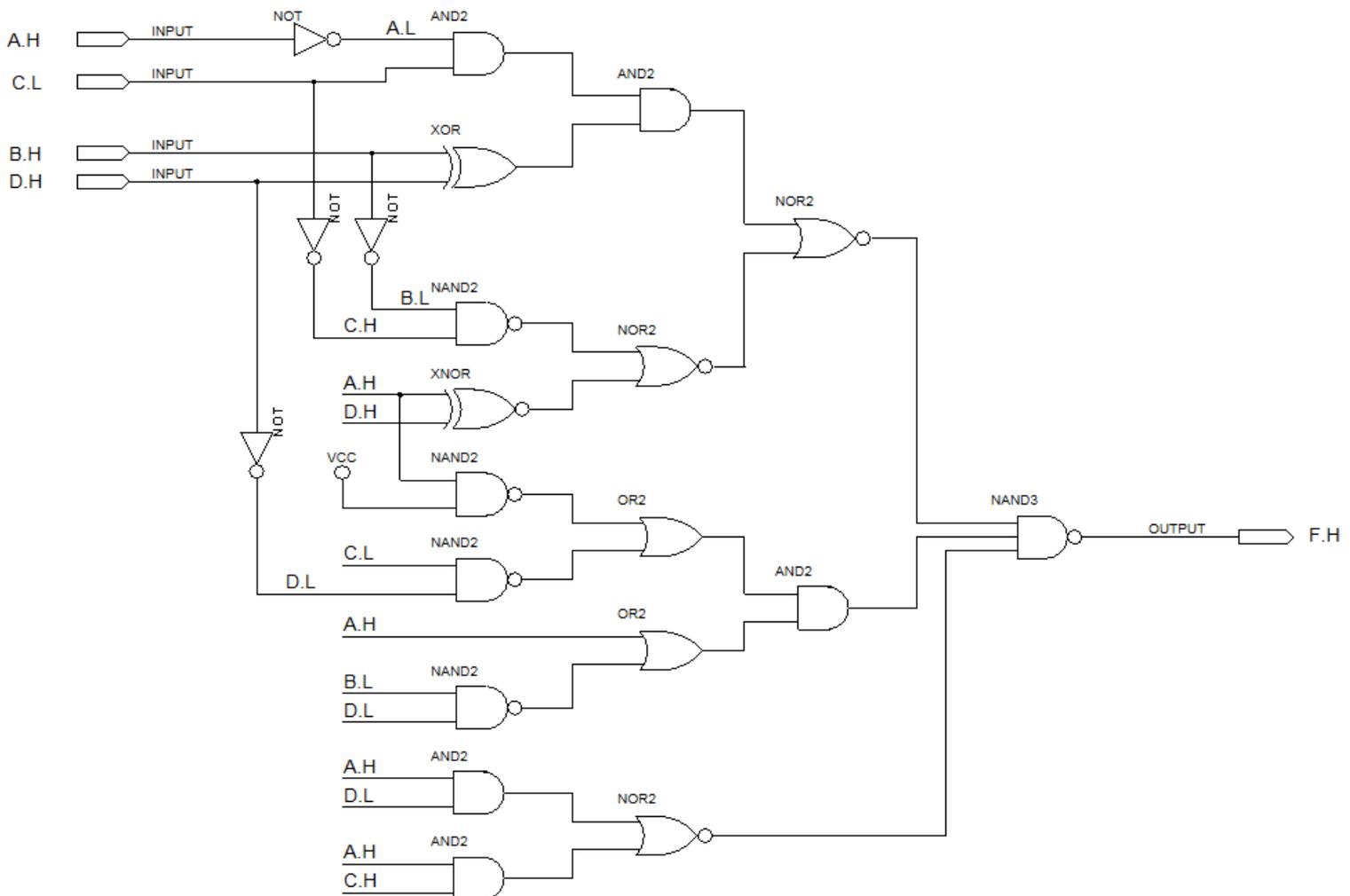
15 de Febrero del 2012

NOMBRE : _____

PARALELO : ____

PROBLEMA # 1 (33 p)

Para el siguiente circuito digital:



- Encuentre la función lógica equivalente de F sin minimizar. (15p)
- Usando mapas de Karnaugh encuentre la función F minimizada.(9p)
- Escriba un programa en VHDL usando descripción RTL para implementar la función F minimizada. (9p)

PROBLEMA # 2 (33 p)

Diseñe un circuito digital que le permita a un estudiante de la ESPOL determinar si aprobó o no un curso y además calcule cual fue su promedio final.

El circuito recibe como entradas las señales: **Pri.H**, **Seg.H** y **Ter.H**, que en binario (7 bits) presentan sobre 100 las calificaciones que corresponden a la primera, segunda y tercera evaluación respectivamente.

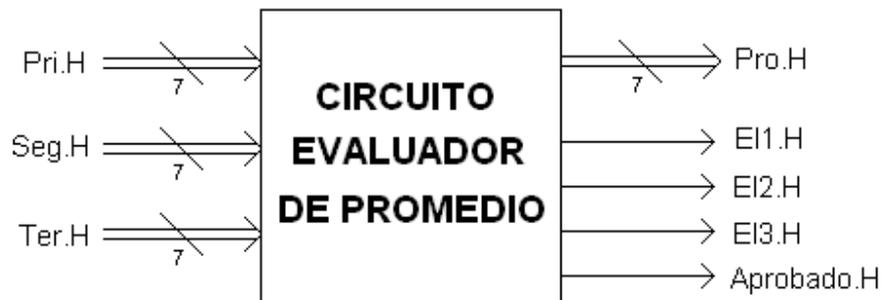
Mediante esta información el circuito debe determinar cual es el promedio final sobre 100 de la materia, considerando que de las tres calificaciones solo se consideran las dos mayores. Este promedio se presenta en la salida binaria **Pro.H** sin considerar decimales.

Si la nota promedio es mayor o igual a 60 se debe activar la salida **Aprobado.H** (Aprobado.H = H). Adicionalmente el circuito debe activar una de las salidas **EI1**, **EI2** o **EI3** indicando cual de las tres calificaciones fue eliminada (no considerada). Si la menor nota es la misma en dos evaluaciones, se puede dar por eliminada a cualquiera de ellas.

Para el diseño puede utilizar Sumadores, Comparadores, Multiplexores, Decodificadores y puertas adicionales.

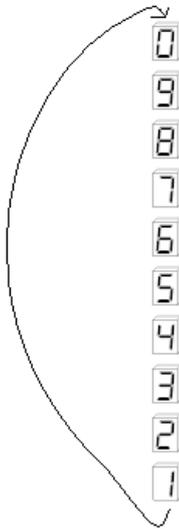
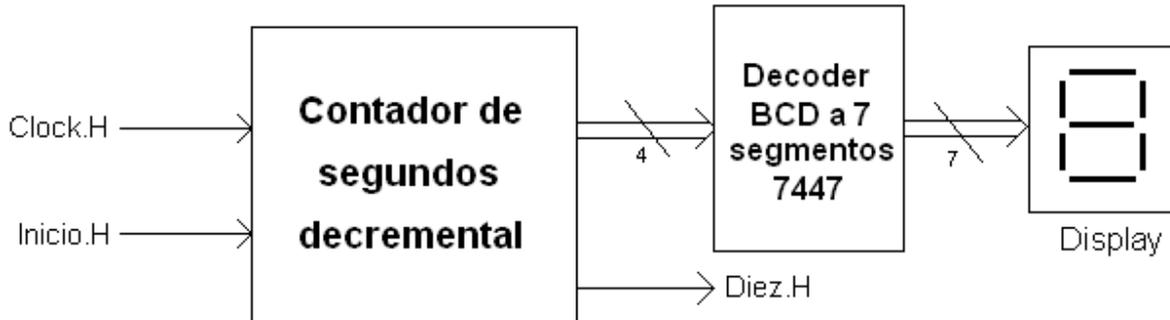
Presente:

- Diagrama de Bloques del diseño (7p).
- Diseño de cada bloque detallando cada cable de conexión **sin utilizar buses de datos**. (26p)



PROBLEMA # 3 (34 p)

Diseñe un circuito Digital **Contador de segundos decremental**.



El circuito recibe como entrada a la señal **Clock.H** que es una señal de reloj con frecuencia de 1Hz.

Adicionalmente recibe la señal **Inicio.H** que mientras es baja (L) muestra siempre "0" en el display.

Cuando **Inicio.H** pasa a ser alta (H), arranca en el display, el conteo regresivo de la forma mostrada y se mantiene de la misma manera mientras **Inicio** siga alta.

Adicionalmente cada vez que el contador pase por "1" se debe activar la salida **Diez.H** (Diez.H = H) que indica que han pasado 10 segundos.

Presente:

- Implementación del Circuito Contador usando registro Universal 74194 y circuitos SSI y/o MSI adicionales. (19 p)
- Descripción VHDL del Circuito Contador. (15 p)