



ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL CENTRO DE INVESTIGACIÓN CIENTÍFICA Y TECNOLÓGICA



OSCILOSCOPIO BASADO EN NIOS II

Maritza Ruiz ⁽¹⁾, Genaro Valverde ⁽²⁾, Ronald Ponguillo ⁽³⁾ *
Facultad de Ingeniería Eléctrica y Computación
Escuela Superior Politécnica del Litoral (ESPOL)
Campus Gustavo Galindo, Km 30.5 vía Perimetral
Apartado 09-01-5863. Guayaquil-Ecuador
fruíz@espol.edu.ec ⁽¹⁾, gvalverde@espol.edu.ec ⁽²⁾
Ingeniero en Electricidad especialización Electrónica ⁽³⁾, rponguil@espol.edu.ec ⁽³⁾

Resumen

El presente proyecto consiste en la implementación de un Osciloscopio, mediante el uso del núcleo NIOS II de Altera que permite implementar un computador embebido en un FPGA. Una de las principales características del procesador NIOS II es que su lógica puede ser programada en lenguaje C/ C++ mediante el uso del software NIOS II IDE, esto permite que el diseño sea comprendido y mejorado con facilidad. Para el desarrollo del proyecto se utilizó la tarjeta DE 2 de Altera, que posee un FPGA CYCLONE II que es compatible con el sistema NIOS II.

Para la realización del Osciloscopio utilizamos 3 etapas: acoplamiento de la señal de entrada, conversión Analógica Digital (ADC por sus siglas en inglés) y procesamiento digital de la señal (DSP por sus siglas en inglés). En la primera etapa la señal es amplificada y acoplada para su posterior conversión digital en la segunda etapa. Finalmente esta la etapa DSP que es el corazón del sistema y cumple las siguientes funciones: interpretación de las directivas de control en la interface de usuario, control de las etapas de acoplamiento y ADC, procesamiento de la señal digital recibida por la etapa ADC, impresión final en formato VGA.

Palabras Claves: Osciloscopio, NIOS, FPGA, ADC, Altera

Abstract

This project involves the implementation of an oscilloscope, using the NIOS II Altera core which allows to implement a embedded computer in a FPGA. One of the main features of the NIOS II processor is that it's logic can be programmed using C/C++ with NIOS II IDE software, which allows to easily understand and improve the design. We used DE 2 Altera board for the development of our project, which has a CYCLONE II FPGA that is compatible with NIOS II.

To implement the oscilloscope we use 3 stages: coupling of the input signal, Analog Digital Conversion (ADC) and digital signal processing (DSP). In the first stage the signal is amplified and coupled for subsequent digital conversion of the second stage. Finally, the DSP stage is the core system which performs the following functions: interpretation of the control directives done by the user interface, control of the coupling and ADC stages, digital signal processing received by the ADC stage, final printing in VGA format.

Keywords: Oscilloscope, NIOS, FPGA, ADC, Altera

1. Introducción

En la actualidad los continuos avances en el campo investigativo a nivel electrónico, han permitido el desarrollo de FPGAs, implementados a partir de la interconexión de bloques de lógica programable. La gran ventaja que presentan estos sistemas es que permiten al usuario una mayor versatilidad en el

diseño, es decir que puede ser alterado simplemente cambiando la programación del hardware utilizando lenguaje HDL (Lenguaje de descripción de hardware), lo que con los circuitos electrónicos convencionales sería un proceso muy complicado, es por ello que han sido utilizados en una gran cantidad de soluciones tales como DSP (Procesamiento Digital de Señales),

sistemas aeroespaciales, bioinformática, sistemas de imágenes para medicina entre otras.

Esta gran flexibilidad es una de las claves del éxito de los FPGAs, los cuales están en constante evolución y en la actualidad presentan características lo suficientemente robustas para la implementación de sistemas en un Chip (SoC por sus siglas en Inglés) como procesadores y computadoras embebidas.

Teniendo en mente fomentar el desarrollo académico local en esta área, en nuestro proyecto se implementará un osciloscopio mediante el procesador embebido NIOS II de Altera. Es por ello que se ha decidido la utilización de la tarjeta de desarrollo DE2 de Altera, la cual posee un FPGA compatible con el sistema NIOS II.

2. El Osciloscopio

El Osciloscopio es el instrumento habitual para visualizar, medir, analizar y registrar, mediante un trazo no permanente, tensiones variables en el tiempo. A pesar de su extenso uso, el osciloscopio es relativamente desconocido, pues a menudo se considera que ofrece una visión “continua” de los valores instantáneos de la señal, cuando en realidad solo representa una superposición de fragmentos o una sucesión de valores instantáneos de la misma [1].

En términos de implementación los osciloscopios pueden dividirse en analógicos y digitales. Los osciloscopios analógicos son implementados mediante un tubo de rayos catódicos y con el tiempo han sido reemplazados casi en su totalidad por los osciloscopios digitales. De hecho, la única ventaja con su contraparte digital es su bajo costo ya que el procesamiento digital es mucho más eficiente y no acarrea la fragilidad que implica un tubo de rayos catódicos [2].

Por otro lado, el osciloscopio digital está conformado básicamente por un circuito de muestreo y conversión analógica digital, una memoria digital y una conversión digital analógica para su posterior impresión en pantalla. Entre las ventajas que tiene un procesamiento digital con su contraparte analógica tenemos [3]:

- Capacidad de guardar y sostener eventos en “un disparo”.

- Mejor captura y visualización de eventos transientes.

- Potencialidad de imprimir la forma de onda y otro tipo de datos.

- Una mejor visualización en pantalla de la señal y los parámetros de configuración del osciloscopio.

- Capacidad de funcionar como un voltímetro digital y medidor de frecuencia.

3. FPGA y el procesador NIOS II de Altera

Un FPGA (del inglés Field Programmable Gate Array) es un dispositivo semiconductor que contiene bloques de lógica cuya interconexión y funcionalidad puede ser configurada dinámicamente mediante un lenguaje de descripción de hardware.

Esta gran flexibilidad es una de las claves del éxito de los FPGAs, los cuales están en constante evolución y en la actualidad presentan características lo suficientemente robustas para la implementación de sistemas en un Chip como procesadores y computadoras embebidas.

EL Procesador Nios II es un núcleo de Altera que permite la implementación de un procesador de propósito general RISC (del inglés Reduced Instruction Set Computer) embebido en un FPGA. Como cualquier familia de microcontroladores, todo sistema de procesador NIOS II utiliza un conjunto de instrucciones consistentes y un modelo de programación. Una de las características más relevantes de este procesador es que el desarrollo de software es basado en lenguaje C/C++ mediante el uso de las herramientas de construcción de software (SBT por sus siglas en inglés) NIOS II IDE.

La parte central de la tarjeta es el FPGA Cyclone® II 2C35 de Altera, el cual es compatible con los núcleos que conforman la solución NIOS II del computador embebido de Altera. El diagrama de bloque de la figura 1 detalla los diferentes componentes de la tarjeta.

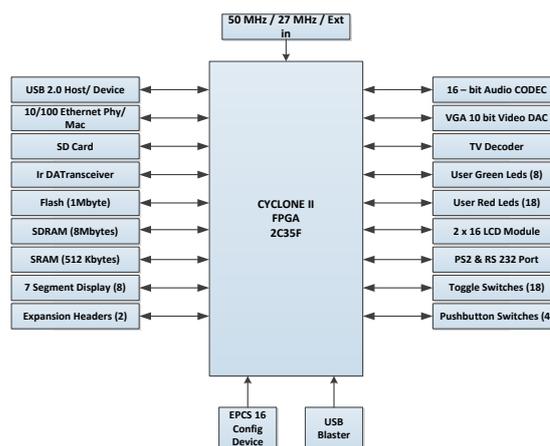


Fig. 1 Diagrama de bloques de la tarjeta DE2 de Altera.

Para la configuración del software del FPGA la tarjeta DE2 posee un chip EEPROM serial que permite cargar los datos de configuración del FPGA cada vez que se encienda la tarjeta. Así, mediante el

Software Quartus II de Altera es posible cambiar la configuración de la EEPROM para que el FPGA asuma el comportamiento DSP que se requiera. De hecho, el Quartus II permite realizar los cambios directamente al FPGA, aunque en esta opción la configuración se perderá una vez que se apague la tarjeta.

4. Diseño e Implementación del Sistema

El diseño del osciloscopio se divide en 3 etapas: adaptación de la señal, muestreo y conversión analógica/Digital (ADC) y procesamiento digital de señales (DSP, por sus siglas en inglés).

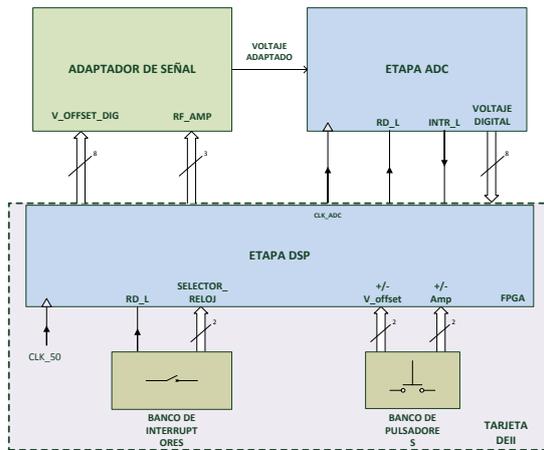


Fig. 2 Diagrama General del Sistema

4.1. Adaptación de Señal.

El objetivo de esta etapa es adaptar la señal de entrada para su correcta interpretación en las etapas ADC y DSP.

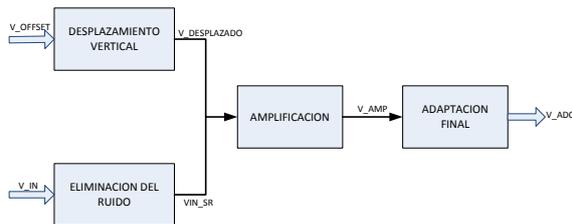


Fig. 3 Diagrama de Bloques del Circuito Adaptador de Señal

Para lograr esto se ha tomado como referencia el diseño electrónico de [11] donde se desarrolla un proyecto similar al nuestro. El circuito básicamente se divide en 4 fases: eliminación de ruido, desplazamiento vertical, amplificación y adaptación final. La diferencia más relevante de nuestro diseño con el de [11] es que, en nuestro caso el control del adaptador es realizado por la etapa DSP mediante el uso de las señales V_OFFSET_DIG y RF_AMP.

4.2. Muestreo y Conversión ADC.

Para la implementación de este bloque se ha utilizado el CI ADC0804, debido a su disponibilidad en el mercado local.

El esquema de implementación escogido es el de solo lectura detallado en [12], debido a que es el que más se apega a nuestras necesidades. Las señales de control necesarias para su manejo son provistas por la etapa DSP.

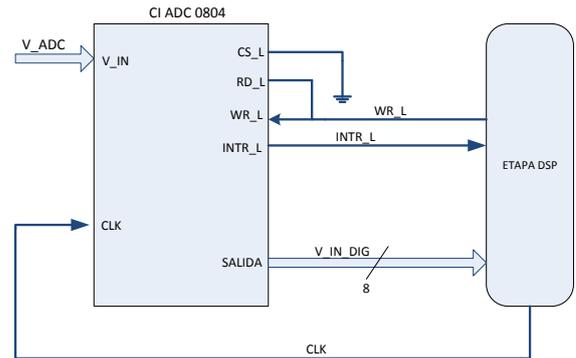


Fig. 4 Diagrama General de la Conversión Analógica - Digital

En este esquema el ADC procesará una señal analógica cuando se detecte un voltaje bajo en la entrada RD_L. De acuerdo a [12] el tiempo de la conversión digital T_c está dado por:

$$T_c = 66 \left(\frac{1}{CLK_{ADC}} \right)$$

Por otro lado, para garantizar un funcionamiento adecuado del CI la frecuencia de reloj no debe superar los 640khz, es decir:

$$CLK_{ADC} < 640KHz$$

Una vez transcurrido el tiempo de conversión T_c , el ADC activa la señal INTR_L para notificarle a la etapa DSP que la conversión ha finalizado. Es importante tener en cuenta que los datos aún no están disponibles para su lectura, sino que se encuentran en un buffer interno del ADC. Por esta razón, antes de activar la señal RD_L deben transcurrir un tiempo de espera T_{esp} mínimo de 8 flancos de reloj, es decir:

$$T_{esp} > 8 \left(\frac{1}{CLK_{ADC}} \right)$$

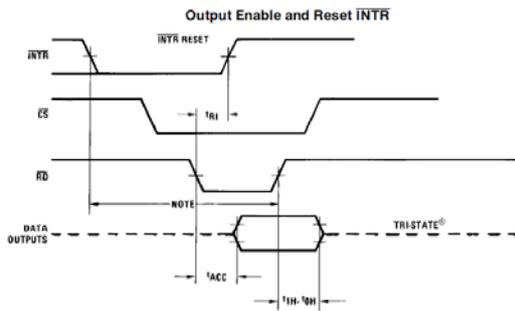


Fig. 5 Diagrama de tiempo de lectura del ADC [12]

Luego, una vez activada la señal RD_L los datos estarán listos en un tiempo t_{cap} de 200ns. Este dato es importante porque el tiempo de captura (posterior a la activación de RD_L) debe ser superior a t_{cap} , es decir:

$$T_{cap} > 200ns$$

Finalmente, si tenemos en cuenta que los datos de salida son válidos solamente mientras RD_L este activo, el tiempo de lectura T_{read} está dado por:

$$T_{read} > T_{cap}$$

4.3. Etapa DSP.

La etapa DSP se constituye en el núcleo de todo el sistema ya que realiza las siguientes funciones:

- Interpretación de las directivas de control realizadas en la interface de usuario.
- Control del factor de amplificación y desplazamiento vertical de la etapa de adaptación.
- Control de la etapa ADC.
- Procesamiento de la señal digital recibida por la etapa ADC.
- Impresión final en formato VGA.

Para la realización de estas tareas la etapa DSP se divide a nivel lógico en los siguientes bloques:

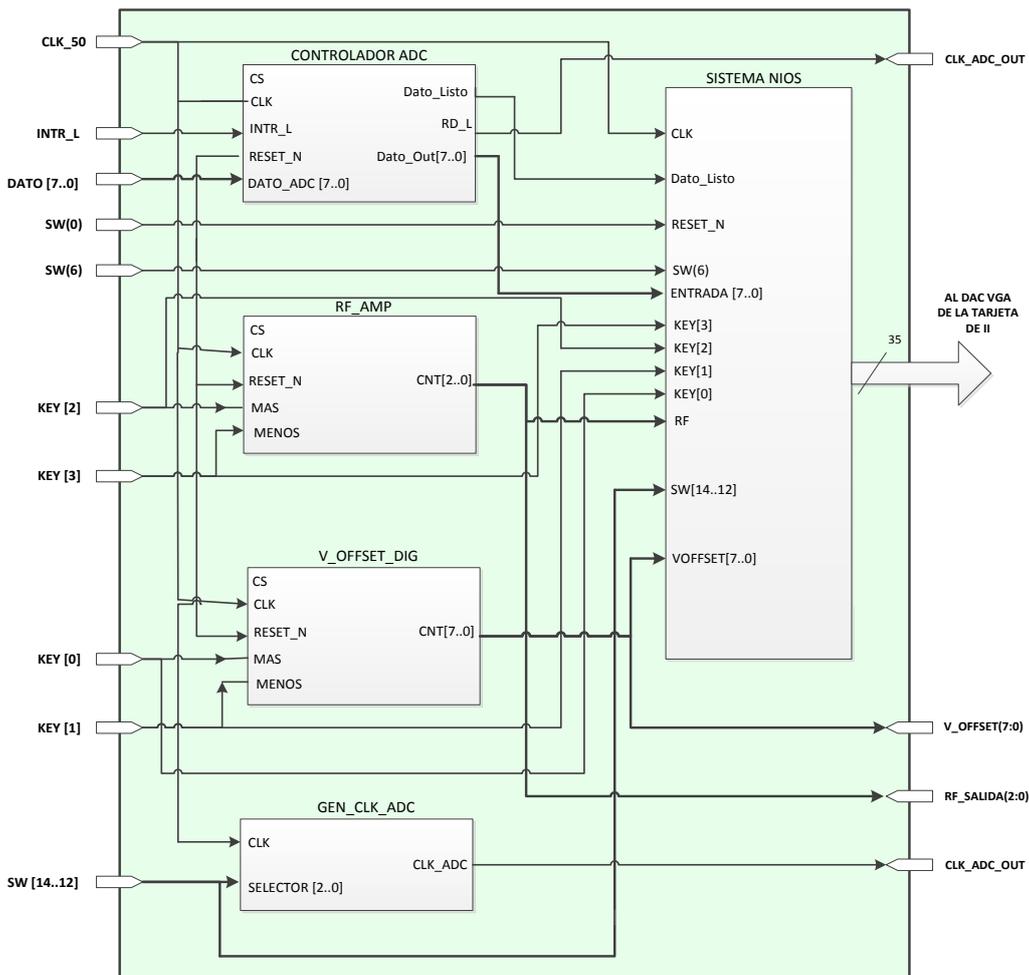


Fig. 6 Diagrama de Bloques de la etapa DSP

- **CONTROLADOR_ADC:** Genera la señal de control RD_L a partir de la señal INTR_L de la etapa ADC. Además muestrea la señal digital recibida de la etapa ADC y la mantiene fija para el correcto procesamiento del bloque NIOS_SYSTEM.
- **GEN_CLK_ADC:** Genera la señal de reloj de la etapa ADC. Selecciona la tasa del reloj en función de la señal digital SW(14:12) recibida desde la interface de usuario.
- **RF_AMP:** Genera la señal de control RF_AMP que maneja el factor de amplificación de la etapa de adaptación de señal. El valor de RF_AMP depende de las señales KEY(0) y KEY(1) manejadas desde la interface del usuario.
- **V_OFFSET_DIG:** Genera la señal de control V_OFFSET que maneja el desplazamiento vertical de voltaje en la etapa de adaptación de señal. El valor de V_OFFSET depende de las señales KEY(2) y KEY(3) manejadas desde la interface del usuario.
- **NIOS_SYSTEM:** El objetivo principal del NIOS_SYSTEM generar la señal de salida del osciloscopio en formato VGA. El bloque básicamente se trata de una computadora embebida en un bloque HDL mediante el uso del sistema NIOS proveído por Altera. Por esta razón el funcionamiento específico del bloque en realidad depende del software de alto nivel a implementarse en dicha computadora. Debido a esto el software HDL fue diseñado para cumplir con las siguientes tareas (Fig. 7):
 - Impresión de texto descriptivo y cuadrícula en pantalla.
 - Formación de los símbolos a partir de las señales digitales muestreadas por el ADC.
 - Impresión de símbolos en pantalla mediante dos modos de operación:
 - Modo de Muestreo Continuo
 - Modo de Fotografía

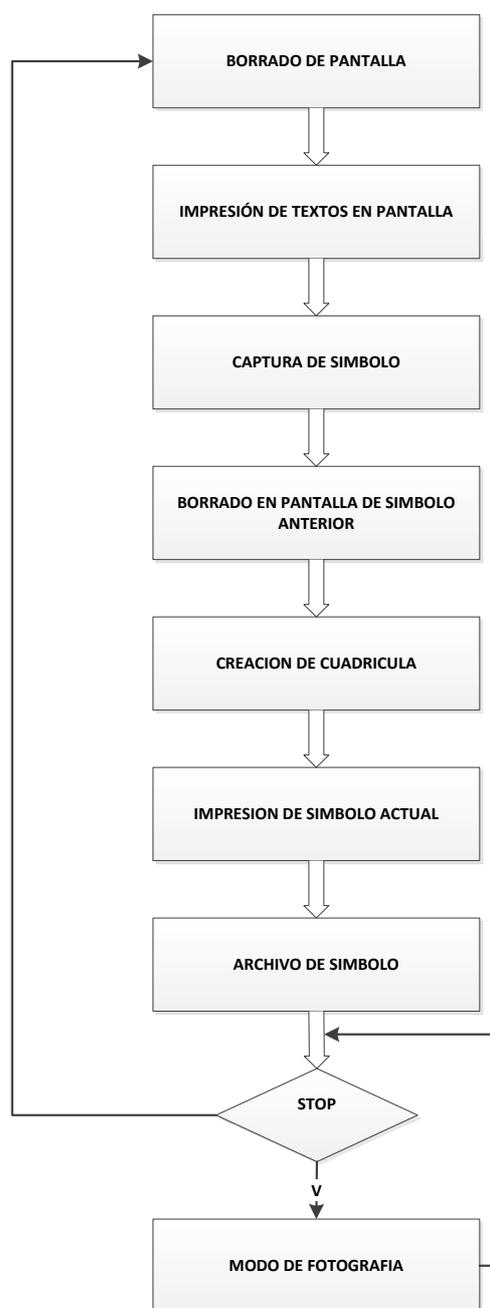


Fig. 7 Diagrama de Flujo del desarrollo de software

5. Pruebas y Resultados

Para la definición de las pruebas del sistema implementado se tomaron en cuenta los siguientes objetivos:

- Calibrar el Sistema
- Definir los parámetros de operación del sistema
- Formular las conclusiones y recomendaciones finales del proyecto.

En base de esto, las pruebas realizadas fueron las siguientes:

5.1. Medición y Corrección de Voltaje Offset del circuito Electrónico.

El objetivo principal de esta prueba es el cálculo y corrección del Offset del circuito electrónico en el sistema. Para esto se midió el valor digital resultante cuando el voltaje de entrada es 0, la corrección de este voltaje OFFSET se la realizo mediante la definición del valor por defecto de la señal digital

V_OFFSET_DIG. Para el resto de las pruebas el voltaje offset ya fue corregido.

5.2. Variación del voltaje offset digital.

La finalidad de esta prueba fue probar el comportamiento del sistema ante la variación del offset, para lo cual se documentó el paso del offset observado y se calculó el error del mismo con respecto al valor teórico.

De las mediciones realizadas se observó que el valor medio de paso del offset es de 0,03921567 lo cual corresponde a un error del 0.39%

5.3. Medición de factores de Amplificación.

La finalidad de esta prueba fue evaluar el comportamiento del sistema ante la variación de los factores de amplificación. De lo observado experimentalmente se tienen dos resultados inesperados:

- El porcentaje de error de los factores de amplificación con respecto al valor teórico es bastante elevado para valores de amplificación altos.
- La señal de entrada se degrada ostensiblemente con los 4 últimos factores de amplificación.

Tabla I Valores medidos en la Amplificación

Modo	Ax Teorico	Senal degradada	Ax Practico	Error
1	1	NO	1	0,00%
2	2	NO	2	0,00%
3	3	NO	2,77	7,67%
4	4,7	NO	3,8	19,15%
5	10	SI	-	-
6	15	SI	-	-
7	47	SI	-	-
8	100	SI	-	-

5.4. Medición de frecuencia de muestreo generada

La finalidad de esta prueba es documentar las diferentes frecuencias de muestreo generadas por el sistema. Para esto se varió la señal selectora de frecuencia de la etapa DSP y se midió la frecuencia de la señal INTR_L generada por la etapa ADC.

Tabla 2 Tabla de Frecuencias Obtenidas por el sistema

s14	s13	s12	Frecuencia Esperada(khz)	Frecuencia Medida (khz)	Error
0	0	0	0,1510	0,1387	8,17%
0	0	1	0,7460	0,6931	7,09%
0	1	0	1,4695	1,383	5,89%
0	1	1	2,8531	2,755	3,44%
1	0	0	4,1582	4,132	0,63%
1	0	1	5,3908	4,975	7,71%
1	1	0	6,5574	6,136	6,43%
1	1	1	8,0894	7,812	3,43%

5.5. Variación de la frecuencia de la señal de entrada

El objetivo de esta prueba es validar el correcto funcionamiento del osciloscopio ante señales de diferentes rangos de frecuencia.

En base a las pruebas realizadas se tuvieron las siguientes observaciones:

Si bien es cierto el teorema de Nyquist indica que basta con que la frecuencia de muestreo sea el doble de la señal muestreada[13], la experiencia grafica en dicho escenario es muy pobre. De hecho, en base a las pruebas realizadas nos parece recomendable que la frecuencia de muestreo sea al menos 8 veces mayor que la frecuencia de la señal de entrada.

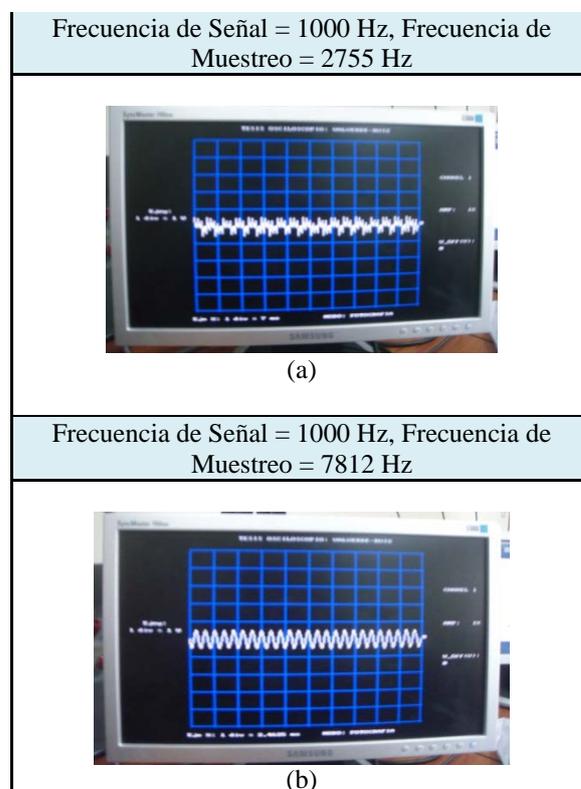


Fig. (a) Frecuencia de muestreo 2.7 veces la frecuencia de la señal. (b) Frecuencia de muestreo 7.8 veces la frecuencia de la señal.

Por otro lado, si bien es cierto a mayor frecuencia de muestreo existe un mayor detalle de la señal, es necesario considerar que el osciloscopio tiene una resolución horizontal de 200 píxeles, por lo cual si la frecuencia de muestreo es mucho mayor solo se visualiza una pequeña parte de la señal.

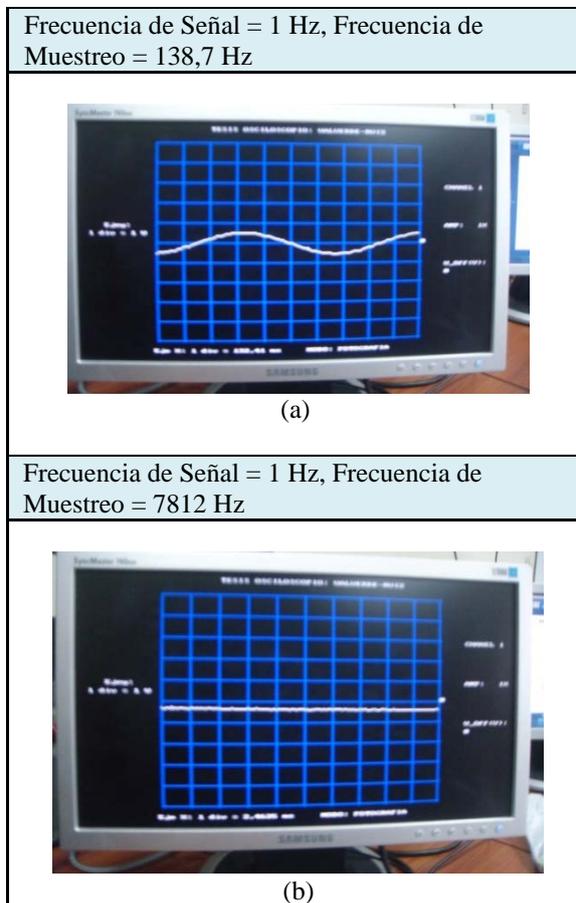


Fig. 9 (a) Frecuencia de muestreo 138 veces la frecuencia de la señal. (b) Frecuencia de muestreo 7800 veces la frecuencia de la señal.

6. Conclusiones

Luego de haber analizado los resultados se tuvieron las siguientes conclusiones:

- Los elementos electrónicos utilizados en la fase de adaptación de la señal de entrada inducen un voltaje de offset por no tener un comportamiento ideal.
- El valor medio de voltaje offset tiene un error del 0.39% con respecto al teórico. Esto se debe a que las resistencias utilizadas en la conversión digital-analógica no son ideales, así como los valores digitales 1 y 0 no son exactamente 5 y 0 Voltios respectivamente.

- A mayor aumento del factor de amplificación la señal se degrada, el error es inducido por el multiplexor CD 4067.
- La frecuencia de muestreo del osciloscopio opera en 5 modos que van desde los 138Hz y los 7.8kHz, con un error que oscila entre 0.63% y 8.1%. Concluimos que tanto los valores bajos de frecuencia de muestreo como el porcentaje de error se debe al tiempo de conversión del CI ADC0804 utilizado en la etapa de conversión analógica-digital.
- La frecuencia de muestreo debe ser 8 veces mayor a la frecuencia de la señal de entrada.
- La frecuencia de muestreo no debe exceder 200 veces la frecuencia de la señal de entrada para que se visualice en la pantalla.

7. Recomendaciones

A continuación algunas recomendaciones para tener un mejor resultado en trabajos futuros:

- Dividir la corrección del offset en dos fases: una corrección gruesa mediante un circuito electrónico y una corrección fina a nivel DSP.
- Utilizar elementos pasivos con mejores niveles de tolerancia para disminuir el error.
- Utilizar un método alternativo para la selección del factor de amplificación, ya que el circuito compuesto multiplexor CD 4067 presentó un bajo rendimiento.
- Para mostrar frecuencias superiores de la señal de entrada se debe tener un integrado de mejor rendimiento que el ADC0804.

8. Referencias

- [1] Pallás Areny, Ramón. "Instrumentos Electrónicos Básicos". Marcombo Copyright. 2006. pp. 161.
- [2] Reza Langari, Alan S Morris. "Measurement and Instrumentation: Theory and Application". Academic Press. Copyright, Elsevier Inc. pp. 173.
- [3] Trundle, Eugene. "Servicing Tv, Satellite and Video Equipment". Newnes Copyright. 2002. pp 15.
- [4] Altera Corporation, FPGA, <http://www.altera.com/products/fpga.html>
- [5] Ronald Sass, Andrew G. Schmidt. "Embedded Systems Design with Platform FPGAs: Principles and Practices". Morgan Kaufmann. Estados Unidos de América, 2010. pp 21.
- [6] Altera Corporation. "Nios II Processor Reference Handbook". www.altera.com/literature/hb/nios2/n2cpu_nii5v1.pdf. 3 de Mayo de 2011.
- [7] Altera Corporation. "Media Computer System for the Altera DE2". http://ftp.altera.com/up/pub/Altera_Material/11.0/E

- [xamples/DE2/NiosII_Computer_Systems/DE2_Media_Computer.pdf](#). Marzo 2009.
- [8] Altera Corporation. “Video Out IP Cores for Altera DE Boards”.
ftp://ftp.altera.com/up/pub/University_Program_IP_Cores/90/Video_Out.pdf. Marzo 2009.
- [9] Altera Corporation. “DE2 Development and Education Board User Manual”.
ftp://ftp.altera.com/up/pub/Webdocs/DE2_UserManual.pdf. 2006.
- [10] Chu, Pong P. “Embedded SOPC Design with NIOS II Processor and VHDL Examples”. A John Wiley & Sons. 2011.
- [11] Yi Yao. “Oscilloscope”.
<http://yyao.ca/projects/oscilloscope/>. Enero 2006.
- [12] “ADC0801 ADC0802 ADC0803 ADC0804 ADC0805 8-Bit mP Compatible A/ D Converters”. National Semiconductor. Diciembre 1994.
- [13] Couch, Leon W. “Sistemas de comunicación digitales y analógicos”. Quinta Edición. Pearson Educación. pp 86 – 89.