

**ESCUELA SUPERIOR
POLITECNICA DEL LITORAL**

DEPARTAMENTO DE INGENIERIA ELECTRICA

**" SISTEMA DE COMUNICACIONES OPTICAS: ENLACE
INTERCENTRALES CENTRO-BOYACA DE 140 Mbps,
TECNOLOGIA ERICSSON EN LA CIUDAD DE GUAYAQUIL "**

PROYECTO DE TOPICOS ESPECIALES

Previa a la obtención del Título de:

INGENIERO ELECTRICO

Presentada por:

**ROSA E. EGAS SANCHEZ
FRANCISCO ESPINOSA GUZMAN
JORGE ULLOA BAJAÑA**

GUAYAQUIL - ECUADOR

1994

AGRADECIMIENTO

AL DR. ING. FREDDY VILLO

**Por la dedicación y apoyo brindado durante
nuestro Tópico de Graduación.**

**A quienes conforman EMETEL por su invaluable
ayuda.**

DEDICATORIA

**A DIOS, A NUESTROS PADRES
Y HERMANOS**

RESUMEN

El principio de un buen sistema de comunicación óptico se basa en: elevada potencia de transmisión y sensibilidad de recepción, pero también localización de averías, alimentación de energía sencilla y las ventajas que tiene la transmisión por medio de un cable de fibra óptica.

Los medios de transmisión se han utilizado rentablemente desde que se aplicó el principio básico de la "multiutilización", el multiplexado, según el cual se reúnen varias señales de frecuencia más baja en una señal de frecuencia más elevada.

Los multiplexores instalados en las centrales de Centro y Boyacá por la Ericsson para producir los 140 Mbps son:

- ZFH 42301, que convierte 4 flujos de bits asíncronos de 2048 kbps a un flujo de 8448 kbps y viceversa.
- ZFH 42302, que convierte 4 flujos de bits asíncronos de 8448 kbps a un flujo de 34368 kbps y viceversa.

- ZFH 41501, que convierte 4 afluentes asincronos de 34368 kbps en una señal digital de 139264 kbps correspondiente a 1920 canales y viceversa.

El equipo terminal de línea ZFM 49501 forma el principal bloque funcional y aloja las unidades para la conversión de código y proceso de cambio de señales eléctricas a ópticas en el lado de transmisión y de ópticas a eléctricas en el lado de recepción, es decir adaptar la señal entre la interface eléctrica D4 y la interface óptica F4, además su función es detectar e indicar las condiciones de alarmas . Este equipo esta conectado directamente a los 1920 canales digitales correspondientes a los 140 Mbps de la salida del multiplexor.

El mantenimiento se basa en el monitoreo de tasas aceptables de error en la transmisión de datos, el cual se lo realiza en el almacén de localización de fallas FLM.

INDICE GENERAL

Pág.

RESUMEN	II
INDICE GENERAL.....	IV
INDICE DE FIGURAS.....	IX
INTRODUCCION.....	1

I. TÉCNICAS DE MULTIPLEXADO

1.1 MULTIPLEXACION POR DIVISIÓN DE TIEMPO (TDM).....	3
1.2 CÓDIGOS DE TRANSMISIÓN	5
1.3 JERARQUÍA TDM	10
1.4 FUNCIONES BÁSICAS DEL MULTIPLEXOR DE SEÑALES DIGITALES	12

II TÉCNICAS DE MULTIPLEXADO EN LA TECNOLOGÍA ERICSSON

2.1 DESCRIPCIÓN DEL EQUIPO MÚLTIPLEX DIGITAL DE 2/8 MBPS ZFH 42301. 19	
2.1.1 CONSIDERACIONES GENERALES	19
2.1.2 CONSTRUCCIÓN ELÉCTRICA Y FUNCIONAMIENTO.....	20
2.1.2.1 GENERALIDADES.....	20

2.1.2.1.1 Multiplexado.....	20
2.1.2.1.2 Desmultiplexado.....	21
2.1.2.2 DOTACIÓN DE APARATOS EN EL ALMACÉN.....	22
2.1.2.3 DESCRIPCIÓN DE UNIDADES.....	23
2.1.2.3.1 "2/8 Mb Tributary unit" ROF 137 7224 /-.....	23
2.1.2.3.2 "8 Mb Control unit T" ROF 137 7225 /-.....	26
2.1.2.3.3 "8 Mb Control unit R", ROF 137 7226 /-.....	30
2.1.2.3.4. "DC-Converter", ROF 137 7017 /-.....	32
2.1.3 CONEXIONES EXTERNAS, INTERFACES.....	37
2.1.3.1 INTERFAZ DE 2 Mbps, D1.....	37
2.1.3.2 INTERFAZ DE 8 Mbps, D2.....	38
2.1.3.3 INTERFAZ DE SINCRONIZACIÓN DE 8 Mbps.....	38
2.1.4 DATOS TÉCNICOS.....	39
2.2 EQUIPO MÚLTIPLEX DIGITAL DE 8/34 MBPS ZFH 42302.....	46
2.2.1 GENERALIDADES.....	46
2.2.2. CONSTRUCCIÓN ELÉCTRICA Y FUNCIONAMIENTO.....	46
2.2.2.1 GENERALIDADES.....	46
2.2.2.1.1 Multiplexado.....	47
2.2.2.1.2 Desmultiplexado.....	48
2.2.2.2 DOTACIÓN DE APARATOS EN EL ALMACÉN.....	49
2.2.2.3 DESCRIPCIÓN DE UNIDADES.....	49

2.2.2.3.1 "8/34 Mb Tributary unit" ROF 137 7269 /-.....	49
2.2.2.3.2 "34 Mb Control unit T" ROF 137 7270 /-	53
2.2.2.3.3 "34 Mb Control unit R", ROF 137 7271 /-.....	56
El generador de ritmo de temporización consiste de contadores que dan a la unidad las señales necesarias de temporización. También genera la señal de reloj TWCD, enviada a la unidad "8/34 Mb Tributary unit:"	59
2.2.2.3.4 "34 Mb Line Interface unit" ROF 137 7272 /-	60
2.2.2.3.5. "DC-Converter", ROF 137 7017 /-.....	61
2.2.3.2 INTERFAZ DE 34 Mbps, D3.....	67
2.2.4 DATOS TÉCNICOS.....	67
2.3 EQUIPO MULTIPLEX DIGITAL DE 34/140 MBPS ZFH 41501.....	73
2.3.1 CONSIDERACIONES GENERALES	73
2.3.2 CONSTRUCCIÓN ELÉCTRICA Y FUNCIONAMIENTO	73
2.3.2.2 MULTIPLEXACION.....	75
2.3.2.3 DEMULTIPLEXACION.....	77
2.3.2.4 DOTACIÓN DE UNIDADES EN EL BASTIDOR.....	79
2.3.3 DESCRIPCION DE UNIDADES	79
2.3.3.1 "34 Mb LINE INTERFACE UNIT", ROF 137 7272 /1.....	80
2.3.3.2 "34 Mb BUFFER UNIT", ROF 137 7045 /1.....	82
2.3.3.3 "140 Mb CONTROL UNIT, T", ROF 137 7040 /1	86
2.3.3.4 "140 Mb CONTROL UNIT, R" ROF 137 7042 /1	90

2.3.3.5 "140 Mb INTERFACE CODER", ROF 137 7043 /1	92
2.3.3.6 "140 Mb INTERFACE DECODER", ROF 137 7044 /1	94
2.3.3.7 "SUPERVISORY UNIT", ROF 137 7041 /1	97
2.3.3.8 "DC CONVERTER", BRM 90706	101
2.3.4. CONEXIONES EXTERNAS, INTERFACES	106
2.3.4.1 INTERFAZ DE 34 Mb (D3)	106
2.3.4.2 INTERFAZ DE 140 Mb (D4)	106
2.3.5 DATOS TÉCNICOS	107

III EQUIPOS TERMINALES DE LÍNEA

3.1 COMPONENTES DEL SISTEMA	114
3.2 DESCRIPCIÓN DEL EQUIPO TERMINAL DE LÍNEA ZAM 140-1	117
3.2.1 CONSIDERACIONES GENERALES	117
3.2.2 CONSTRUCCIÓN ELÉCTRICA	118
3.2.2.1 FUNCIONES DE UNIDADES	119
3.3 DESCRIPCIÓN DE LAS PLACAS	121
3.3.1 "140 INTERFACE DECODER"	121
3.3.2 "140 Mb LINE CODER"	125
3.3.3 "140 Mb LASER TRANSMITTER"	127
3.3.4 "140 Mb APD RECEIVER"	130
3.3.5 "140 Mb LINE DECODER"	132

3.3.6 "140 Mb INTERFACE CODER", ROF 137 7208/1	135
3.3.7 "ALARM UNIT", ROF 137 7050/3 R1 Y R2	137
3.3.8 "DC-CONVERTER", +/- 5 V, +/- 12 V, ROF 137 7084/3	140
3.3.9 "FAULT DETECTOR UNIT", ROF 137 7223/1	144
3.4 CONEXIÓN INTERNA EN EL FRENTE	149
3.5 CONEXIONES EXTERNAS, INTERFACES	149
3.5.1 INTERFAZ D4, 140MB	149
3.5.2 INTERFAZ F4, 167 MBAUDIOS	150
3.6 DATOS TÉCNICOS	150
<u>IV. ENLACE INTERCENTRAL CENTRO-BOYACA A 140 MBPS DE ERICSSON</u>	
4.1 SISTEMAS ERICSSON PARA REDES URBANAS	154
4.2 DESCRIPCIÓN DEL ENLACE INTERCENTRAL CENTRO-BOYACA A 140 MBPS DE ERICSSON	156
4.3 UBICACIÓN DE LAS CENTRALES Y CANALIZACIÓN	162
4.4 MANTENIMIENTO	165
<u>CONCLUSIONES Y RECOMENDACIONES</u>	174
<u>BIBLIOGRAFÍA</u>	177

INTRODUCCIÓN

La demanda en el país por sistemas de comunicación confiables y óptimos hacen del estudio de este campo imprescindible. Radio enlaces, comunicación satelital son ejemplos de las áreas que se han desarrollado; siguiendo la misma tendencia se ha incrementado en el uso de sistema de Fibra Óptica para telefonía, pero la aplicación de estos sistemas van mucho mas allá de este campo, como por ejemplo TV cable, redes estructuradas, etc.

Usando las interfaces adecuadas, información de cualquier naturaleza puede ser introducida dentro de la fibra. Bajo este punto de vista, la comprensión del funcionamiento de los equipos de transmisión optoelectrónicos nos darán las bases necesarias para nuevas implementaciones.

En la red interurbana de Guayaquil se aplican actualmente sistemas de 34, 140 y 565 Mbps, para estas tres velocidades binarias se utiliza el mismo equipo terminal de línea; la conmutación a la velocidad binaria respectiva es programable. Este documento describe los equipos y el funcionamiento del sistema fibra óptica de línea de 140 Mbps de Ericsson instalados actualmente en la ciudad en su enlace Centro - Boyaca. En vista de

que la entrada de datos al equipo terminal de línea es multiplexada también se estudia la forma de multiplexado como parte del sistema de transmisión.

En los capítulos uno y dos se analiza y describe el funcionamiento del equipo de multiplexado. En el capítulo tres se estudia el equipo terminal de línea Fibro óptico ZAM 140-1 instalados en este enlace, y finalmente en el ultimo capítulo se examina el sistema de transmisión entre las centrales de Boyaca y Centro en lo concerniente a su mantenimiento, enrutamiento de la fibra, ubicación y otros aspectos.

CONTENIDO

Prólogo

Introducción

Capítulo I

Capítulo II

Capítulo III

Capítulo IV

Capítulo V

I. TÉCNICAS DE MULTIPLEXADO

MULTIPLEXACION POR DIVISIÓN DE TIEMPO (TDM)

Las señales telefónicas analógicas pueden agruparse moduladas por impulsos codificados (PCM) en una señal multiplexada temporalmente, si sus palabras de código de 8 bits se transmiten entrelazadas en el tiempo (temporalmente) una tras otra en una secuencia cíclica. De esta manera se obtiene una señal multiplexada PCM. Sobre la base de una codificación de 8 bits y una frecuencia de muestreo de 8 KHz se obtiene la velocidad binaria de 64 Kbps por cada canal telefónico que ha sido normalizada mundialmente.

La figura ilustra el concepto TDM aplicado a tres fuentes analógicas que son muestreadas sobre un sistema PCM. Por conveniencia, el muestreo natural se muestra junto a la correspondiente onda TDM PAM de entrada. En la práctica, un switch mecánico es usado para la conmutación (muestreo). En este ejemplo el ancho del pulso de la señal TDM PAM es $T_s/(3n)$ donde n es el número de bits usados en la palabra PCM. $\omega = 2\pi f_s$ denota la frecuencia de rotación del conmutador, y f_s satisface la frecuencia de Nyquist para señales analógicas con un gran ancho de banda. En algunas aplicaciones donde el ancho de banda de las señales es marcadamente diferente, estas pueden ser conectadas a switch de múltiples posiciones en el muestreador de manera que puedan ser muestreadas más a menudo que las señales con un pequeño ancho de banda.

En el receptor el deconmutador (muestreador) está sincronizado con la señal entrante de manera que por ejemplo, las señales PAM correspondientes a la fuente 1, aparecerán en el canal de salida 1. Esto es llamado sincronización de la trama. Se usan filtros pasa bajos para reconstruir las señales analógicas de las muestras PAM. La interferencia de símbolos resultante (ISI) de un filtrado pobre puede causar que muestras de un canal aparezcan en otro canal.

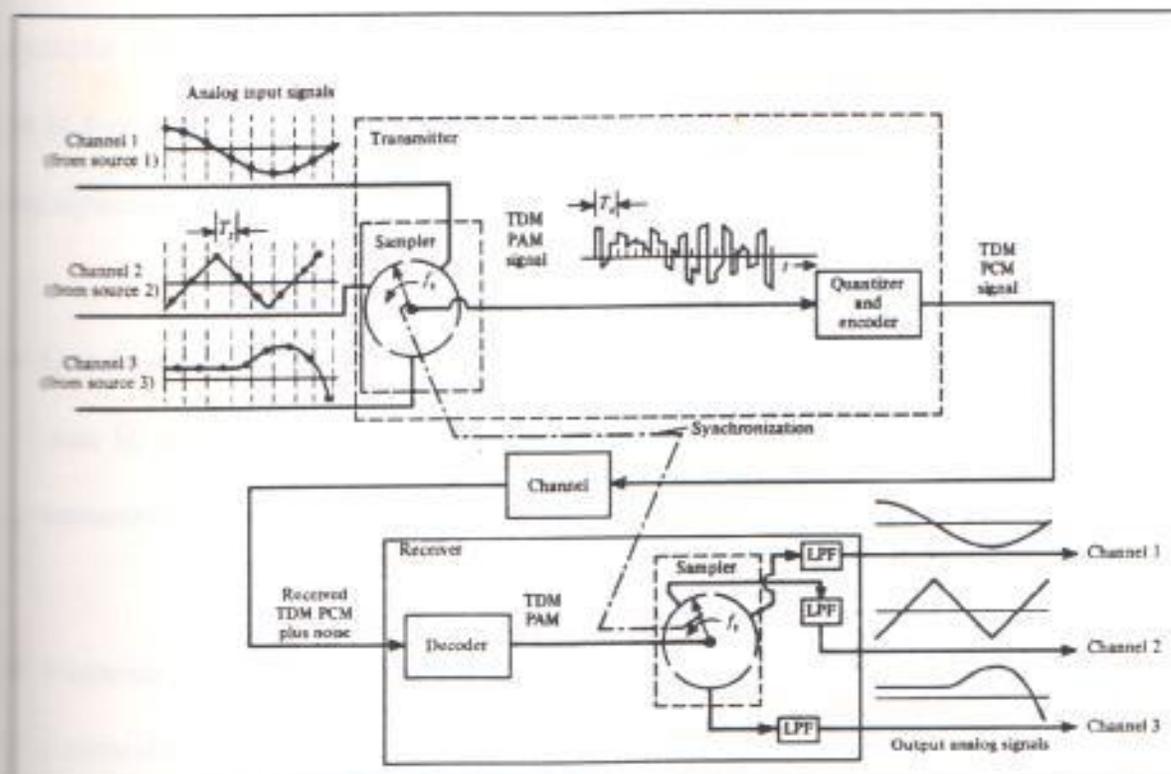


FIG. 1 Ejemplo de Multiplexación TDM PCM

1.2 CÓDIGOS DE TRANSMISIÓN

Las señales PCM u otras señales digitales se generan en los equipos la mayoría de las veces como señales de salida que provienen de circuitos integrados; presentándose, por lo

como, como señales binarias como «niveles lógicos» de los circuitos en cuestión, por ejemplo; CMOS, TTL, IIL. Para su transmisión estas señales tienen que ser convertidas en la forma adecuada. Los requisitos mas importantes para la transmisión eléctrica son los siguientes:

- Que no haya tensión o corriente continua y que las componentes de baja frecuencia sean lo mejor posible, para que puedan intercalarse transformadores en la vía de transmisión de la señal;
- Mantener el espectro de la señal en las frecuencias mas bajas posibles, para que la atenuación en el canal sea pequeña;
- Que haya la posibilidad de transmitir secuencias de bits discrecionales (por ejemplo, incluso secuencias prolongadas de ceros) es decir, que exista lo que se llama independencia de la secuencia de bits (bit sequence independence) o transparencia de bits.

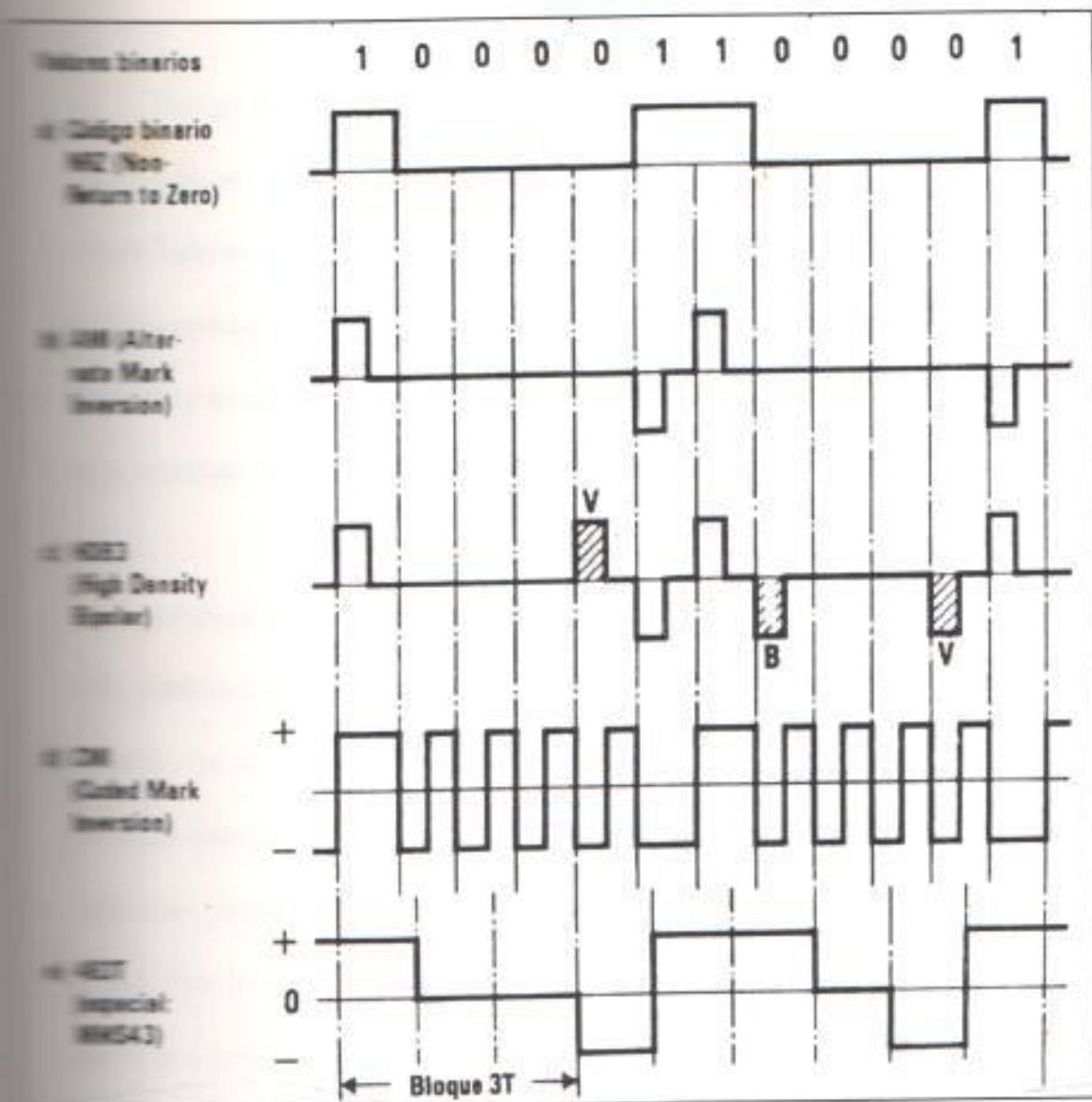


FIG. 2. Codigos Binarios

Las señales binarias, como son entregadas por los circuitos lógicos (ver la fig), no cumplen estos requerimientos, por lo que se han implantado o introducido otros códigos de transmisión:

- Código AMI (Alternate Mark Inversion). En este código se transmite cada «1» como impulso; cambiando o alternando la polaridad de impulsos consecutivos, los valores binarios «0» se reproducen como pausas. El código AMI se utiliza especialmente en Norteamérica en gran medida para la transmisión de señales multiplexadas con 1.544 Kbps. Pero no cumple el requerimiento de la transparencia de bits o de la independencia de la secuencia de bits.

- Códigos HDBn (High Density Bipolar of order n). Estos códigos son «códigos AMI modificados», en los cuales la regla de alternancia de polaridades de impulsos consecutivos es violada intencionadamente: en el caso de que en la señal binaria se presenten más de n bits cero consecutivamente, se inserta un impulso V [«impulso de violación» (violation pulse)], que tiene la misma polaridad que tenga el precedente (ver la fig). Para lo cual se sustituyen $n + 1$ bits «0» o bien n bits «0» con el impulso V siguiente o por impulsos AMI B + $(n - 1)$ bits «0» + el impulso V; un ejemplo para el código HDB3 se muestra en la figura. La aplicación de ambas variantes -aquí 000V o B00V- tiene lugar de tal forma que la polaridad del impulso V es alternativa. Mediante el impulso V se consigue que un receptor de señales pueda extraer también el reloj incluso durante secuencias de ceros prolongadas, de tal forma que se cumpla la transparencia de la secuencia de bits (secuencia binaria).

El código HDB3 es el código interfaz para los 2048, 8448 y 34368 Kbps y es utilizado también en las rutas con cables simétricos a 2048 Kbps como código de transmisión o código de línea.

El código HDB2 (denominado en los Estados Unidos B3ZS) es el código de interfaz para los 44736 Kbps.

- Código CMI (Coded Mark Inversion). Es un código de interfaz binario, en su principio para los 140 Mbps, en el cual los bits «1» alternan en su polaridad, mientras que los bits «0» son negativos en la primera mitad del intervalo de tiempo del bit y positivos en la segunda mitad.

- Código 4B3T. En este código se reemplaza un grupo de cuatro bits por tres elementos de señal ternarios, para desplazar el espectro de la señal hacia frecuencias más bajas. Se utilizan para la transmisión en líneas coaxiales (p. e. con los 34 Mb/s). Hay diferentes variantes; para una de estas variantes (código MMS43) la figura nos muestra un ejemplo de la conversión del código binario en código de línea.

- Código 5B/6B. Las fibras ópticas tienen otros requerimientos puesto que en ellas se presentan solamente dos estados de la señal (hay o no hay luz). El código de línea que se usa para este caso es el 5B6B, con lo cual se puede conseguir la transparencia de bits así como informaciones adicionales de supervisión : cada 5 bits de la señal binaria original son sustituidos por 6 bits de la señal de línea NRZ.

El CCITT ha normalizado solamente códigos de interfaz, porque para ellos es deseable una normalización, deriva del interés que hay para que se puedan realizar conexiones flexibles entre las líneas de interfaz.

1.3 JERARQUÍA TDM

En la práctica , TDM puede ser agrupado en dos categorías. La primera categoría consiste en multiplexores usados en conjunto con sistemas de computadoras digitales para formar señales digitales desde muchas fuentes para transmisión TDM sobre una línea de alta velocidad a una computadora digital. La velocidad de salida de esos multiplexores han sido estandarizadas a 1.2, 2.4, 3.6, 4.8, 7.2, 9.6 y 19.2 Kbps.

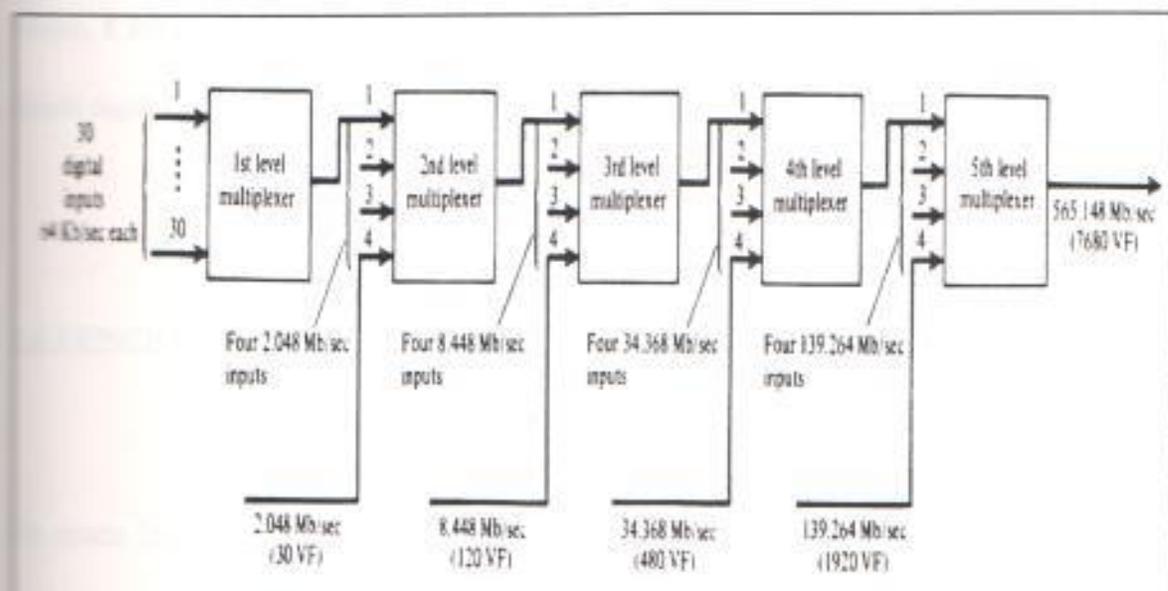


FIG. 3 Jerarquía Digital TDM del CCITT

La segunda categoría TDM es usada por las portadoras comunes, tales como la AT&T, para combinar diferentes fuentes en una señal TDM de alta velocidad para transmitir en todos los lugares de trabajo. Desafortunadamente, los estándares adoptados por Norteamérica y Japón son diferentes de aquellos que han sido adoptados en otras partes del mundo, por ejemplo Europa. El estándar Norteamericano/Japonés primero fue adoptado por AT&T y otro conjuntos de estándares han sido adoptados por el Comité Consultivo Internacional de Telégrafo y Telefonía (CCITT) bajo el auspicio de la unión internacional de telecomunicaciones (ITU). La jerarquía TDM del CCITT se muestra en la figura, nuestros equipos telefónicos están estandarizados a velocidades binarias de 2

Mbps, 8 Mbps, 34 Mbps, 140 Mbps y 565 Mbps. En la figura se asume que todos son flujos digitales y el número de canales de voz está en los paréntesis.

1.4 FUNCIONES BÁSICAS DEL MULTIPLEXOR DE SEÑALES DIGITALES

De modo inverso a como sucede en el lado emisor con el entrelazado de las señales de entrada (multiplexado), en el lado receptor, la separación de las señales (desmultiplexado) ocurre con ayuda de las estructuras de las tramas. Un equipo multiplexor de señales digitales (DSMX) realiza ambas funciones como se muestra en la figura.

Un equipo multiplexor en la dirección de transmisión se compone básicamente de (de izquierda a derecha):

- Cuatro interfaces idénticas F2 con los bloques funcionales regenerador, decodificador, supervisión, restitución del reloj, la memoria tampón (buffer) y el circuito de control para la información de relleno;

- El multiplexor con los bloques funcionales formación de las tramas, alimentación del reloj, codificador y amplificador de salida.

En dirección opuesta, el receptor contiene (de derecha a izquierda):

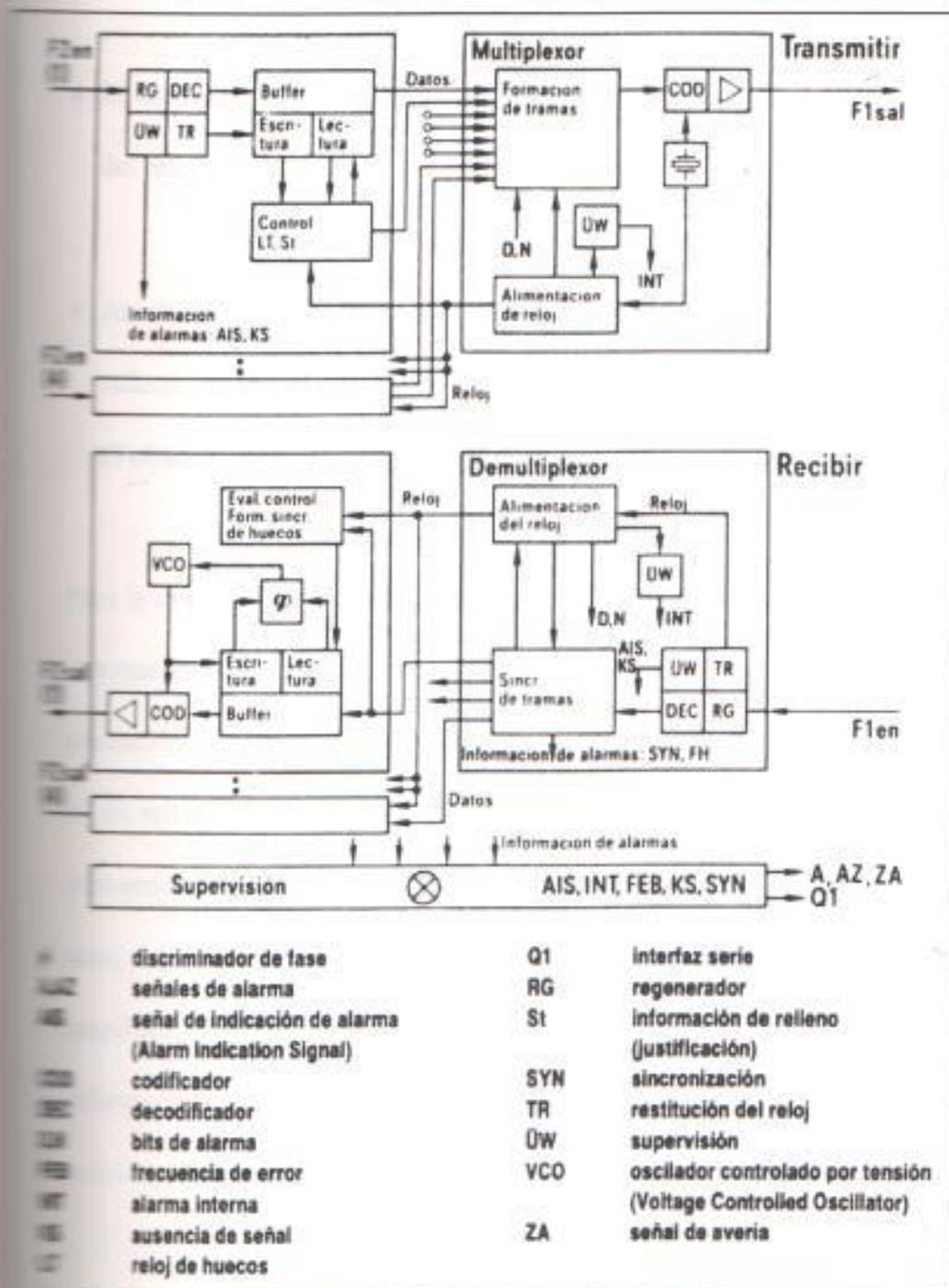


FIG. 4 Funciones Básicas de un Multiplexor

- El desmultiplexor con la interfaz F1 en, la sincronización de tramas y la alimentación del reloj;

- Así como cuatro interfaces idénticos F2sal con los bloques funcionales evaluación del relleno, memoria tampón (buffer) con el oscilador controlado por tensión VCO (Voltage Controlled Oscillator) e interfaz F2sal.

Para la estructura de la trama de multiplexado del nivel jerárquico inmediato superior se insertan en la unidad central de conexión "multiplexor" los bits para la palabra de alineación de trama, la palabra de alarma, la información de relleno y, dado el caso, un bit de relleno. En el paso siguiente se realiza el "multiplexado" según el principio de la conversión serie/paralelo y, finalmente, en la dirección de transmisión, se codifica la señal múltiplex en forma de flujo binario serie para la transmisión en línea y entonces se amplifica. A partir de la alimentación central del "reloj" se derivan todas las informaciones del reloj necesarias para la estructura de la trama en la dirección de emisión o bien para su resolución en la dirección de recepción.

En el extremo de la ruta de transmisión, en el demultiplexor se separan unos de otros los datos plesiocronos de las cuatro señales procedentes de la señal de nivel mas alto

multiplexada; ello tiene lugar en el bloque funcional "sincronización de tramas" mediante:

- La búsqueda del comienzo de trama (sincronización)
- y la segregación en las cuatro señales parciales (asignación de canales)

Con vistas a la disponibilidad de la ruta de transmisión así como de la calidad de transmisión misma, se somete a una rutina de supervisión a los datos de las vías de señales-multiplex S1 ... S4 tanto del lado emisor como del receptor, para lo cual se consultan cíclicamente varios criterios de supervisión desde un microcontrolador. Este da la notificación de alarma urgente o no urgente después de una evaluación de la causa controlada por programa; además se comunica al equipo colateral la detección de una avería del aparato o de una perturbación en la señal con los bits de servicio D (urgente) y N (no urgente). Conforme a la filosofía de conservación del CCITT, el multiplex activa la señal de indicación de alarma AIS (Alarm Indication Signal) en caso de avería, por lo que todos los equipos demultiplexores siguientes reconocen esta señal y por este motivo no disparan otras alarmas. Las interfaces de señales digitales tienen detectores para identificar señales entrantes AIS.

II TÉCNICAS DE MULTIPLEXADO EN LA TECNOLOGÍA

ERICSSON

Ericsson ha tomado la técnica de los microcircuitos, el empaquetamiento y el control por medio de microprocesadores para desarrollar un avanzado y completo diseño de multiplexación digital. Toda la jerarquía de multiplexación del CCITT puede estar contenida en un mismo equipo Ericsson en un almacén no mayor de 240 x 240 x 220 mm. en otras palabras, los multiplexores de 2/8, 8/34 y de 34/140 Mbps pueden ser manejados como módulos funcionales que operen como sistemas independientes. Además, también se han desarrollado equipos que permiten multiplexaciones directas de 2/34 y 8/140 Mbps.

A mas de las bondades técnicas de estos equipos también hay grandes ventajas económicas debido a que:

- la reconfiguración de la red de transmisión puede ser fácilmente hecha;
- un mínimo de partes de reserva es requerido;
- los procedimientos de instalación son simples y rápidos
- y, fácil mantenimiento

El modulo del multiplexor se ha diseñado de manera que pueda conectarse al bus del microcomputador, el cual permite a varias unidades de múltiplex ser insertadas en el almacén. Hay dos tipos de tarjetas que pueden ser conectadas al bus; las comunes, tales como, poder, alarma y supervisión, y las de los múltiplex, las cuales pueden ser de tres tipos:

- Unidad múltiplex de 2/8 Mbps
- Unidad múltiplex de 8/34 Mbps

* Unidad múltiplex de 34/140 Mbps.

2.1 DESCRIPCIÓN DEL EQUIPO MÚLTIPLEX DIGITAL DE 2/8 Mbps ZFH

42301

2.1.1 CONSIDERACIONES GENERALES

El equipo múltiplex digital ZFH 42301 convierte un máximo de cuatro flujos de bits asincrónicos de 2048 Kbps a un flujo de 8448 Kbps, y viceversa. Este equipo está diseñado de forma que se consigue una flexibilidad máxima. Se emplea el tipo de construcción mecánica BYB de Ericsson, que resulta en instalación sencilla con interfaces bien accesibles ya que todas las conexiones externas se hacen por el frente del equipo.

2.1.2 CONSTRUCCIÓN ELÉCTRICA Y FUNCIONAMIENTO

2.1.2.1 GENERALIDADES

El equipo múltiplex ZFH 42301 convierte cuatro señales digitales de 2048 Kbps, cada una de las cuales representa 30 canales de habla, en una señal digital de 8448 Kbps correspondiente a 120 canales de habla, y viceversa. La conversión se hace siguiendo las recomendaciones G. 703 y G. 742 del CCITT.

2.1.2.1.1 Multiplexado

Pueden conectarse hasta cuatro flujos entrantes de 2048 Kbps a través del interfaz D1 a la unidad respectiva "2/8 Mb Tributary unit". Las señales entrantes se regeneran, recuperándose al mismo tiempo el ritmo de temporización, y se recodifican a continuación de HDB3 a código binario. Después de recodificarse, las señales se almacenan en una memoria tampón. Si la cantidad de información en la memoria alcanza

un cierto límite inferior, la lectura de salida se retarda en el tiempo de un bit. Una posición de bit de la señal saliente de 8 Mb contendrá entonces información redundante.

La lectura de salida de la memoria tampón respectiva está controlada desde la unidad "8 Mb control unit, T". En esta unidad las señales procedentes de las cuatro memorias tampón se combinan en múltiplex junto con la palabra de enganche de trama y los bits de servicio para adaptación del ritmo de temporización. A continuación la señal de 8 Mb así formada se codifica en HDB3 y se saca por el interfaz D2. El ritmo de temporización de salida está controlado por un oscilador de cristal que puede también controlarse por una señal externa con frecuencia 8448 Khz.

2.1.2.1.2 Desmultiplexado

La señal entrante 8448 Kbps se conecta a través del interfaz D2 a la unidad "8 Mb Control unit, R" de recepción, en la que tiene lugar la regeneración, recuperación del ritmo de temporización, decodificación de HDB3 y enganche de trama. Se detectan además eventuales errores, después de lo cual la señal se convierte a los cuatro flujos tributarios.

Cada tributario se carga en una memoria tampón de la unidad "2/8 Tributary unit" respectiva, extrayéndose al mismo tiempo los bits de enganche de trama y de justificación del ritmo de temporización. La lectura de salida de las memorias está controlada por un oscilador de cristal. Cada flujo tributario se codifica por fin a HDB3 y se saca por el interfaz D1.

2.1.2.2 DOTACIÓN DE APARATOS EN EL ALMACÉN

En ZFH 42301 se incluyen las siguientes unidades de placas de circuitos impresos:

4 unidades "2/8 Mb Tributary unit"	ROF 137 7224 /-
1 unidad "8 Mb Control unit, T"	ROF 137 7225 /-
1 unidad "8 Mb Control unit R"	ROF 137 7226 /-
1 unidad "DC-Converter"	ROF 137 7017 /-

2.1.2.3 DESCRIPCIÓN DE UNIDADES

Se da a continuación una descripción abreviada de la función de las unidades de placas de componentes, siguiendo el camino de la señal.

2.1.2.3.1 "2/8 Mb Tributary unit" ROF 137 7224 /-

Véase el esquema de bloques de la figura

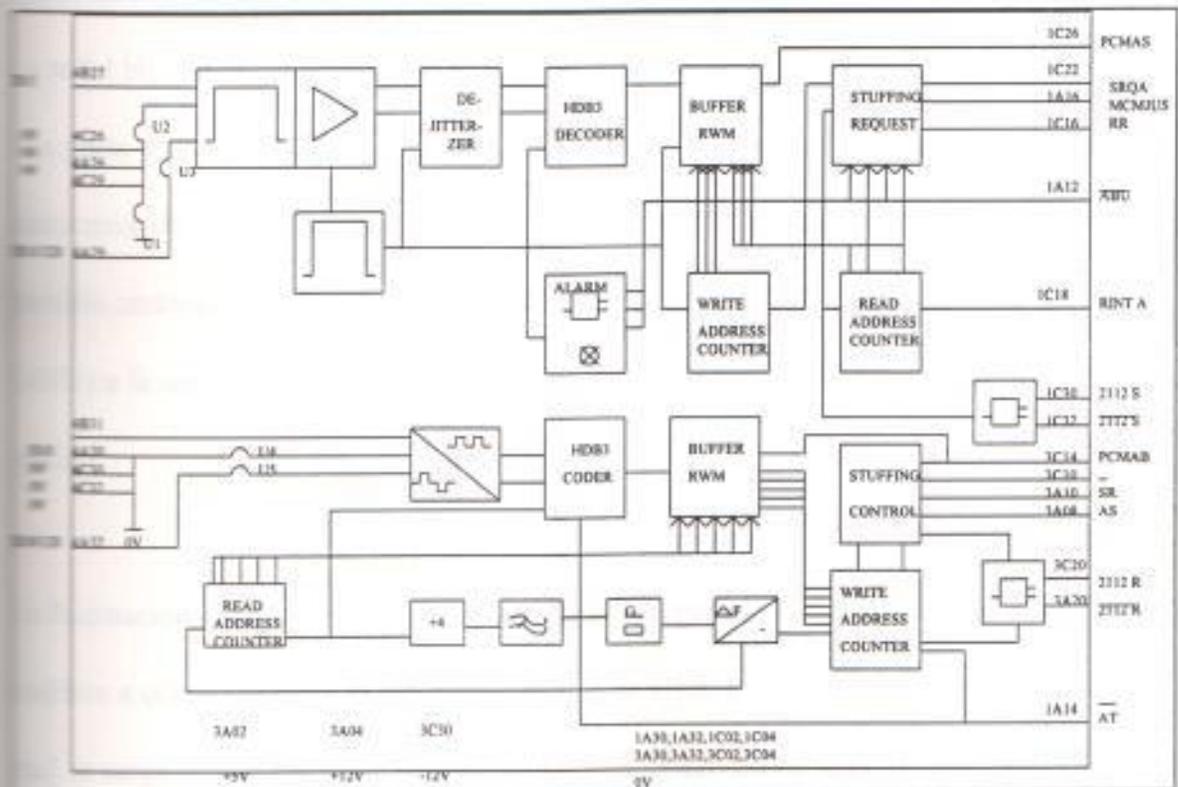


FIG. 5 "2/8 Mb Tributary Unit"

Generalidades

Esta unidad puede considerarse dividida funcionalmente en una parte de multiplexado y una parte de desmultiplexado. En la parte de multiplexado se regenera la señal entrante de 2 Mb, y se recupera la frecuencia de reloj y se descodifica el código HDB3.

En la parte de desmultiplexado se separan los bits de enganche de trama y de justificación de ritmo de temporización, después de lo cual la señal se codifica en HDB3.

Parte de multiplexado

La señal bipolar de 2 Mb entrante se rectifica y se amplifica y se envía a continuación por una parte a una unidad que suprime la fluctuación y por otra parte a un generador de frecuencia de reloj. En este último la señal se aplica a un circuito de resonancia en paralelo sintonizado a la frecuencia 2048 Khz. Al cesar la señal entrante se da la alarma (ABU) a la unidad "8 Mb Control unit T" y se enciende un diodo piloto del frente de la placa.

La fluctuación entrante se atenúa en la unidad supresora de dicha fluctuación. La señal se codifica a código binario en un decodificador de HDB3 (HDB3-Decoder) después de lo cual se carga en una memoria tampón se hace en forma discontinua a razón de 2112 Khz, desde la unidad "8 Mb Control unit T".

El grado de relleno de la memoria está supervisado por "Write Address Counter" y "Read Address Counter". Al alcanzarse un cierto número mínimo de bits en la memoria la lectura de salida se retarda en el tiempo de un bit, lo que implica que una posición de bit de la señal de 8 Mb saliente contendrá una información redundante (justificación de ritmo de temporización).

Parte de desmultiplexado

Cada flujo tributario procedente de "8 Mb Control unit" se carga en forma discontinua en una memoria tampón al ritmo de 2112 Khz. Estas señales contienen también bits para empuje de trama y justificación de ritmo de temporización que se separan por medio de "Stuffing Control".

La velocidad de lectura de salida de la memoria tampón está controlada por un oscilador de cristal. El número de bits de la memoria está supervisado por "Read Address Counter" y "Write Address Counter" para poder generar una señal de control al oscilador de cristal. Cuando el número medio de bits de la memoria tampón es constante, la señal de salida tendrá el ritmo de temporización correcto. La información sobre el estado de los contadores "Read Address Counter" y "Write Address Counter" se envía al comparador que genera una señal modulada en anchura de pulsos, cuya anchura es proporcional a la cantidad de información que se encuentra cargada en la memoria tampón. Esta señal se

pasa por un filtro pasa bajo para suprimir la fluctuación de baja frecuencia, antes de aplicarse al oscilador.

La señal de 2048 Kb se envía por fin desde la memoria tampón, a través del codificador HDB3 y después de convertirse a bipolar por la línea.

Possibilidades de reconexión

La entrada y salida a través del interface D1 puede reconectarse según convenga de 75 ohm (cable coaxial) ó de 120 ohm (cable de pares simétricos).

2.1.2.3.2 "8 Mb Control unit T" ROF 137 7225 /-

Véase el esquema de bloques de la fig.

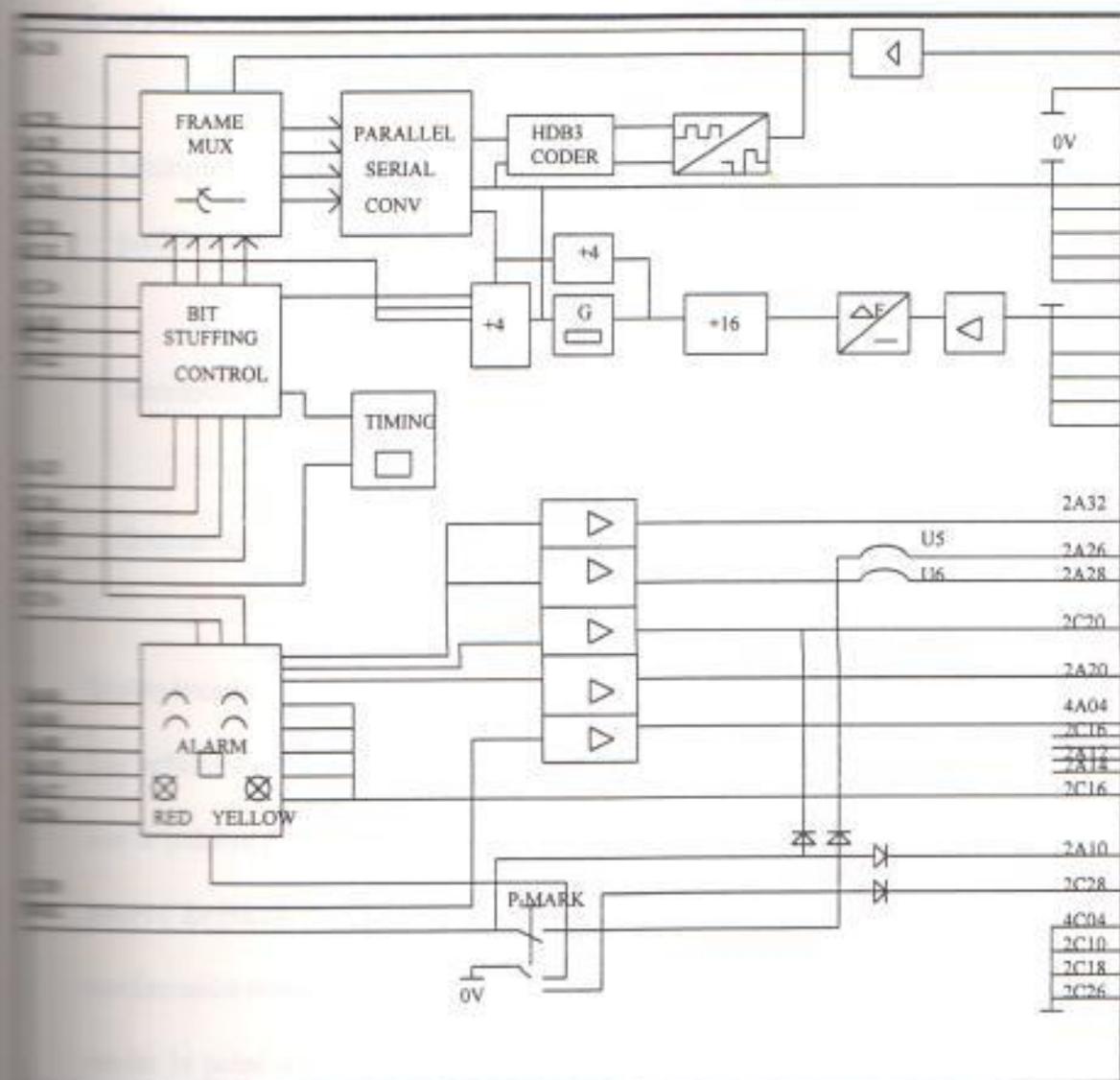


FIG. 6 "8 Mb Control Unit T"

Esta placa de circuitos tiene tres funciones:

- Multiplexado de los flujos tributarios, palabras de enganche de trama, bits de justificación de ritmo de temporización, bit de alarma y bit de reserva.
- Generación de señales de control para el lado de emisión.
- Generación de alarmas resultantes.

Multiplexado

Las señales de cuatro unidades "2/8 Mb Tributary unit" se combinan en múltiplex junto con la palabra de enganche de trama, bits de justificación de ritmo, bit de alarma y bit de reserva formando un flujo en el bloque "Frame Mux" y "Parallel-Serial Converter". A continuación tiene lugar la codificación a HDB3 y la conversión unipolar/bipolar antes de enviar la señal de salida por los interfaces D2 ubicados en la sección de control de la unidad "8 Mb Control unit R".

La sección de control genera señales de control para el proceso de justificación del ritmo de temporización en las placas de los tributarios. Se da información sobre el instante en que se generan los bits de enganche de trama, el instante en que se inserta un mensaje de

justificación de ritmo de temporización y el instante en que puede llevarse a cabo la justificación. Una señal reloj equilibrada (2112S-2442S) que también se genera, determina la lectura de salida de la memoria tampón de la unidad "2/8 Mb Tributary unit".

El ritmo de reloj de 8448 Khz se genera en un oscilador de cristal; éste puede controlarse a través de una señal externa de reloj (D2TS) conectada por el frente. Esta señal se compara con la señal de reloj, generada internamente, en un comparador de fase que envía una señal modulada en anchura de pulsos, la cual, después de pasarse por un filtro de paso bajo excita el reloj propio.

Parte de alarma

Todos los estados de falla (=fallas detectadas) se reúnen en la lógica de proceso de alarmas, y según sean dichos estados se generan diferentes alarmas resultantes, por ejemplo se enciende un diodo piloto o se cierra un contacto. Todos los estados de fallas se encuentran accesibles en el frente de las placas.

2.1.2.3.3 "8 Mb Control unit R", ROF 137 7226 /-

Véase el esquema de bloques de la figura

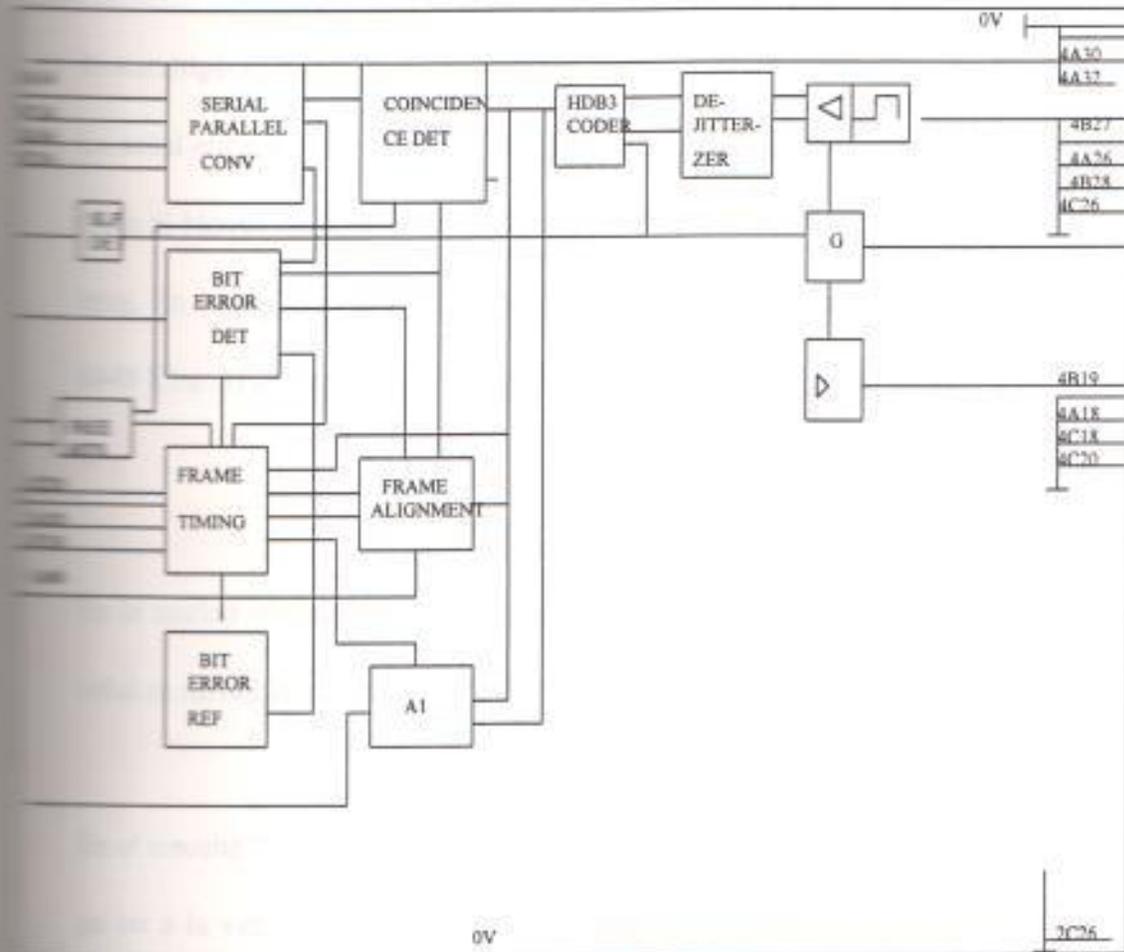


FIG. 7 "8 Mb Control Unit R"

Generalidades

El fin principal de esta placa es desmultiplexar la señal entrante y generar las señales de control para el lado de desmultiplexado.

Desmultiplexado

La señal entrante de 8 Mb se rectifica y se amplifica enviándose a continuación por una parte al bloque de supresión de fluctuación, por otra parte a un generador de frecuencia reloj. En este último la señal se aplica a un circuito resonante en paralelo sintonizado a 8448 Khz. Al cesar la señal entrante se da la alarma (SLF) a la unidad "8 Mb Control unit".

En la unidad supresora de la fluctuación se efectúa esta operación después de lo cual la señal se recodifica de código HDB3 a código binario en el "HDB3 Decoder".

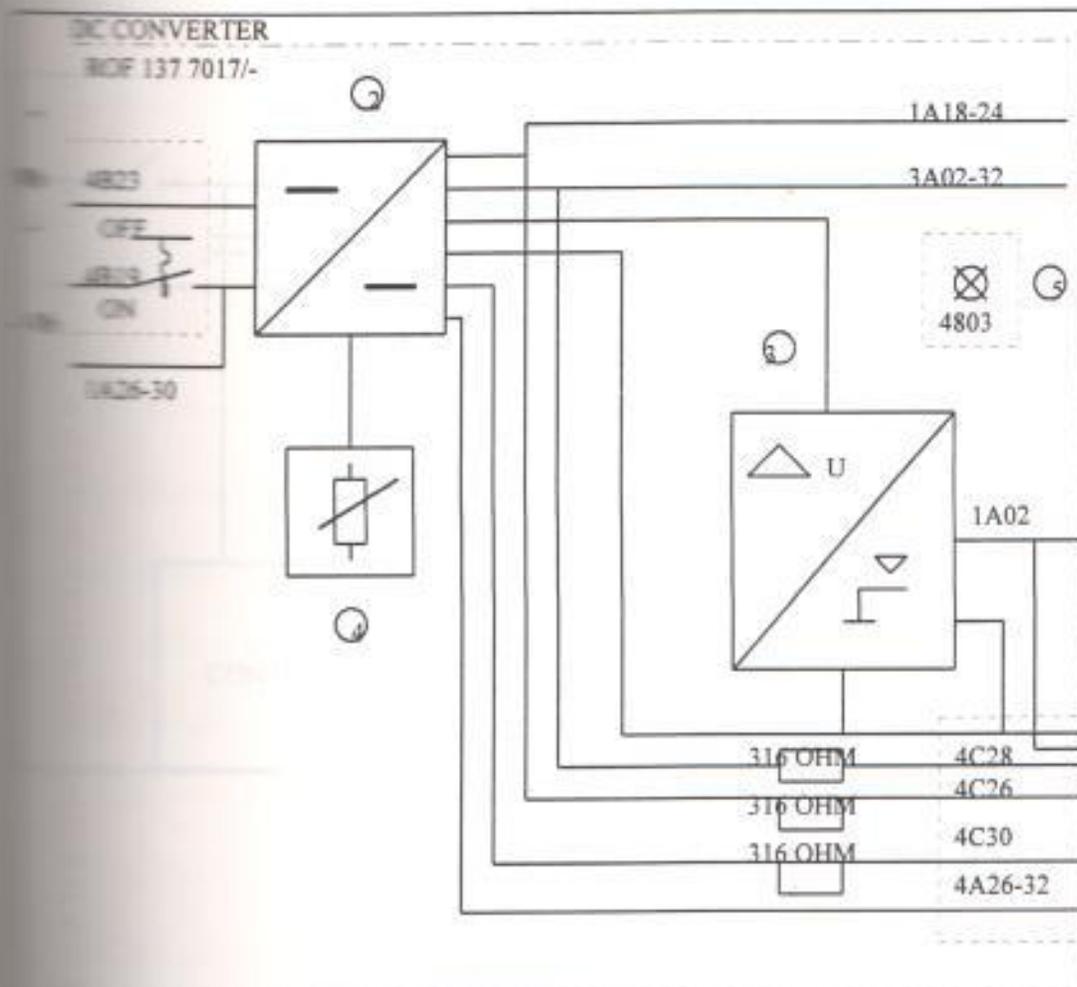
En el circuito "Coincidence Detector" el flujo entrante de bits se desplaza hacia adelante un bit a la vez. Cada combinación se compara con la palabra correcta de enganche de trama en "Frame Alignment Logic". Se considera que se tiene enganche de trama cuando se han encontrado tres palabras de enganche de trama correctas. El bloque "Frame Timing" envía ahora información sobre el lugar del flujo de bits en que se encuentran las palabras de enganche de trama, y a continuación la señal principal se

divide en cuatro flujos tributarios en el bloque "Serial-Parallel Converter". Si "Frame Alignment Logic" detecta cuatro palabras consecutivas de enganche de trama erróneas, se considera que se ha perdido el enganche de trama iniciándose un nuevo ciclo de búsqueda. Desde "Serial-Parallel Converter" las señales se envían a la unidad "2/8 Mb Tributary unit" respectiva.

En la unidad "Frame Timing" se generan además varias señales de control hacia "Tributary unit" para indicar bits de enganche de trama, bits de servicio para justificación de ritmo de temporización, bits de relleno y bits de alarma.

2.2.3.4. "DC-Converter", ROF 137 7017 /-

Ver el esquema de bloques de la figura y el esquema simplificado



- ① Interruptor de corriente
- ② Convertidor de c.c.
- ③ Relé de alarma por cese de la tensión secundaria de alimentación
- ④ Potenciómetro de ajuste de las tensiones de salida
- ⑤ Diodo pilot verde
- ⑥ Puntos de medición

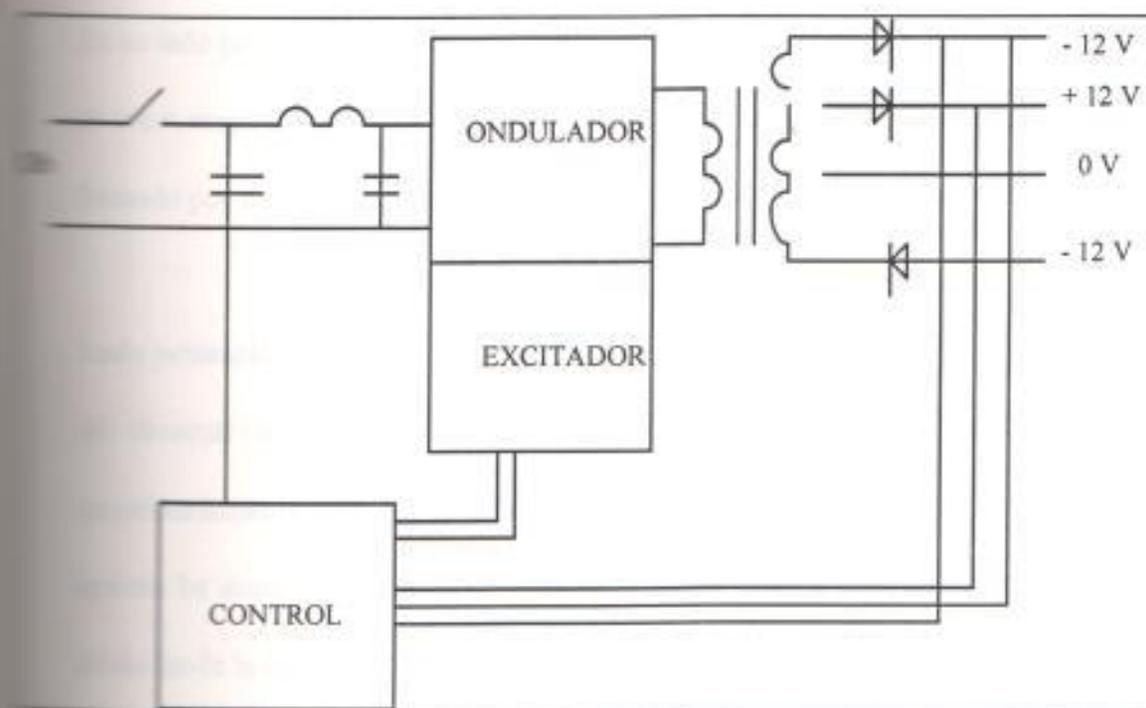


FIG. 8 "DC Converter"

Generalidades

La unidad "DC-Converter" convierte la tensión de batería, que puede ser entre -30 y -72 v, en las tensiones de salida +5 v, -12 v y +12 v.

Los componentes van montados sobre una placa de circuitos impresos del tipo ROF 137

ocupa 8 módulos de anchura (20,3 mm) en su lugar en el almacén.

El lado primario consiste en un filtro de entrada, sección de control con amplificador de error, etapa excitadora y sección de ondulator, mientras que en el lado secundario está formado por un transformador principal, sección rectificadora y sección de filtro.

Lado primario

Al conectar la tensión la sección de control recibe una tensión de trabajo de aproximadamente 10 v desde la batería, a través de un regulador de tensión. Una vez el aparato ha alcanzado sus condiciones de régimen, esta tensión se recibe a través de un diodo desde la fuente de tensión -12 v.

En la sección de control se generan los pulsos necesarios para controlar la etapa de excitación. La sección de control comprende también un amplificador de error. La frecuencia del ondulator es aproximadamente 22 Khz. La etapa de excitación hace pasar a conducción plena un transistor de potencia de la sección del ondulator que alimenta a su vez al transformador principal.

Lado secundario

Al pasar el transistor de potencia al corte se transfiere energía al lado secundario del transformador principal. Los diodos de la sección de rectificación conducen y el condensador pertinente se carga.

Cada tensión de salida tiene un filtro de salida del tipo LC.

Las tensiones de salida de +12 v y +5 v se detectan en común y se comparan con la tensión a través de un diodo Zener. Si la tensión de +5 v ó +12 v tiende a aumentar ello resulta en que la anchura de pulsos disminuye restableciéndose las tensiones nominales.

Circuitos de protección

Para proteger el aparato contra cortocircuitos y sobrecargas hay circuitos al efecto que limitan la corriente de salida. Estos circuitos detectan la corriente de emisor del transistor de potencia y la señal de sobrecorriente se aplica a la sección de control.

Las tensiones de +12 y -12 v tienen una protección contra sobretensión en forma de diodos Zener en las salidas. La tensión de +5 v está protegida por un bucle de regulación duplicado.

Alarmas

En la salida de 5 v hay un relé de alarma cuyos contactos están conectados al plano posterior del almacén y al frente a través de una resistencia en serie de 12,1 ohm.

2.1.3 CONEXIONES EXTERNAS, INTERFACES

2.1.3.1 INTERFAZ DE 2 Mbps, D1

El cable de estación se conecta con el conector BYB 2/RNV 325 al interfaz D1 de cada unidad "2/8 Mb Tributary unit". La impedancia de entrada y de salida puede reconectarse para cable coaxial (75 ohm) o cable de pares (120 ohm). La atenuación permisible de la señal recibida asciende a 6 dB a 1 MHz, lo que corresponde a aproximadamente 400 m de cable coaxial tipo TZC 75005, ó unos 200 m de cable de pares del tipo 421201.

21.3.2 INTERFAZ DE 8 Mbps, D2

El cable de estación se conecta con un conector BYB 2/RNV 325 al interfaz D2 de la unidad "8 Mb Control unit R". La atenuación permisible de la señal recibida asciende a 6 dB a 4 MHz, lo que corresponde a aproximadamente 200 m de cable coaxial tipo TZC TS005.

21.3.3 INTERFAZ DE SINCRONIZACIÓN DE 8 Mbps

El cable de estación se conecta al interfaz de sincronización por el frente de las unidades "8 Mb Control unit T" y "8 Mb Control unit R" con un conector BYB 1/RNV 325.

2.1.4 DATOS TÉCNICOS

Número total de tributarios de 2048 Kb	máximo 4
Método de multiplexado	entrelazado cíclico de bits con adaptación de ritmo de temporización por medio de bits de relleno
Estructura de tramas	De acuerdo con la Rec. G.742 del CCITT

INTERFAZ DIGITAL DE LÍNEA DE 2048 Kbps (Rec. G.703, CCITT)

Código de línea	HDB3
Cable coaxial:	
amplitud de pulsos	2,37 v
atenuación de entrada, tolerancia	0 - 6 dB
impedancia	75 ohm, resistiva

INTERFAZ DIGITAL DE LÍNEA DE 8448 Kbps (Rec. G.703, CCITT)

Código de línea	HDB3
Amplitud de pulsos	2,37 v
Tolerancia en atenuación de entrada	0 - 6 dB
Impedancia	75 ohm, resistiva

FLUCTUACION

Entradas de tributarios:

Máx. fluctuación permisible a $f < 2,4$ KHz 1,5 UI pico a pico

Máx. fluctuación permisible a $f > 18$ KHz 0,2 UI pico a pico

Salidas de tributarios:

Fluctuación máxima generada cuando no 0,25 UI pico a pico

Máx. fluctuación en la entrada a $f < 100$

KHz

Entrada múltiplex:

Máx. fluctuación permisible a $f < 10,7$ 1,5 UI pico a pico

80 Hz

Máx. fluctuación permisible a $f > 80$ KHz 0,2 UI pico a pico

Salida múltiplex:

Máxima fluctuación generada a 0,05 UI pico a pico

20 Hz $< f < 400$ KHz

TRANSFERENCIA DE LA FLUCTUACIÓN

Ganancia de fluctuación a $f < 40$ Hz 0 dB

Ganancia de fluctuación a $f > 40$ Hz -20 dB/década

SENCRONIZACIÓN DE LA TEMPORIZACION

"8 Mb Tributary unit":

Oscilador de cristal incorporado	frecuencia 2048 Khz
	máx. desviación ± 50 ppm

"3 Mb Control unit; tr":

Oscilador de cristal incorporado	frecuencia 8448 Khz
	máx. desviación ± 30 ppm

El oscilador de cristal puede estar controlado por el flujo de 8 Mb recibido o

por una fuente separada con	frecuencia 8448 Khz
	y nivel 0 dBu, $\pm 1/-3$ dB

ALARMAS

De acuerdo con la Rec. G.742 del CCITT

CANAL DE SEÑALIZACIÓN, BIT 12, INTERFAZ E&M

Capacidad	5 Kbps
-----------	--------

HILO M

se considera puesto a tierra	0 a -5 v
se considera que no está puesto a tierra	-8 a -57 v
máx. resistencia de bucle	2 Kohm

HILO E

máx. tensión de contacto	-72 v
corriente continua,	50 mA
contacto cerrado, máx.	
corriente de fuga,	50 μ A
contacto abierto, máx.	

CONSUMO DE POTENCIA	20 W
(inclusive convertidor de c.c.)	
Tensión de alimentación, batería	-30 a -72 v
Rectificador de red, opcional	110, 127, ó 220 v
	±10 %
Frecuencia de red	45 - 65 Hz

AMBIENTE

Temperatura	0 - 45 °C
Humedad del aire	máx. 90%

DIMENSIONES

Almacén, altura x anchura x fondo	244 x 244 x 220 mm
Bastidor para 16 almacenes	2743 x 600 x 260 mm

2.2 EQUIPO MÚLTIPLEX DIGITAL DE 8/34 Mbps ZFH 42302

2.2.1 GENERALIDADES

El equipo múltiplex digital ZFH 42302 convierte un máximo de cuatro flujos de bits asincronos de 8448 Kbps a un flujo de 34368 Kbps, y viceversa. Este equipo está diseñado de forma que se consigue un flexibilidad máxima. Se emplea el tipo de construcción mecánica BYB de Ericsson, que resulta en instalación bien sencilla con interfaces bien accesibles ya que todas las conexiones externas se hacen por el frente del equipo.

2.2.2 CONSTRUCCIÓN ELÉCTRICA Y FUNCIONAMIENTO

2.2.2.1 GENERALIDADES

El equipo múltiplex ZFH 42302 convierte cuatro señales digitales de 8448 Kbps, cada una de las cuales representa 120 canales de habla, en una señal digital de 34368 Kbps

correspondiente a 480 canales de habla, y viceversa. La conversión se hace siguiendo las recomendaciones G. 703 y G. 751 del CCITT.

2.2.2.1.1 Multiplexado

Pueden conectarse hasta cuatro flujos entrantes de 8448 Kbps a través del interfaz D2 a la unidad respectiva "8/34 Mb Tributary unit". Las señales entrantes se regeneran, recuperándose al mismo tiempo el ritmo de temporización, y se recodifican a continuación de HDB3 a código binario. Después de recodificarse, las señales se almacenan en una memoria tampón. Si la información almacenada en la memoria alcanza un cierto límite inferior, la lectura de salida se retardará en el tiempo de un bit, que significa que una posición de bit de la señal saliente de 34 Mb contendrá entonces información redundante.

La lectura de salida de la memoria tampón respectiva está controlada desde la unidad "34 Mb control unit, T". En esta unidad las señales procedentes de las cuatro memorias tampón se combinan en múltiplex junto con la palabra de enganche de trama y los bits de servicio para adaptación del ritmo de temporización. A continuación la señal de 34 Mb así formada se codifica en HDB3, en la unidad "34 Mb Line Interface unit", y se saca

por el interfaz D3. El ritmo de temporización de salida está controlado por un oscilador de cristal.

2.2.2.1.2 Desmultiplexado

La señal entrante 34368 Kbps se conecta a través del interfaz D3 a la unidad "34 Mb Line Interface unit", en la que tiene lugar la regeneración, recuperación del ritmo de temporización, decodificación de HDB3. En la unidad "34 Mb Control unit", se detecta alineamiento de trama y además eventuales errores, después de lo cual la señal se reparte a los cuatro flujos tributarios.

Cada tributario se carga en una memoria tampón de la unidad "8/34 Tributary unit" respectiva, extrayéndose al mismo tiempo los bits de enganche de trama y de sincronización del ritmo de temporización. La lectura de salida de las memorias está controlada por un oscilador de cristal. Cada flujo tributario se codifica por fin a HDB3 y se envía por el interfaz D2.

2.2.2 DOTACIÓN DE APARATOS EN EL ALMACÉN

En ZFH 42302 se incluyen las siguientes unidades de placas de circuitos impresos:

102 unidades "8/34 Mb Tributary unit"	ROF 137 7269 /-
1 unidad "34 Mb Control unit, T"	ROF 137 7270 /-
1 unidad "34 Mb Control unit R"	ROF 137 7271 /-
1 unidad "34 Mb Line Interface unit"	ROF 137 7272 /-
1 unidad "DC-Converter"	ROF 137 7017 /-

2.2.3 DESCRIPCIÓN DE UNIDADES

Se da a continuación una descripción abreviada de la función de las unidades de placas con sus componentes, siguiendo el camino de la señal.

2.2.3.1 "8/34 Mb Tributary unit" ROF 137 7269 /-

Ver el esquema de bloques de la figura

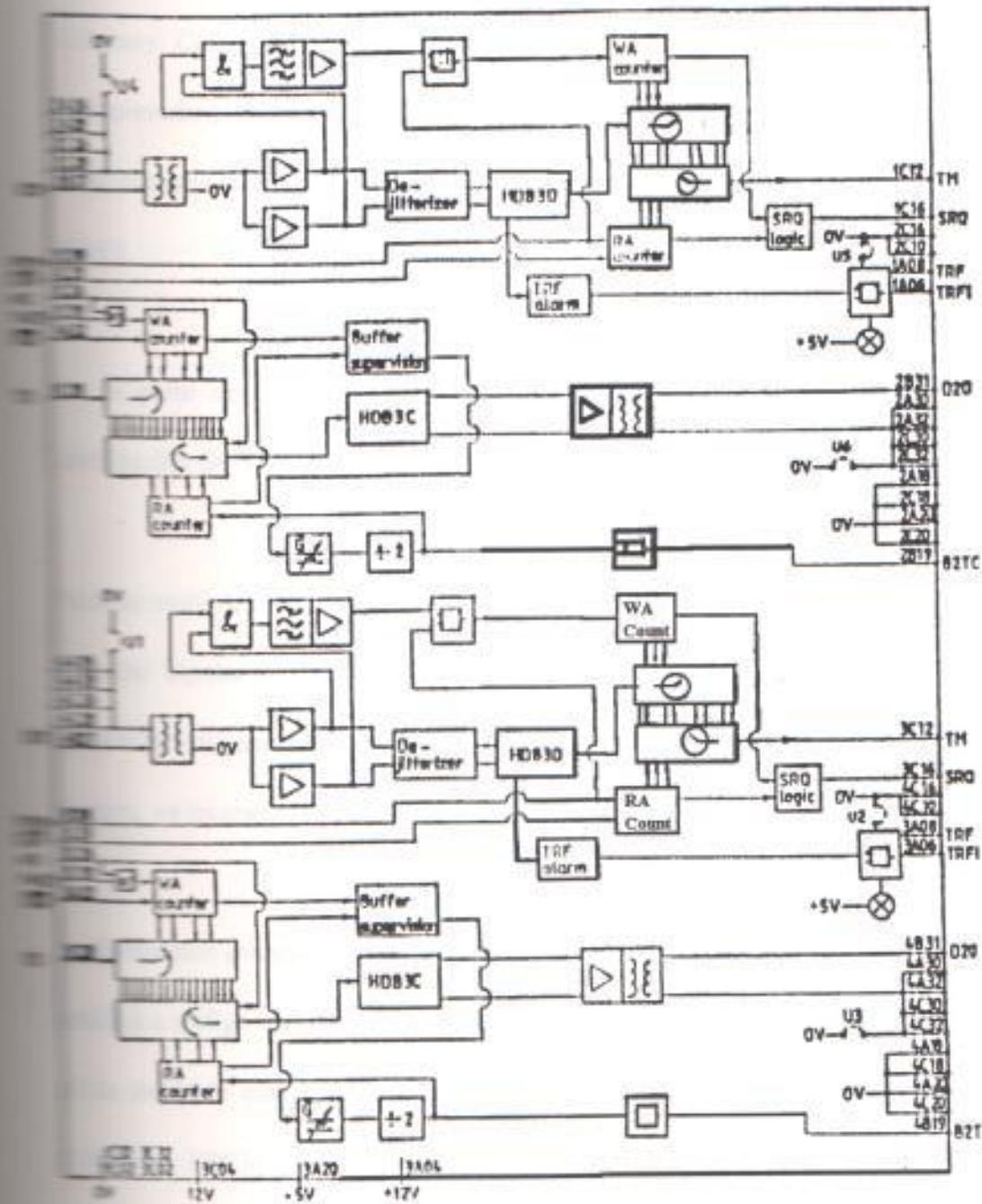


FIG. 9 "8/34 Mb Tributary Unit"

Generalidades

La unidad esta dividida en dos partes idénticas, cada una conteniendo una de 8 Mbps Tributary. Cada Tributary puede considerarse dividida funcionalmente en una parte de multiplexado y una parte de desmultiplexado. En la parte de multiplexado se regenera la señal entrante de 8 Mb, y se recupera la frecuencia de reloj y se decodifica el código HDB3.

En la parte de desmultiplexado se separan los bits de enganche de trama y de sincronización de ritmo de temporización, después de lo cual la señal se codifica en HDB3.

Parte de multiplexado

La señal bipolar de 8 Mb entrante se rectifica y se amplifica. Entonces el ritmo de temporización, necesario para almacenar la información tributaria en una memoria tampón, es recuperada por un circuito de resonancia.

La fluctuación entrante se atenúa en la unidad supresora de dicha fluctuación. La señal se convierte a código binario en un decodificador de HDB3 (HDB3-Decoder). La lectura de la señal desde la memoria tampón ocurre discontinuamente, controlada por un reloj de 192 KHz, TRCM (Tributary Read Clock Mux side), desde la unidad "34 Mb Control Unit". TRCM es el reloj de la señal a la salida.

El grado de relleno de la memoria está supervisado por "Write Address Counter" y "Read Address Counter". Al alcanzarse un cierto número mínimo de bits en la memoria la lectura de salida una señal SRQ (Stuffing Request) es enviada a la unidad "34 Mb Control unit T". La unidad de control realiza el relleno en el mas alto orden de la estructura de la trama y responde con DSM (Do Stuff Mux side) que limpia a SRQ.

Si la señal entrante se pierde, un alarma, TRF (Tributary Fault) es enviada a la unidad "34 Mb Control unit", y se enciende un led al frente del panel de la tarjeta.

Parte de desmultiplexado

Cada flujo tributario procedente de "34 Mb Control unit" se carga en forma discontinua en una memoria tampón al ritmo determinado por la señal de reloj, TWCD (Tributary Write Clock Demux side), también entrante desde la unidad de control.

Los bits de relleno en la señal son removidos por el envío de DSD (Do Stuff Demux) desde la unidad "34 Mb Control unit R". TWCD es interrumpida por los bits de control.

La frecuencia de lectura de salida de la memoria tampón está controlada por un oscilador de cristal. El número de bits de la memoria está supervisado por "Read Address Counter" y "Write Address Counter" para poder generar una señal de control al oscilador de cristal.

Cuando el número medio de bits de la memoria tampón es constante, la señal de salida tendrá el ritmo de temporización correcto. La información sobre el estado de los contadores "Read Address Counter" y "Write Address Counter" se envía al comparador que genera una señal modulada en anchura de pulsos, cuya anchura es proporcional a la cantidad de información que se encuentra cargada en la memoria tampón.

La señal de 8448 Kb se envía por fin desde la memoria tampón, a través del codificador BCC y después de convertirse a bipolar por la línea.

Posibilidades de reconexión

El conductor externo coaxial puede ser separadamente conectado a tierra en la salida de la interface D2.

Con un DIP switch accesibles al frente de la tarjeta, es posible inhibir el envío de la TRF a la unidad "34 Mb Control unit R".

34 Mb Control unit T" ROF 137 7270 /-

Ver el esquema de bloques de la fig.

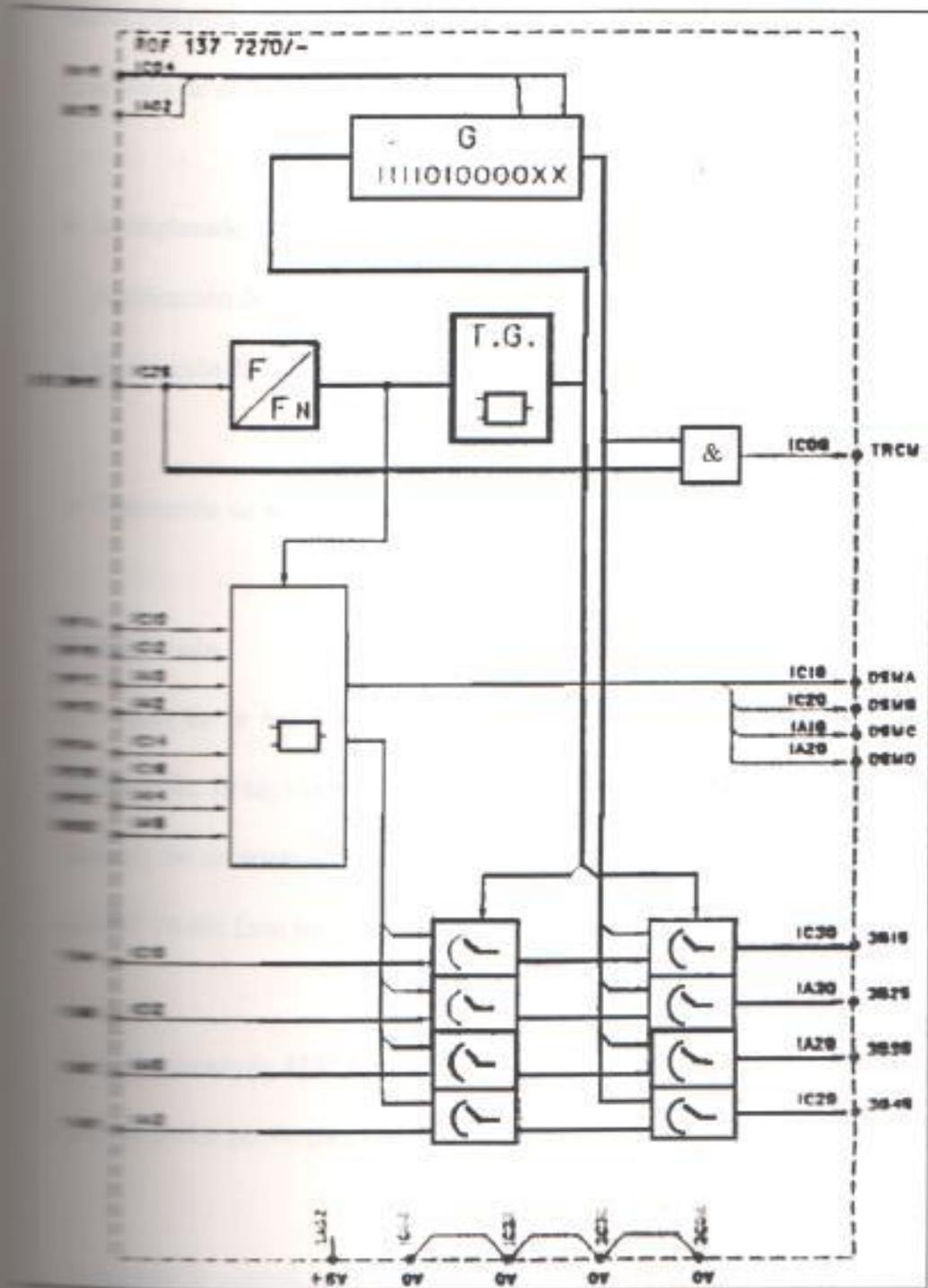


FIG. 10 "34 Mb Control Unit T"

Generalidades

Esta placa de circuitos tiene tres funciones:

- Multiplexado de los flujos tributarios, palabras de enganche de trama, bits de justificación de ritmo de temporización, bit de alarma y bit de reserva.
- Generación de señales de control para el lado de emisión.
- Generación de alarmas resultantes.

Multiplexado

Los datos de la entrada TM, son primero multiplexados con los bits de control de justificación. El siguiente multiplexor inserta la palabra de alineamiento de trama, bit de alarma y bit de reserva. Entonces la señal es enviada en adelante, en forma paralela, a la unidad "34 Mb Line Interface unit".

El reloj entrante de 8592 Khz, BT3BS, que viene desde la unidad "34 Mb Line Interface unit" se divide por 96 para contar las cuatro subtramas.

La sección de control genera señales de control para el proceso de justificación del ritmo de temporización en las placas de los tributarios. Se da información sobre el instante en

que se generan los bits de enganche de trama, el instante en que se inserta un mensaje de justificación de ritmo de temporización y el instante en que puede llevarse a cabo la justificación. También una señal de interrupción de reloj (TRCM) es generada. La señal de reloj controla la lectura de salida desde la memoria tampón de la unidad "8/34 Mb Tributary unit", y se interrumpe cuando la palabra de alineamiento de trama o bits de control de justificación son insertados en un flujo de datos.

Una frecuencia generada de justificación sintética, $7/16$ de la frecuencia de trama, inserta la justificación sintética en caso de alarmas TRF.

2.2.3.3 "34 Mb Control unit R", ROF 137 7271 /-

Ver el esquema de bloques de la figura

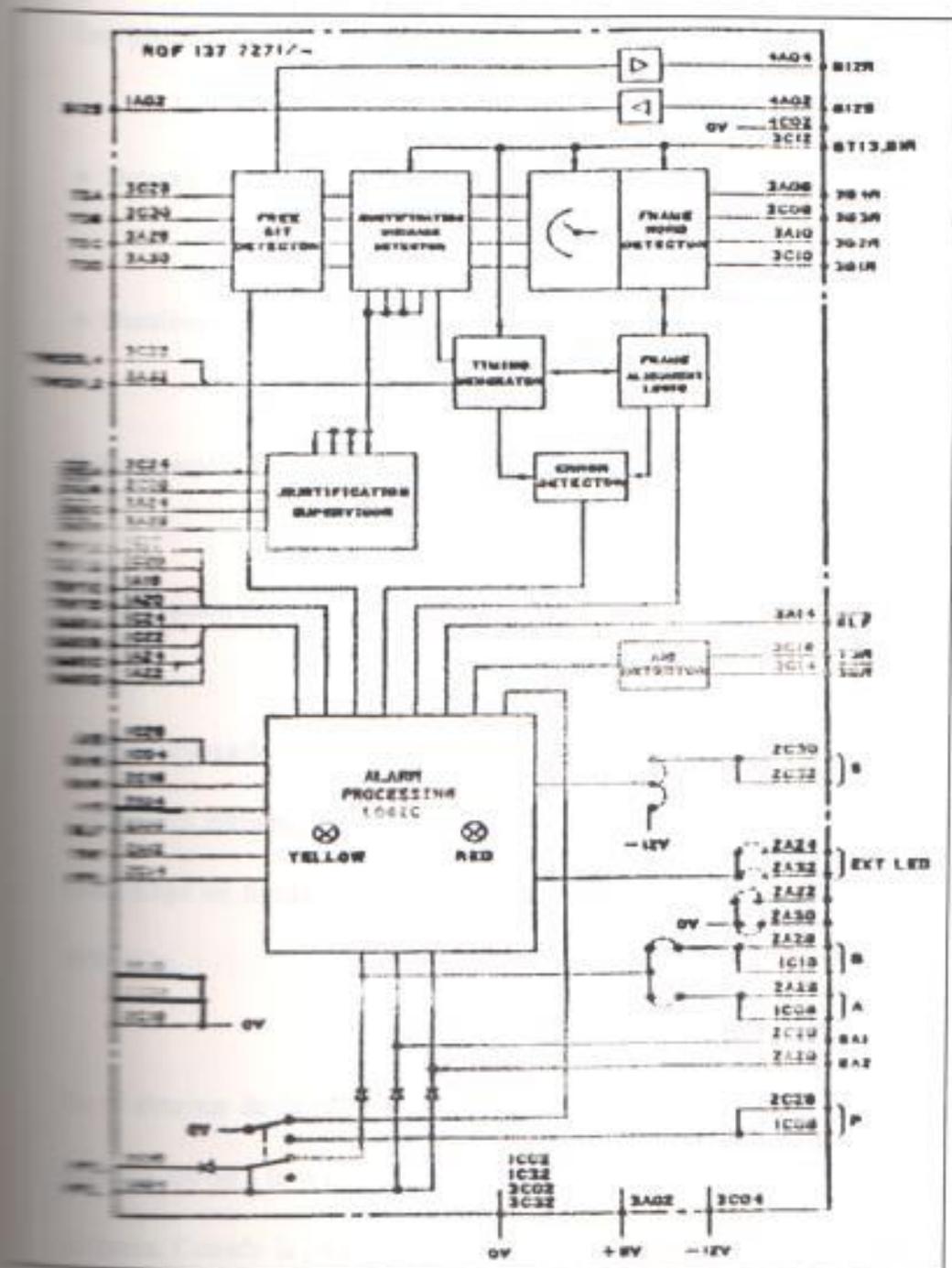


FIG. 11 "34 Mb Control Unit R"

Esta placa de circuitos tiene las siguientes funciones:

• **Detección de trama**

- Detección de la palabra de alineamiento de trama

• **Distribución de datos**

- Distribución de datos a los cuatro tributarios con el correcto ritmo de temporización

• **Señales de control**

- Generación de señales de control para el lado del desmultiplexado

• **Señales de alarma**

- Generación de las alarmas de acción consecuentes

• **Señales de sincronización**

Desmultiplexado

Las señales entrantes desde la unidad "34 Mb Line Interface unit" son flujos de datos de

1952 Kbps en formato paralelo de 4 bits y una frecuencia de recuperación de reloj de

1952 KHz. **Señales de trama**

En el detector de la palabra de trama el flujo de bits entrantes son desplazados hacia

adelante, un bit a la vez. Cada combinación es comparada con la palabra de alineamiento

de trama. Cuando la palabra de alineamiento de trama es hallada, una señal es enviada al

bloque de alineamiento lógico de trama.

Este bloque detecta cuando en el flujo de bits la palabra de alineamiento de trama es hallada. Cuando tres palabras de alineamiento de trama son halladas, el alineamiento de trama se considera estable. Las salidas son los cuatros flujos paralelos de bits en correcta fase y una señal de sincronización para el generador del ritmo de temporización.

El director de mensajes de justificación y el supervisor de justificación detecta y cuenta el nivel alto del bit de control de justificación. En caso de dos bits de control de justificación altos en una trama, una señal, DSD (Do Stuff Demux side), es enviada a la unidad "334 Mb Tributary unit".

El bit 11 y el bit 12 son detectados en el detector de bit de reserva.

El generador de ritmo de temporización consiste de contadores que dan a la unidad las señales necesarias de temporización. También genera la señal de reloj TWCD, enviada a la unidad "334 Mb Tributary unit".

3.4 "34 Mb Line Interface unit" ROF 137 7272 /-

Generalidades

Esta placa está funcionalmente dividida en una parte de multiplexado y una de desmultiplexado. La parte del multiplexado desarrolla la codificación HDB3 y la adaptación a la línea. Tiene un oscilador de cristal controlado por voltaje usado como un sistema de reloj.

La parte de desmultiplexado desarrolla de la decodificación HDB3 y recuperación del ritmo de temporización.

Multiplexado

Cuando la señal paralela que viene desde la unidad "34 Mb Control unit T", pasa a través del convertidor Parallel-Serial. La señal serial de 34 Mb es entonces enviada al codificador HDB3. Entonces se lleva a cabo la conversión de unipolar a bipolar. Finalmente la señal se envía fuera por medio de la interface D3.

La señal de reloj de 34368 Khz es generada en un oscilador de cristal controlado por voltaje y es usada como ritmo de temporización para la parte del multiplexado y desmultiplexado. Este ritmo es dividido para cuatro, enviando a la unidad "34 Mb Control unit".

Desmultiplexado

La señal entrante de 34 MB es rectificadora y amplificada. Entonces se envía al decodificador HDB3. En la última unidad, la señal se alimenta a un circuito de resonancia en paralelo con una frecuencia de resonancia de 34368 Khz. Si la señal entrante se pierde, una alarma (SLF) es enviada a la unidad "34 Mb Control unit R".

Después de la conversión a código binario en el decodificador HDB3, la señal se divide en cuatro señales paralelas en el convertidor Serial-Parallel. Estas señales son entonces enviadas a la unidad "34 Mb Control unit R".

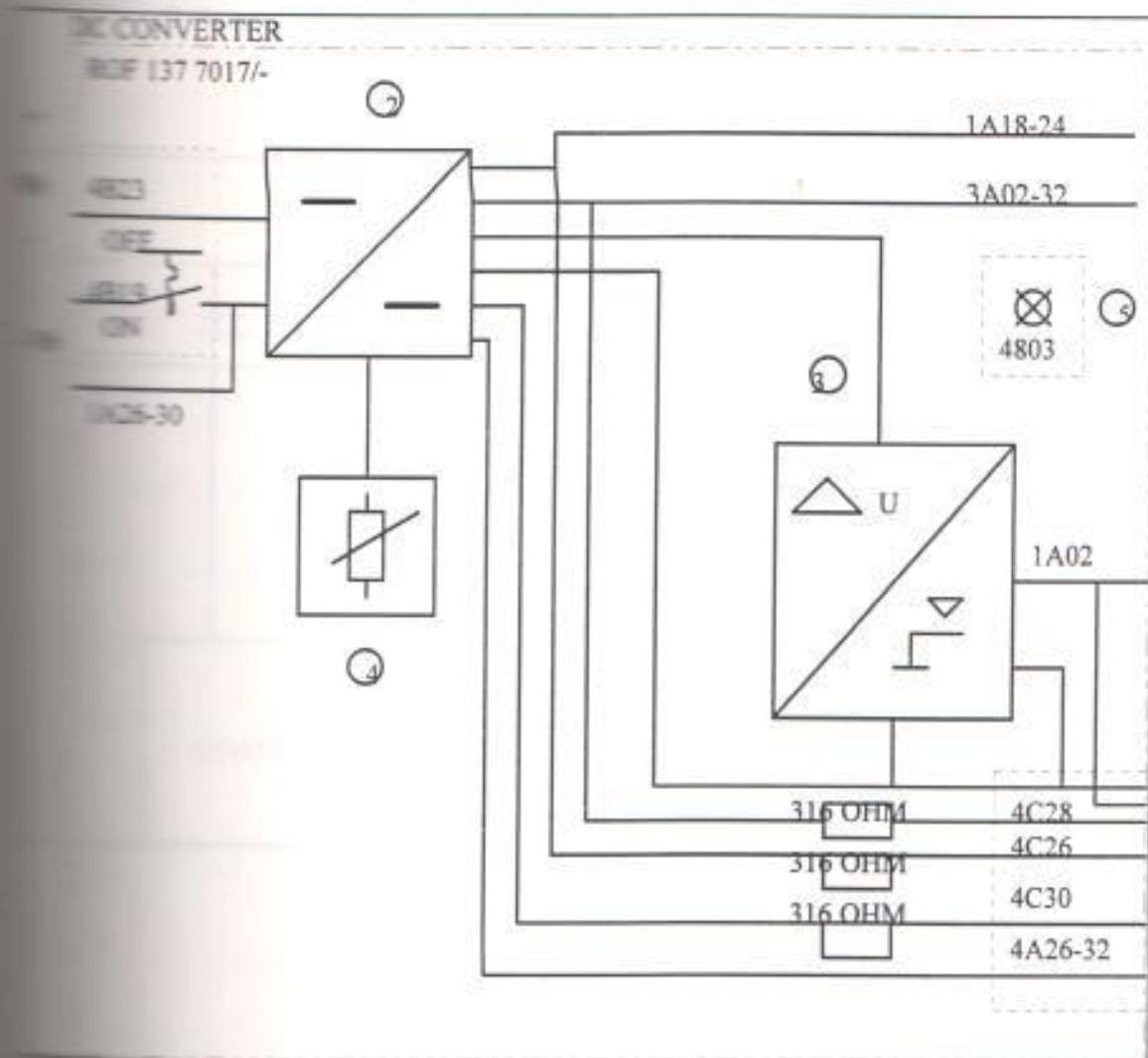
Conexiones

El conductor externo coaxial puede ser separadamente conectado a tierra a la entrada/salida en la interface D3.

El reloj interno de 34368 Khz puede ser reconectado para control interno de fase.

ROF 137 7017 /-

Ver el esquema de bloques de la figura y el esquema simplificado.



- ① Interruptor de corriente
- ② Convertidor de c.c.
- ③ Relé de alarma por cese de la tensión secundaria de alimentación
- ④ Potenciómetro de ajuste de las tensiones de salida
- ⑤ Diodo pilot verde

⊕ Puntos de medición

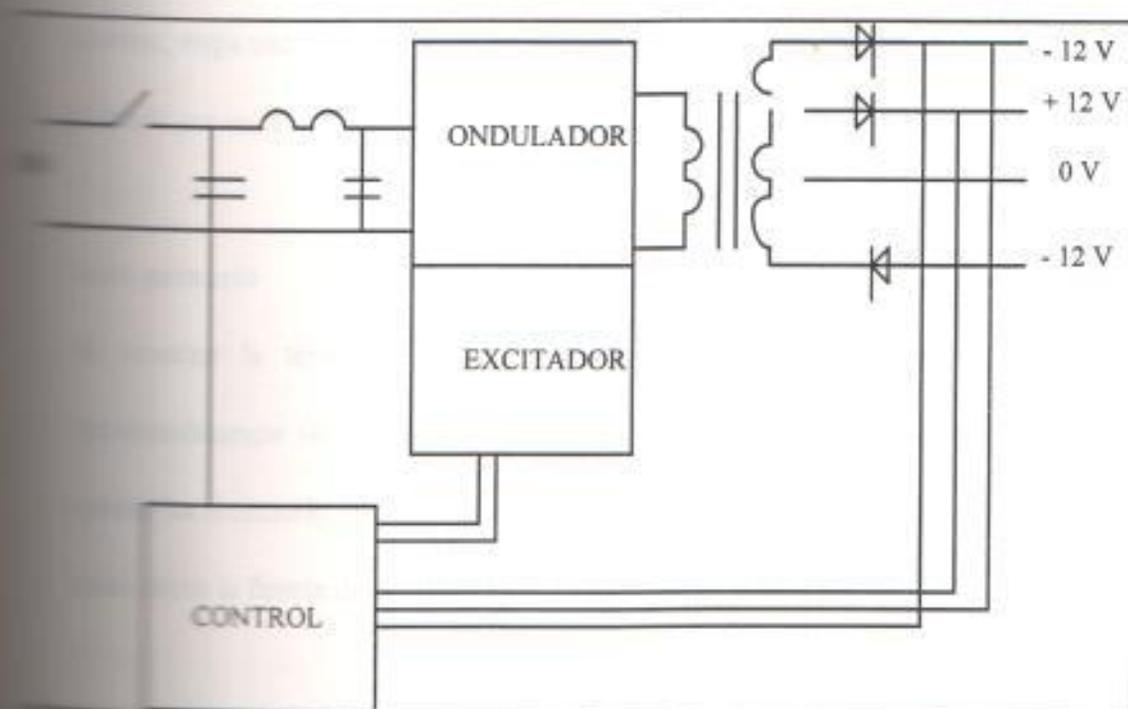


FIG. 12 "DC Converter"

Características

El módulo "DC-Converter" convierte la tensión de batería, que puede ser entre -30 y -72

en las tensiones de salida +5 v, -12 v y +12 v.

Los componentes van montados sobre una placa de circuitos impresos del tipo ROF 137

con un módulo de anchura (20,3 mm) en su lugar en el almacén.

En su lado primario consiste en un filtro de entrada, sección de control con amplificador de error, etapa excitadora y sección de ondulator, mientras que en el lado secundario está formado por un transformador principal, sección rectificadora y sección de filtro.

Lado primario

Al conectar la tensión la sección de control recibe una tensión de trabajo de aproximadamente 10 v desde la batería, a través de un regulador de tensión. Una vez el sistema ha alcanzado sus condiciones de régimen, esta tensión se recibe a través de un diodo desde la fuente de tensión -12 v.

En la sección de control se generan los pulsos necesarios para controlar la etapa de excitación. La sección de control comprende también un amplificador de error. La frecuencia del ondulator es aproximadamente 22 Khz. La etapa de excitación hace pasar a continuación plena un transistor de potencia de la sección del ondulator que alimenta a un transformador principal.

Lado secundario

Al pasar el transistor de potencia al corte se transfiere energía al lado secundario del transformador principal. Los diodos de la sección de rectificación conducen y el condensador pertinente se carga.

Cada tensión de salida tiene un filtro de salida del tipo LC.

Las tensiones de salida de +12 v y +5 v se detectan en común y se comparan con la tensión a través de un diodo Zener. Si la tensión de +5 v ó +12 v tiende a aumentar ello resulta en que la anchura de pulsos disminuye restableciéndose las tensiones nominales.

Circuitos de protección

Para proteger el aparato contra cortocircuitos y sobrecargas hay circuitos al efecto que limitan la corriente de salida. Estos circuitos detectan la corriente de emisor del transistor de potencia y la señal de sobrecorriente se aplica a la sección de control.

Las tensiones de +12 y -12 v tienen una protección contra sobretensión en forma de diodos Zener en las salidas. La tensión de +5 v está protegida por un bucle de regulación

En la salida de 5 v hay un relé de alarma cuyos contactos están conectados al plano posterior del almacén y al frente a través de una resistencia en serie de 12,1 ohm.

CONEXIONES EXTERNAS, INTERFACES

INTERFAZ DE 8 Mbps, D2

El cable de estación se conecta usando dos conectores BYB 2/RNV 325 al interfaz D2 de la unidad "8/34 Mb Tributary unit". La atenuación permisible de la señal recibida es de 6 dB a 4 Mhz, lo que corresponde a aproximadamente 200 m de cable coaxial TS005, ó unos 135 m de cable del tipo TZC 75024.

3.2 INTERFAZ DE 34 Mbps, D3

El cable de estación se conecta con un conector BYB 2/RNV 325 al interfaz D3 de la unidad "34 Mb Control unit R". La atenuación permisible de la señal recibida asciende a 20 dB a 17 Mhz, lo que corresponde a aproximadamente 200 m de cable coaxial tipo RG 75005 ó unos 125 m de cable del tipo TZC 75024.

4 DATOS TÉCNICOS

Número total de tributarios de 8448 Kb	máximo 4
Método de multiplexado	entrelazado cíclico de bits con adaptación de ritmo de temporización por medio de la inserción o justificación de bits.
Estructura de tramas	De acuerdo con la Rec. G.751 del CCITT

INTERFAZ DIGITAL DE LÍNEA DE 8448 Kbps (Rec. G.703, CCITT)

Código de línea	HDB3
Cable coaxial:	
amplitud de pulsos	2.37 v
atenuación de entrada, tolerancia	0 - 6 dB
impedancia	75 ohm, resistiva

INTERFAZ DIGITAL DE LINEA DE 34368 Kbps (Rec. G.703, CCITT)

Código de línea	HDB3
amplitud de pulsos	1.0 v
Tolerancia en atenuación de entrada	0 - 12 dB
impedancia	75 ohm, resistiva

REGULACION

Formas de tributarios:

Fluctuación permisible a $f < 400$ Hz	1.5 UI pico a pico
Fluctuación permisible a $f > 3$ KHz	0.2 UI pico a pico

SEÑALES DE ENTRADA

Señales de tributarios:

Máxima fluctuación generada cuando no 0.25 UI pico a pico

Mínima fluctuación en la entrada a $f < 400$

UI:

Señales múltiplex:

Mínima fluctuación permisible a $f < 1.0$ KHz 1.5 UI pico a pico

Mínima fluctuación permisible a $f > 10$ KHz 0.15 UI pico a pico

Señales múltiplex:

Máxima fluctuación generada a 0.05 UI pico a pico

$100 \text{ Hz} < f < 800 \text{ KHz}$

TRANSFERENCIA DE LA FLUCTUACIÓN

Transferencia de fluctuación a $f < 100$ Hz 0 dB

Transferencia de fluctuación a $f > 100$ Hz -20 dB/década

considera puesto a tierra	0 a -5 v
considera que no está puesto a tierra	-8 a -57 v
resistencia de bucle	2 Kohm
SEÑAL DE SALIDA	
max. tensión de contacto	-72 v
corriente continua,	50 mA
contacto cerrado, máx.	
corriente de fuga,	50 μ A
contacto abierto, máx.	
CONSUMO DE POTENCIA	
(incluye convertidor de c.c.)	20 W
Tensión de alimentación, batería	-30 a -72 v
Rectificador de red, opcional	110, 127, ó 220 v
	$\pm 10\%$
Frecuencia de red	45 - 65 Hz

AMBIENTE

Temperatura	0 - 45 °C
Humedad del aire	máx. 90%

DIMENSIONES

Almacén, altura x anchura x fondo	244 x 244 x 220 mm
Bastidor para 16 almacenes	2743 x 600 x 260 mm

PESO

REF-42301 con todos los aparatos	5.5 Kg
----------------------------------	--------

2.3 EQUIPO MULTIPLEX DIGITAL DE 34/140 Mbps ZFH 41501

2.3.1 CONSIDERACIONES GENERALES

El equipo múltiplex ZFH 41501 convierte cuatro afluentes asínconos de 34368 Kbps en una señal digital de 139264 Kbps correspondiente a 1920 canales y viceversa.

Este equipo es del tipo de construcción mecánica BYB de Ericsson lo que resulta en una instalación simple y en interfaces bien accesibles ya que las conexiones externas se hacen por el frente del equipo.

2.3.2 CONSTRUCCIÓN ELÉCTRICA Y FUNCIONAMIENTO

La construcción eléctrica puede seguirse en el esquema de bloques de la fig.

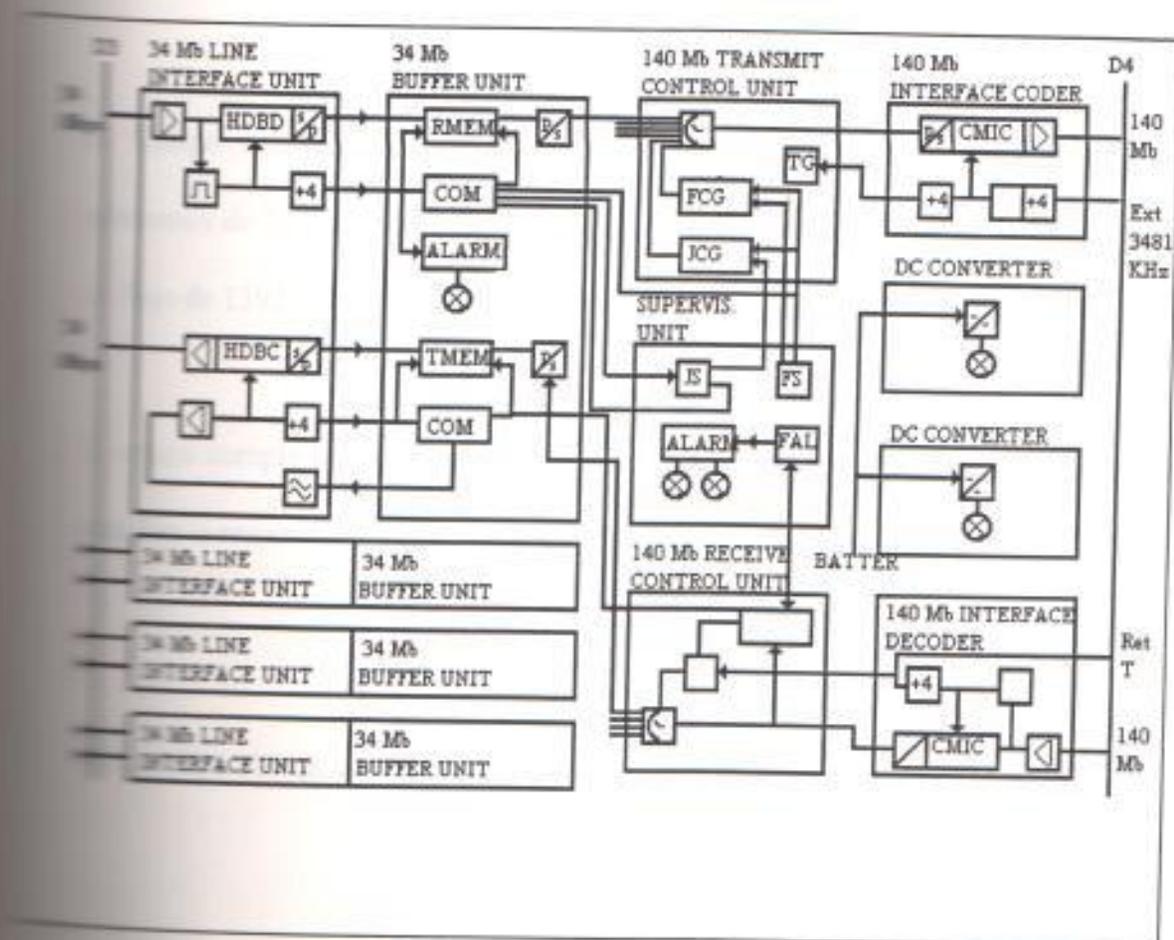


FIG. 13 Esquema de Bloques del Equipo 34/140 Mb

El Equipo múltiplex digital tipo ZFH convierte un máximo de cuatro afluentes asincronos de 34368 Kbps, cada uno de ellos correspondiente a 480 canales de habla, en un flujo de 139264 Kbps correspondiente a 1920 canales de habla, y viceversa.

El equipo cumple la recomendación G. 751 del CCITT; las interfaces de 34 y 140 Mbps cumplen la recomendación G. 703 del CCITT

MULTIPLEXACION

Los afluentes de 34 Mb se conectan a la unidad respectiva "34 Mb Line Interface unit" a través del interfaz D3.

En esta unidad de interfaz de línea la señal digital entrante se convierte en una señal serial extrayéndose al mismo tiempo el ritmo de temporización del afluente. La señal codificada en HDB3 se decodifica y se convierte de forma de serie a forma en paralelo de 34 Mb. La señal y el ritmo de temporización se envían después a la unidad "34 Mb Buffer

La unidad "34 Mb Buffer unit" contiene una memoria de recepción (RMEM) y un comparador (COM) para el proceso de justificación de temporización. La carga en la memoria tiene lugar continuamente al ritmo de 34368 Khz mientras que la lectura de salida se hace en forma discontinua al ritmo de 34816 Khz. Las interrupciones en la lectura de salida están causadas por los bits de servicio en la trama de 140 Mbps.

El número de bits que se encuentran en la memoria en cada momento está supervisado por "Supervisory unit" a través del comparador. Cuando el número de bits en la memoria empieza a ser pequeño, el órgano de justificación de supervisión (JS) hace que se emita un mensaje de justificación desde el generador de señal para justificación de la temporización (JCG) y que el proceso de carga en RMEM se inhiba a continuación durante el tiempo de una posición de bit.

En la unidad "140 Mb Control unit" la señal procedente del generador de código de trama (FCG) se multiplexa con las cuatro señales de los afluentes procedentes de RMEM y JCG formando una trama de 4^o orden. Esta señal se organiza en forma en paralelo de 4 bits y se emite a la unidad "140 Mb Interface Coder" en la que la señal se convierte a forma en serie, se codifica en CMI y se envía al interfaz D4.

El ritmo de temporización de emisión se genera en la unidad "140 Mb Interface Coder" a partir de un oscilador de cristal controlado por tensión, con frecuencia 139264 Khz.

3.2.3 DEMULTIPLEXACION

La señal en D4R entrante (140 Mbps) se conecta a "140 Mb Interface Decoder". Aquí se recupera la señal y se extrae el ritmo de temporización. A continuación la señal se desmultiplexa de CMI y se convierte a forma en paralelo de 4 bits, correspondiente a los cuatro canales.

La señal se envía a continuación a "140 Mb Control unit, R" en donde se detecta la posición de alineamiento de tramas y el mensaje de justificación, en el detector de código de justificación (FJCD).

El detector FJCD envía un pulso de coincidencia, por cada palabra de alineamiento de trama detectada, a "Supervisory unit".

En esta unidad de supervisión el pulso de coincidencia se compara con el pulso de trama precedente del generador interno de ritmo de temporización (TG) en la lógica de alineamiento de tramas. Si los pulsos no coinciden, TG se ajusta a través de FJCD para cumplir los criterios de alineamiento de tramas del CCITT.

Durante el proceso de alineamiento de tramas se inhiben las señales de los tributarios.

FJCD controla la lectura de salida de las señales de los tributarios a la memoria de trama (TMEM) en cada unidad "34 MB Buffer unit" e inhibe la lectura de salida de la información para el alineamiento de tramas y la información sobre justificación.

El ritmo de temporización de salida de cada afluente se genera en un oscilador de cristal situado en "34 Mb Line Interface unit". Un comparador (COM) de la unidad "34 Mb Buffer unit" detecta el número de bits en TMEM y genera una señal de control al oscilador. A fin de reducir a un mínimo la fluctuación de fase en la señal de salida la señal de control en bucle de realimentación del oscilador se pasa por un filtro de paso

La señal de afluente se codifica a HDB3 y se envía al interfaz D3S.

2.2.4 DOTACIÓN DE UNIDADES EN EL BASTIDOR

En un almacén ZFH 41501 con dotación completa de unidades se incluyen las siguientes

placas de circuitos con componentes:

"34 Mb Line Interface unit"	ROF 137 7272 /1
"34 Mb Buffer unit"	ROF 137 7045 /1
"140 Mb Control unit T"	ROF 137 7040 /1
"140 Mb Control unit R"	ROF 137 7042 /1
"140 Mb Interface coder"	ROF 137 7043 /1
"140 Mb Interface decoder"	ROF 137 7044 /1
"Supervisory unit"	ROF 137 7041 /1
"Dc Converter"	BRM 90706

2.3 DESCRIPCIÓN DE UNIDADES

“34 Mb LINE INTERFACE UNIT”, ROF 137 7272 / I

esquema de la figura

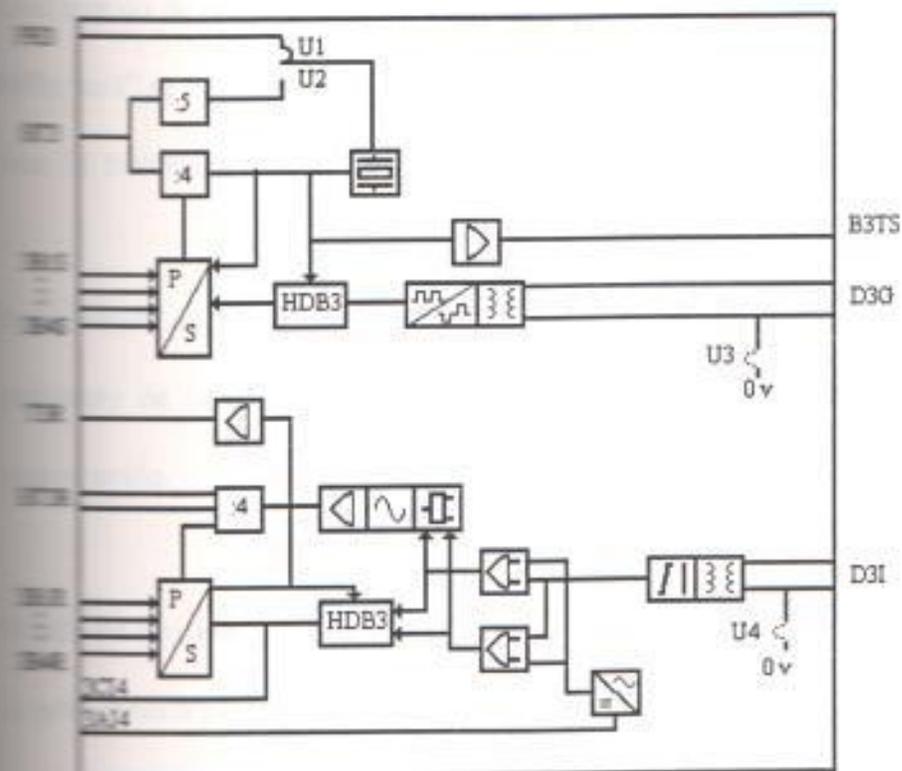


FIG. 14 "Line Interface Unit"

Generalidades

La unidad de interfaz de línea de 34 Mb puede considerarse dividida funcionalmente en un sentido de emisión y un sentido de recepción.

En el sentido de emisión la señal codificada en binario procedente de la unidad "34 Mb Buffer unit" se convierte en una señal codificada en HDB3 apta para transmitirse por la línea. La frecuencia reloj se genera en un oscilador de cristal controlado por tensión.

En el sentido de recepción esta misma unidad convierte la señal codificada e HDB3 procedente de la línea en una señal codificada en binario, extrayendo el ritmo de sincronización.

Sentido de emisión

La señal binaria procedente de "34 Mb Buffer unit", en forma en paralelo de 4 bits, se convierte en (3) a forma en serie. A continuación la señal se pasa a un codificador HDB3 (4). La señal codificada en HDB3 se envía, después de su conversión a forma bipolar en (5), hacia la línea (D3S).

El ritmo de reloj se genera en un oscilador de cristal controlado por tensión (1). En (2) la frecuencia del oscilador se divide a 8448 Khz. El ritmo de temporización está controlado desde "34 Mb Buffer unit" por medio de la señal PH3.

Sentido de recepción

La señal PCM de 34 Mb entrante se recibe en la etapa de entrada (6) en la que se rectifica. A continuación la señal se envía por una parte al decodificador de HDB3 (10), por otra parte a los circuitos de extracción de ritmo de temporización (7) en donde se aplica a un circuito resonante en paralelo con frecuencia de resonancia 34368 Khz.

La señal ya decodificada de HDB3 se convierte en (11) de forma en serie a forma en paralelo de 4 bits. A continuación la señal se pasa a la unidad "34 Mb Buffer unit".

El ritmo de temporización de recepción, procedente de (7) pasa un divisor de frecuencia en el que la frecuencia se divide por 4 obteniéndose la señal reloj de recepción.

3.3.2 "34 Mb BUFFER UNIT", ROF 137 7045 /1

Ver el esquema de bloques de la fig.

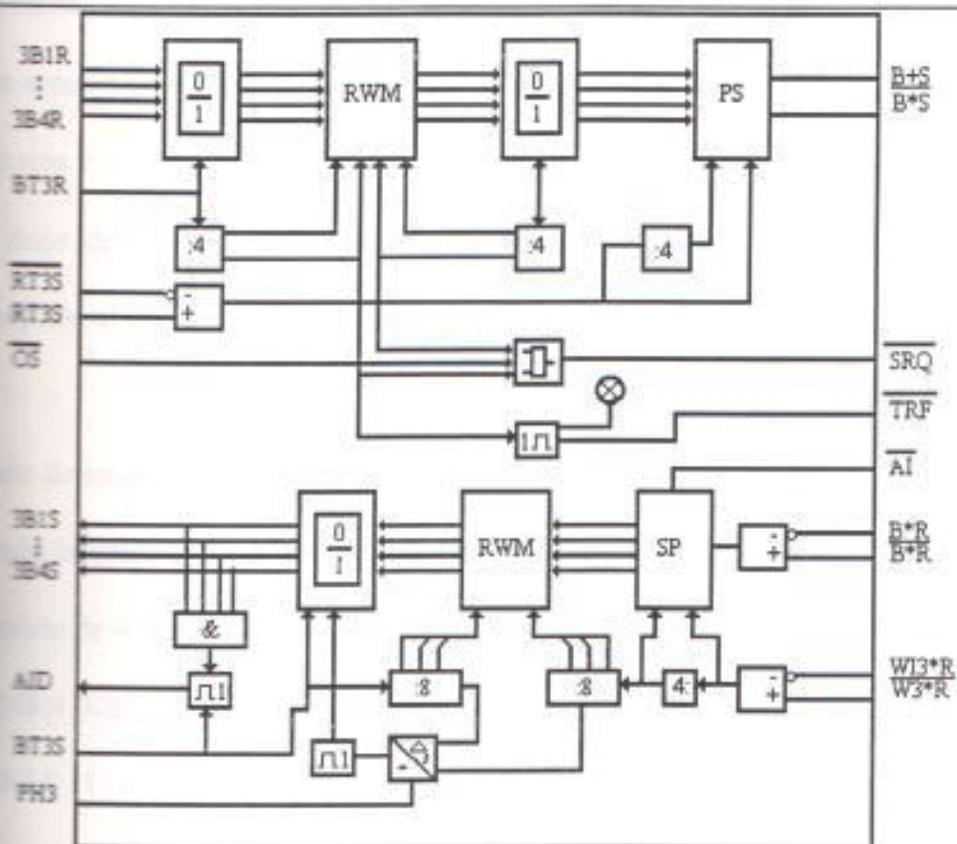


FIG. 15 "34 Mb Buffer Unit"

Generalidades

La unidad tampón (buffer) de 34 Mb se considera dividida en una sección de emisión y una sección de recepción. En la sección de emisión se almacena temporalmente el flujo entrante y se justifica y se sincroniza a la señal de 140 Mbps. En la sección de recepción el flujo del afluente recibido se almacena temporalmente adaptándose el ritmo de recepción al ritmo del afluente.

Lado de emisión

Desde la unidad "34 Mb Line Interface unit" la señal del afluente llegan en forma en paralelo de 4 bits y el ritmo de temporización del mismo, de una frecuencia nominal de 34368.4 Khz. La señal del afluente se carga en una memoria de lectura y escritura (RAM) (1) al ritmo de temporización del afluente. Los ritmos de temporización de los afluentes son normalmente asíncronos. Desde la memoria de lectura y escritura la señal del afluente sale en forma discontinua con una frecuencia de 34816 Khz (139264:4), se convierte de paralelo a serie en (2) y se envía a "140 Mb Control unit, T". Las direcciones de lectura y escritura se generan en (5) y (6), respectivamente.

La lectura de salida de (1) se interrumpe periódicamente durante la emisión de los bits de servicio en la trama de 140 Mbps, en forma variable durante el proceso de justificación. Puesto que el ritmo de salida es mayor que el ritmo de carga en la memoria, la lectura de

salida debe interrumpirse para que la memoria (1) no se vacíe completamente. El número de bits que se encuentran en la memoria está supervisado en (3) comparando las direcciones de lectura y de escritura de la memoria. Cuando el número de bits llega a ser menor de un número determinado, (3) envía una señal (SRQ) que ordena que se inhiba la lectura de la memoria durante el tiempo de una posición de bit.

El ritmo de temporización del afluente entrante se supervisa en (4). En caso de cesar el ritmo se envía una alarma (TRF) a "Supervisory unit" encendiéndose un diodo piloto en el frente de "34 Mb Buffer unit".

Lado de recepción

Desde "140 Mb Control unit, R" la señal del afluente se recibe en forma discontinua un ritmo de 34816 Khz. La señal se convierte de forma en serie a forma en paralelo en (7) y se carga en una memoria de escritura y lectura (RWM) (8).

El ritmo de salida de la memoria se genera en un oscilador de cristal controlable incluido en "34 Mb Line Interface unit" (BT3S). Las direcciones de lectura y de escritura se generan en (9) y (10), respectivamente.

A fin de obtener el ritmo de temporización correcto del afluente se genera una señal de control al oscilador (PH3) comparando las direcciones de escritura y de lectura en (11). Una relación constante implica que el oscilador oscila a la frecuencia correcta. A fin de disminuir la fluctuación de fase en la señal de salida ocasionada por la carga en forma discontinua a (8), la frecuencia PH3 se pasa por un filtro de paso bajo incluido en "34 Mb Line Interface unit".

2.3.3.3 "140 Mb CONTROL UNIT, T", ROF 137 7040 /1

Véase el esquema de bloque de la fig

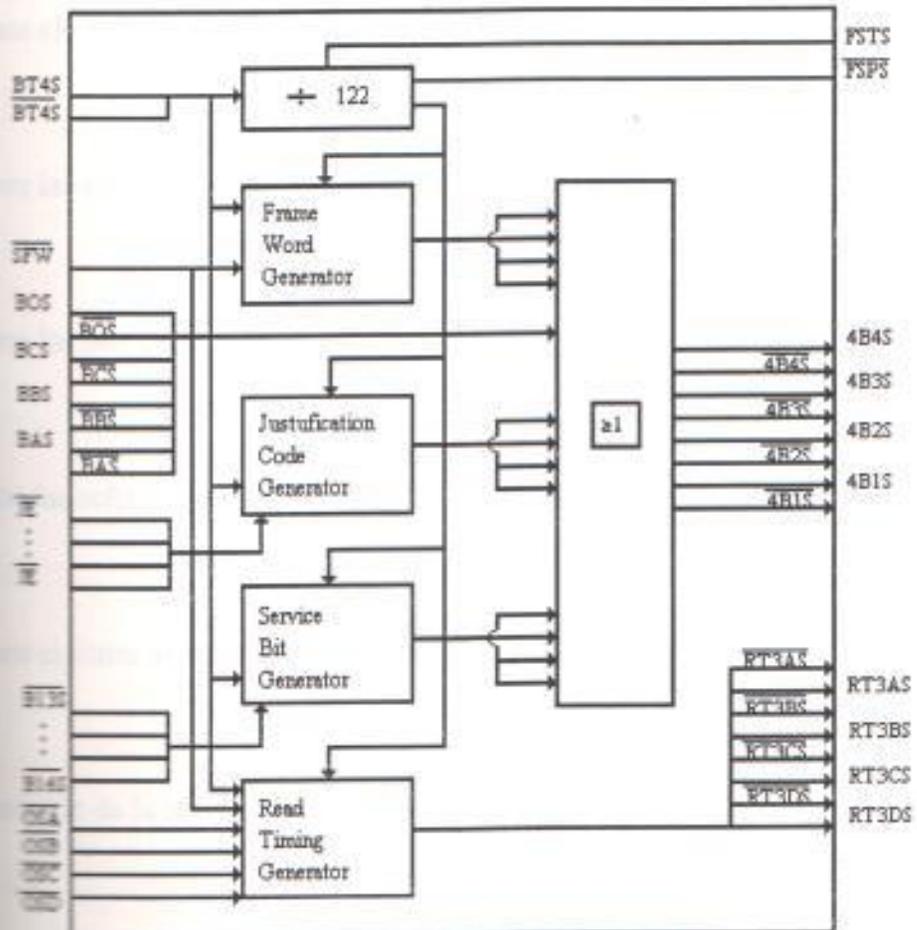


FIG. 16 "140 Mb Control Unit T"

Generalidades

Esta placa ejecuta las siguientes funciones:

- Genera las señales de temporización para las subtramas
- Genera los bits de servicio de la trama
- Recibe las señales de los afluentes y las combina con los bits de servicio
- Genera el ritmo de carga necesario en la unidad "34 Mb Buffer unit"
- Generación de la señal de temporización (1)

La trama de 140 Mbps se considera dividida en seis subtramas. Las señales de temporización para las subtramas se generan en (1). Dividiendo la señal BT4S se genera un pulso de iniciación para la subtrama. Este se distribuye a los restantes bloques de la trama de circuitos. Se genera además una señal de temporización (FSTS) y un pulso iniciador para la subtrama (FSPS) los cuales se envían a la unidad de supervisión.

Palabra de alineamiento de trama, emisión (2)

La palabra de alineamiento de trama se genera en (2). El pulso de trama SWF procedente de "Supervisory unit" y el pulso de subtrama de (1) inician conjuntamente la emisión de la palabra de alineamiento de tramas.

Emisor de mensaje de justificación (3)

El mensaje de justificación se genera en (3). A partir del pulso de trama SWF y del pulso de subtrama de (1) se generan las condiciones para emitir el mensaje de justificación para el afluente respectivo. Según sea el estado de JE^* (Justification enable) se emitirá un mensaje de justificación (=1), o de no justificación (=0) al afluente respectivo.

Emisor de bits de servicio (4)

El estado de los bits de alarma de servicio se registra en los bits B13S-B16S. A partir del pulso de trama (SWF) y del pulso de subtrama procedente de (1) se generan las condiciones para la emisión de los bits de servicio en la trama, B13S-B16S.

Emisor para ritmo de lectura (5)

El ritmo de lectura $RT3^*S$ para la memoria de emisión de "34 Mb Buffer unit" se genera en (5). Por medio del pulso de trama SFW y de los pulsos de subtrama se genera un ritmo de lectura del flujo afluente en el que se hace una pausa en el ritmo de lectura durante la

emisión de la emisión de alineamiento de tramas, de los bits de servicio y del mensaje de justificación.

Según sea el estado de la señal DS se generará o se inhibirá un pulso de lectura para el bit de relleno. En caso de activarse el "bit de relleno" el bit de información precedente deberá a emitirse.

Multiplexor (6)

El multiplexor funciona como una puerta "O". La información se lee en la entrada en forma en paralelo de 4 bits y se envía a "140 Mb Interface Coder".

Placa "140 Mb CONTROL UNIT, R" ROF 137 7042 /1

Generalidades

Los circuitos de esta placa sirven para detectar la palabra de alineamiento de tramas y el mensaje de justificación para generar ritmos de control para el lado de recepción y para generar un ritmo de escritura en las unidades "34 Mb Buffer unit".

Sincronización de las tramas

Las señales se reciben desde "140 Interface Decoder" en forma en paralelo de 4 bits y se cargan en un registro de desplazamiento (1). El detector de palabras de alineamiento de tramas (2) busca en la señal la palabra en cuestión. En estado con alineamiento de tramas la detección está controlada desde "Supervisory unit" por medio de la señal FWP. Se da una señal cuando se espera la palabra de alineamiento de tramas. La señal SFP inicia la búsqueda de la palabra de alineamiento de tramas.

Sincronización de ritmos

Los bits de servicio para justificación se detectan en el detector de código de justificación (3). Se hace aquí una decisión mayoritaria con referencia al estado de los bits de servicio, y la información se pasa al generador de ritmo de escritura (6).

Detector de afluentes (4)

El detector de afluentes (4) se desmultiplexa la información original de los afluentes.

Detección de los bits de servicio

Los bits 13-16 se detectan en (5) y se envían a "Supervisory unit".

Generación del ritmo de escritura

El ritmo de carga (escritura) en "34 Mb Buffer unit" se genera en (6). Este bloque recibe el ritmo de bits, indicación de tramas y ritmo de subtramas, así como la información de justificación, y genera un ritmo de escritura que hace interrupciones para las posiciones del flujo de bits que contienen los bits de servicio, de trama y de justificación, o de ritmo.

Generación de señales de temporización

Las señales de ritmos de temporización se generan en el bloque (7). Se generan aquí, por división para 122, las condiciones de temporización en las subtramas.

UNIDAD "140 Mb INTERFACE CODER", ROF 137 7043 /1

Generalidades

La función de esta unidad es convertir cuatro flujos binarios de bits en una señal codificada en CMI. Se genera además aquí el ritmo de emisión de 139264 Khz.

Flujo de señal

Los cuatro afluentes entrantes consisten en señales binarias ECL con frecuencia 34816 Khz. Los cuatro afluentes se reciben en cuatro receptores de línea y se convierten a continuación de forma en paralelo a forma en serie después de lo cual se codifican en CML. En la etapa excitadora de línea a continuación la señal se adapta a la forma de púlsos de acuerdo con la recomendación G. 703 del CCITT.

Generación del ritmo de emisión

En esta unidad se incluye un oscilador de cristal de 17480 Khz. Esta frecuencia se multiplica por 8 en un rectificador de toda onda y generador de armónicas obteniéndose 139840 Khz. En el caso de un oscilador de oscilación libre la frecuencia de salida puede ajustarse con un potenciómetro accesible por el frente.

El oscilador puede controlarse también por medio de un ritmo externo que se conecta a la terminal "Ext. clock" del frente de la placa.

La conmutación del oscilador entre operación con oscilación libre y con oscilación controlada se hace con reconexiones. La frecuencia del ritmo de control es 34816 Khz (= 139840/4) y la sincronización se hace por comparación de fase.

La placa de circuitos tiene también una entrada de control de ritmo por el plano posterior. Esta entrada se emplea cuando la placa se monta en terminales de línea y se desconecta cuando se emplea en el equipo múltiplex.

3.3.6 "140 Mb INTERFACE DECODER", ROF 137 7044 /1

Véase el esquema de bloques de la fig.

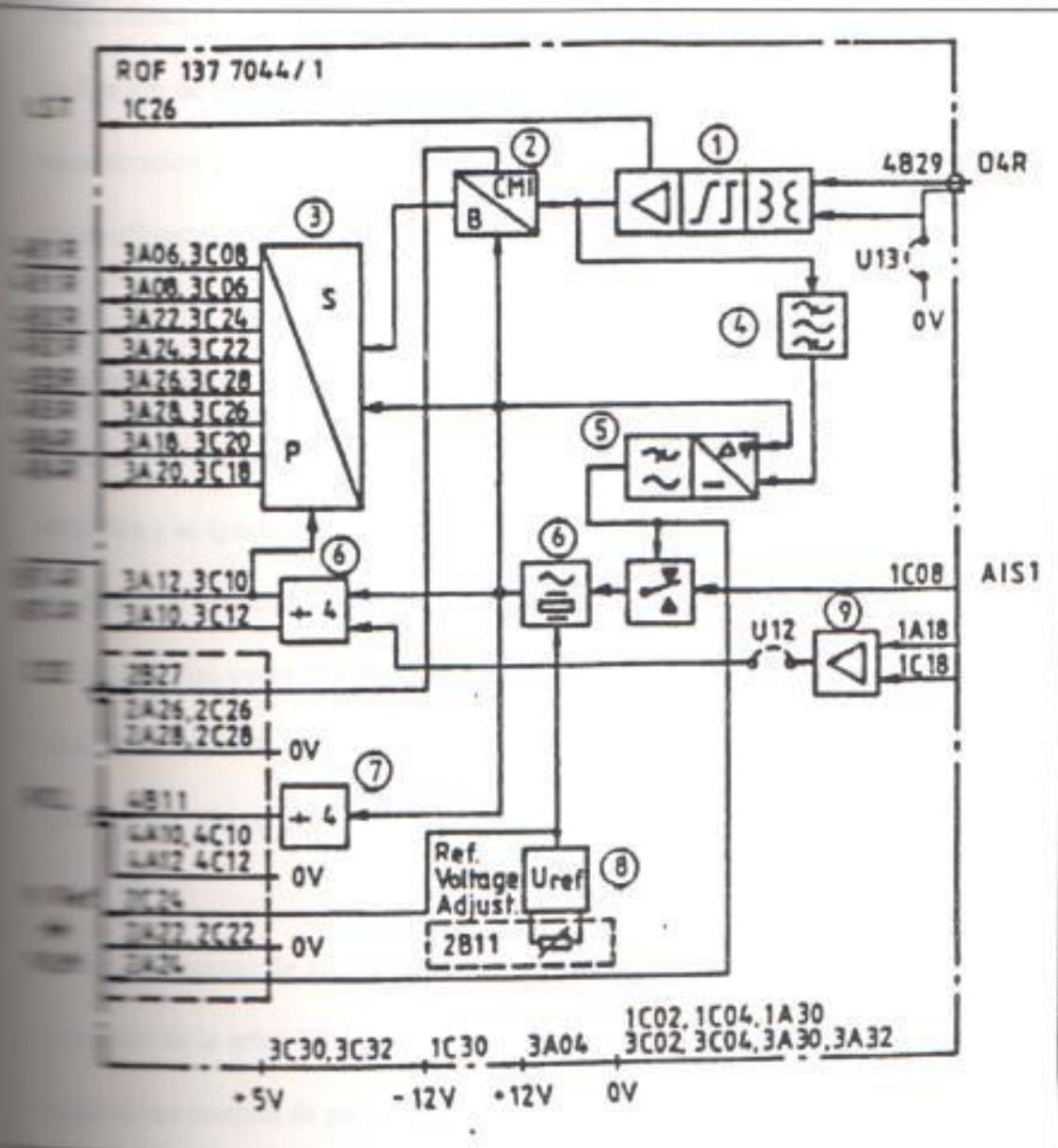


FIG. 17 "140 Mb Interface Decoder"

Generalidades

La función de esta unidad es detectar y regenerar la señal entrante, extraer el ritmo de temporización de la señal de entrada, decodificar de CMI y distribuir la señal por los cuatro afluentes.

Proceso de señal

La señal entrante de 140 Mbps, D4R, se recibe en la etapa de entrada (1) en la que se amplifica y se iguala. Se detecta aquí también el cese de la señal, SLF. La señal se pasa a continuación al decodificador de CMI y se convierte en una señal codificada en binario. Se detectan las eventuales violaciones del código CMI generándose un pulso de error hacia la salida CCE. A continuación la señal se convierte de forma en serie a forma en paralelo de 4 bits en (3) y se envía a la unidad "140 Mb Control unit, R".

Durante el proceso de alineamiento de tramas puede cambiarse el orden de los afluentes por medio de la señal TSH procedente de "140 Mb Control unit, R". La señal TSH pasa a través de un receptor de pulsos (9) y afecta el divisor de ritmo (4) que se inhibe durante el tiempo de 1 bit. Esto implica que los bits en el convertidor serie/paralelo (3) se desplazan en un paso modificándose así el orden de secuencia entre los afluentes.

Generación del ritmo

A partir de la señal procedente de (1) se regenera el ritmo filtrando esta señal en un filtro de paso de banda en (4) y haciendo que, a través de un comparador de fase (5), controle un oscilador de cristal (6) con frecuencia 139264 Khz. En caso de cesar la señal de entrada, el oscilador de cristal pasa a oscilación libre.

El ritmo de 139264 Khz se distribuye al decodificador de CMI y al convertidor serie paralelo. El ritmo se divide para 4 obteniéndose 34816 Khz en (6) que se envían a la unidad "140 Mb Control unit, R". En (7) se divide también para 4 y esta señal resultante (BCL) puede emplearse como ritmo de referencia y a fines de medición.

A través de (8) la frecuencia de oscilación libre del oscilador puede ajustarse para que la sincronización sea lo más correcta posible en caso de cesar la señal de entrada.

"SUPERVISORY UNIT", ROF 137 7041 /1

Ver el esquema de bloques de la fig.

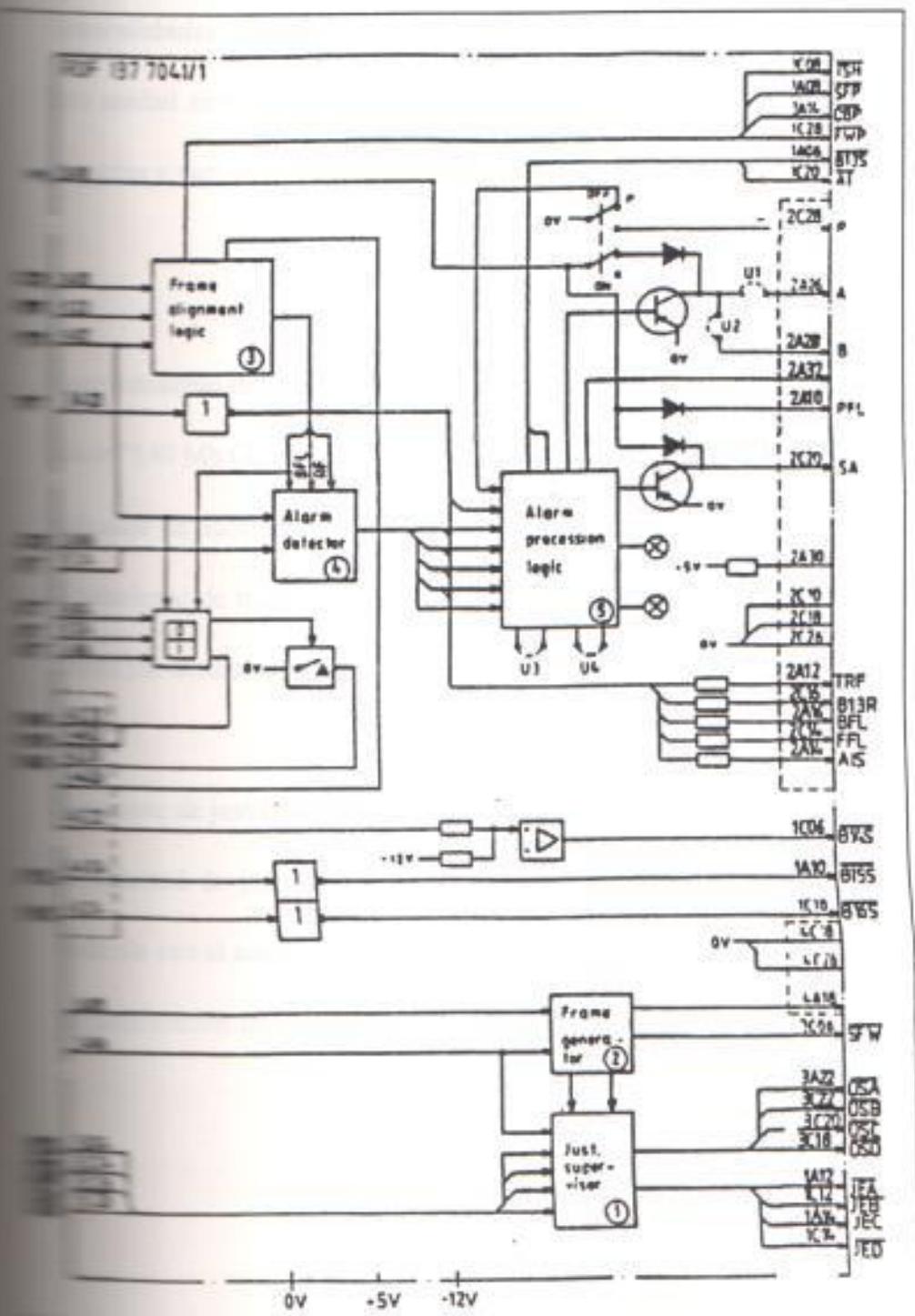


FIG. 18. "Supervisory Unit"

Generalidades

Esta unidad sirve para establecer la sincronización de tramas, para detectar las alarmas primarias y para generar las alarmas secundarias.

Sincronización de tramas, Lado de emisión

Desde "140 Mb Control unit, T" llega el ritmo de subtramas, de 8 Mb (FSTS) así como el indicador de subtramas (FSPS). Una trama consta de seis subtramas. El generador de alineamiento de tramas (1) controla después la emisión de la palabra de alineamiento de tramas por medio de la señal SFW.

El proceso de justificación se supervisa en (2). Desde "34 Mb Buffer unit" llegan señales de solicitud de justificación, SRQ, procedentes del afluyente respectivo. El bloque (2) controla con el auxilio de los indicadores de trama y de subtrama la emisión del mensaje de justificación JE y de relleno de pulsos DS.

Sincronización de tramas, Lado de recepción

La lógica de alineamiento de tramas (3) recibe el ritmo de subtramas FSPR y el indicador de subtramas. En estado con alineamiento de tramas, con el auxilio de la señal FWP se inicia un proceso de acuerdo con el cual los circuitos detectores de la palabra de alineamiento de tramas de "140 Mb Control unit, R" buscan esta palabra. Como respuesta se obtiene la señal FWRI que indica que se ha recibido la palabra correcta.

Después de cuatro palabras erróneas consecutivas de alineamiento de tramas, el bloque (3) inicia la búsqueda de la palabra de alineamiento de tramas por medio de las señales FSP. Si no se ha detectado ninguna palabra correcta después de aproximadamente 30 μ s (40 tramas) los afluentes se permutan por medio de la señal TSH a "140 Mb Interface Unit". Esta señal pasa por "140 Mb Control unit".

Después de detectarse la palabra de alineamiento de tramas, el bloque (3) determina el instante en que ha de buscarse la siguiente palabra de alineamiento de tramas. Después de haberse recibido tres palabras correctas consecutivas de alineamiento de tramas, es cuando se pasa al estado o modo con alineamiento.

Detección de alarmas

Un error de trama, error de bit y la señal AIS se detectan en el detector de alarmas (4).

Desde (3) se recibe un pulso de error de trama por cada palabra errónea de alineamiento de tramas. La alarma por error de trama se genera después de recibirse cuatro pulsos consecutivos.

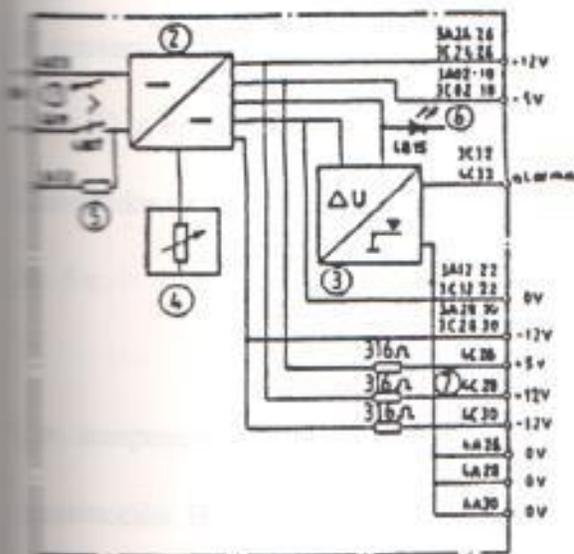
Al detectarse los errores de bits, los pulsos de error hacen avanzar un contador. Al mismo tiempo el contador cuenta hacia atrás con una velocidad que corresponde a una tasa de errores de 10^{-3} . Cuando el contador ha contado al máximo se da una alarma de errores de bits. La señal AIS se detecta por medio de la señal 4BA0. Cuando 4BA0 ha estado a nivel bajo durante una trama completa, se da una alarma indicadora de que se ha recibido señal AIS. Se detecta el bit 13 y cuando B13R ha estado a nivel alto durante dos tramas consecutivas se da la alarma.

Las alarmas primarias que acaban de citarse se envían a la lógica de proceso de alarmas (5) que genera alarmas secundarias con diodos pilotos y cierres de contacto. Las alarmas secundarias se conectan también a un contacto del frente de la placa.

El interfaz para los bits de reserva de la trama, bits 14, 15 y 16, se encuentra en el frente de la placa.

“DC CONVERTER”, BRM 90706

Véase el esquema de bloques de la fig.



1 Interruptor de corriente

2 Convertidor de c.c.

3 Relé de alarma por cesar la tensión de alimentación secundaria

4 Potenciómetro de ajuste de las tensiones de salida

5 Fusible de distribución de $-U_b$

6 Diodo piloto verde

7 Puntos de medición

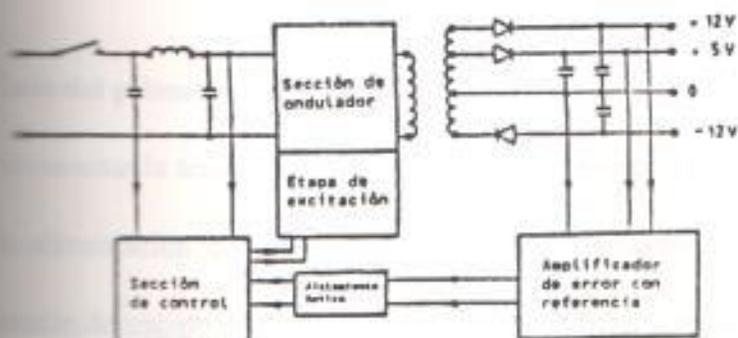


FIG. 19 "DC Converter"

Generalidades

El convertidor de c.c. de la pos. 29 convierte la tensión de baterías, que puede ser entre 30 y 72 v, en las tensiones de alimentación de las unidades, de +5 v, -12 v y +12 v. El convertidor de c.c. de la pos. 26, que es del mismo tipo proporciona una tensión de salida de -5 v.

Las componentes van montados sobre una placa de circuitos impresos del tipo de construcción BYB de Ericsson, que ocupa una anchura de 41 mm (16 módulos de construcción) en el almacén.

Esta unidad tiene en el lado primario un filtro de entrada, sección de control con amplificador de error, etapa de excitación y etapa de ondulator, mientras que en el lado secundario está formado por el transformador principal, sección de rectificador y sección de filtro.

Estado del primario

Al conectar la tensión de funcionamiento al aparato la sección de control recibe tensión de alimentación de baterías a través de un regulador de tensión que proporciona una tensión de trabajo de aproximadamente 5 v a dicha sección de control. Cuando el aparato

ha alcanzado las tensiones de régimen, esta tensión llega a través de un diodo desde la tensión de -12 v.

En la sección de control se generan los pulsos necesarios para controlar la etapa de excitación. La sección de control contiene también un amplificador de error. La frecuencia de trabajo es aproximadamente 20 Khz. La etapa de excitación hace pasar a conducción plena un transistor de potencia de la sección de ondulator que alimenta a su vez al transformador principal.

Lado del secundario

Al pasar el transistor de potencia al corte se transfiere energía al lado secundario del transformador principal, los diodos de la sección de rectificador pasan a conducir cargando el condensador pertinente.

Cada tensión de salida tiene un filtro de salida del tipo LC.

Las tensiones de salida de +12 v y +5 v se detectan conjuntamente y se comparan con la tensión a través de un diodo Zener. Si la tensión de +5 v o +12 v tiende a aumentar, ello resulta en que la anchura de los pulsos se reduce restableciéndose las tensiones a su valor nominal.

Circuitos de protección

Para proteger la unidad de alimentación contra cortocircuitos y sobrecargas hay circuitos especiales que limitan la corriente de salida. En estos circuitos se detecta la corriente de base del transistor de potencia, alimentándose una señal de sobreintensidad a la sección de control.

Las tensiones de salida de +12 y -12 v están protegidas contra valores demasiado altos con una protección en forma de diodos Zener en las salidas. La tensión de +5 v está protegida por medio de un bucle de regulación duplicado.

Alarmas

En la salida de +5 v hay un relé de alarma cuyo contacto está conectado al terminal 3C32 del plano posterior y 4C32 del frente a través de una resistencia en serie de 12.1 ohm.

23.4. CONEXIONES EXTERNAS, INTERFACES

23.4.1 INTERFAZ DE 34 Mb (D3)

Los cables de estación se conectan por medio de conectores BYB de Ericsson tipo ERNV 325 en "34 Mb Line Interface unit".

La atenuación permisible en la señal recibida asciende a 12 dB a 17 Mhz lo que corresponde a un cable de aproximadamente 200 m tipo TZC 75005 o a un cable de 125 m del tipo TZC 75024.

23.4.2 INTERFAZ DE 140 Mb (D4)

El cableado de estación se hace con el auxilio de conectores coaxiales enchufables M4 (EPT 14802) al interfaz D4 de "140 Interface Coder" y "140 Mb Interface Decoder". La atenuación permisible de la señal recibida es 0-12 dB a 70 Mhz correspondiente a aproximadamente 100 m de cable TZC 75005 o a 65 m de cable TZC 75024.

2.3.5 DATOS TÉCNICOS

Número de afluentes de 34 Mbps	Max 4
Velocidad nominal de bits	139264 Kbps
Tolerancia	$\pm 15 \times 10^{-6}$
Estructura de tramas	De acuerdo con Rec G 751 del CCITT

REGULACIÓN DE FASE

De acuerdo con rec G 703 del CCITT o mejor

Forma de afluente

Distorsión máx. permisible a

Frecuencias < 1 KHz	≤ 1.5 UI cresta
> 10 KHz	≤ 0.15 UI cresta

Forma de afluente

Distorsión máxima generada

(en distorsión en la entrada)

Frecuencias < 800 KHz	0.3 UI cresta
-----------------------	---------------

ANEXO 11

Transferencia de fluctuación

Amplif. de fluctuación

frecuencias < 300 Hz	0 dB
frecuencias > 300 Hz	-20 dB/década

Entrada de múltiplex

Fluctuación máx. de entrada:

frecuencias < 500 Hz	1.5 UI Cresta
frecuencias > 10 Khz	0.075 UI Cresta

Salida del multiplex

Fluctuación máx. generada en

banda 100 Hz-3500 Khz	0.05 UI Cresta
-----------------------	----------------

Características de planeamiento

Características de 34 Mbps (D3) e

De acuerdo con

Características de 140 Mbps (D4)

Rec. G. 703 del CCITT

CANAL DE SEÑALIZACION, BITS 14, 15 Y 16

Capacidad por canal 47.56 Kbps

Interfaz tipo E&M para el bit 14

Interfaz TTL para los bits 15 y 16

INTERFAZ PARA CONEXION DE RITMO EXTERNO

Impedancia 75 ohm, asim.

Frecuencia 34816 Khz

Tolerancia 15×10^{-6}

Forma de onda entrante Senoidal o rectangular

Forma de onda de salida Rectangular

Amplitud de pulsos Niveles ECL

Valores típicos:

nivel bajo: 1.75 v

nivel alto: 0.85 v

ALARMAS

Fallas detectadas en el extremo local (alarmas primarias)

AIS en entrada de 140 Mbps

Pérdida de señal en la entrada de 34 Mbps TRF

Pérdida de señal en la entrada de 140 FFL

Mbps

Pérdida de estructura de tramas en

la entrada de 140 Mbps FFL

Tasa de errores $<10^{-3}$, detectada en la

palabra de alineamiento de tramas BFL

Indicación de alarma desde el extremo

remoto (bit 13 recibido) B13R

Caída de la tensión de alimentación FFL

SALIDAS DE ALARMA

Todas las alarmas primarias tienen salidas separadas

Alarma urgente (alarma A)

Alarma no urgente (alarma B)

Indicación recordatoria de que se ha (P)

producido alarma

Alarma de sistema (SA)

INDICADORES

INDICADORES VISUALES (DIODOS PILOTO)

Indicadores

Falla en el extremo local

Falla en el extremo remoto

Alarma A

Alarma B

Indicación recordatoria P

CONSUMO DE POTENCIA

Incluso convertidor c.c./c.c.	aprox. 110 W
Tensión de baterías	-30 a -72 v c.c.
Rectificador de red (opcional)	110, 127 ó 220 v +10%, -10%
Frecuencia de la red	45 - 65 Hz

AMBIENTE

Temperatura	0 - 45°C
Humedad relativa del aire, máx.	90%
Dimensiones (alt. x anchura x fondo)	244 x 488 x 220 mm
Peso completamente equipado	13 Kg

III EQUIPOS TERMINALES DE LÍNEA

Ya se ha visto en los capítulos anteriores como la información proveniente de muchos canales se canaliza por un único canal, aumentando de esta manera la capacidad de transmisión. La siguiente etapa consiste en transmitir esta información para lo cual se usa un equipo terminal de línea Optoelectrico que es el elemento básico de los sistemas de transmisión por fibra óptica el cual se complementa con equipos regeneradores cuando las distancias de los trayectos son muy grandes.

En este capítulo se va a desglosar un equipo terminal de línea en sus partes funcionales explicando la interacción de sus bloques como un todo.

COMPONENTES DEL SISTEMA

En la figura se muestran las unidades funcionales en el equipo terminal de línea (sin MUX integrado), en nuestro ejemplo para una transmisión a 140 Mbps.

En el sentido de transmisión la señal atraviesa primero el Interface Decoder donde el flujo es convertido a una señal puramente binaria y además se efectúa el proceso de sincronización. A continuación en el Line Coder se provee el proceso de codificación (NRZ) y forma el código unipolar a la salida para el transmisor láser donde el flujo de NRZ recibido se convierte a Unipolar RZ.. Esta señal es usada para modular el diodo láser y las señales ópticas se las acopla a la fibra.

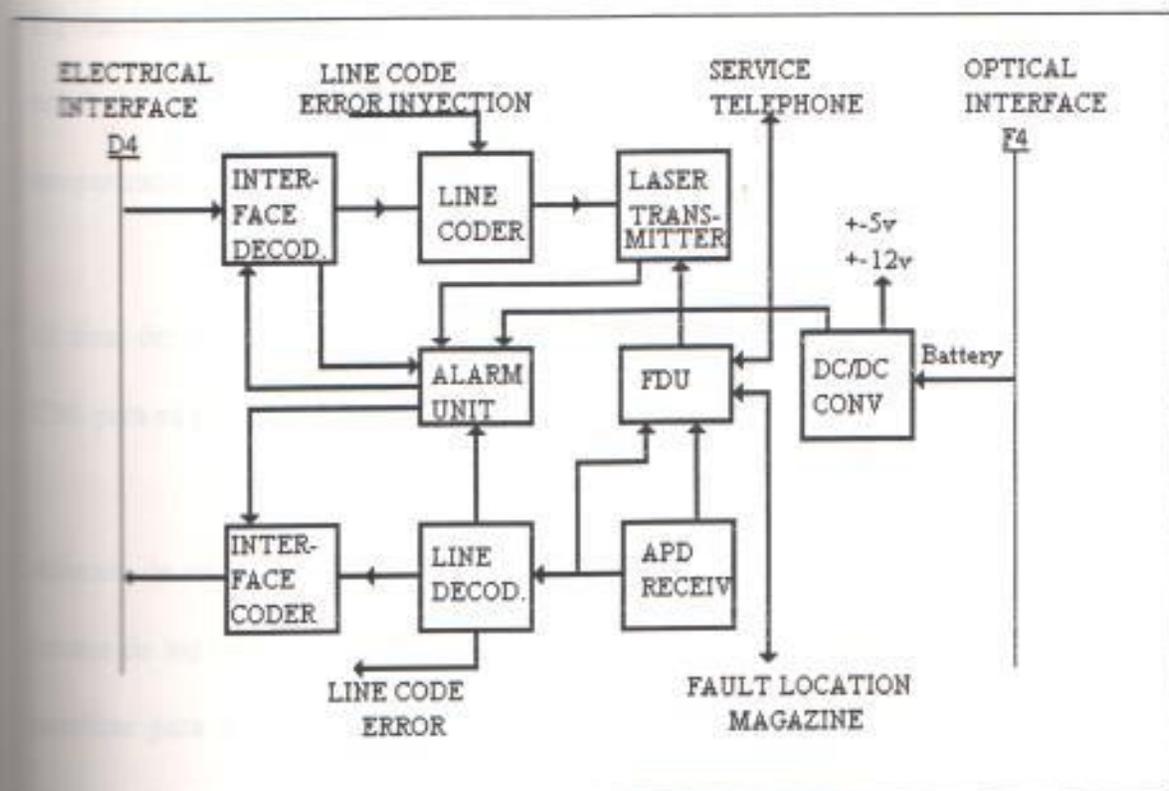


FIG. 20 Diagrama de Bloques del LT 140 Mb

En el sentido de Recepción el APD Receiver detecta las señales ópticas entrantes y las convierte a eléctricas, esta señal es amplificada, limitada, filtrada y muestreada usando el mismo temporizador. Un control automático de ganancia es usado para compensar los efectos de temperatura y envejecimiento del APD y para variaciones del nivel óptico en la señal causada por variaciones en atenuación de la fibra.

Siguiendo en el sentido de recepción la señal atraviesa el Line Decoder donde el flujo de señal de datos recibido del APD Receiver se decodifica 5B6B, las señales de temporización para los procesos de decodificación también son recuperados.

Al final del tramo en el Interface Coder se convierte las señales de entrada binarias en CMI para su posterior transmisión a través de la Interfaz eléctrica D4.

Además de estas unidades básicas tenemos una unidad de alarma la cual muestrea el status de los parámetros del sistema y controla la entrada del AIS. También tiene una interfase para alarmas de salida, sistemas de alarmas y unidades de supervisión de alarmas remotas. Los convertidores DC/DC dan los voltajes de operación para las varias unidades y adapta automáticamente los voltajes nominales de entrada y para localización de fallas se provee de una unidad Fault Detector (FDU).

3.2 DESCRIPCIÓN DEL EQUIPO TERMINAL DE LÍNEA ZAM 140-1

3.2.1 CONSIDERACIONES GENERALES

El almacén de terminación de línea ("Line Terminating Magazine"), tipo ZFM 49501, de que aquí se trata, forma el principal bloque funcional de una estación terminal de línea del sistema de línea digital por fibra óptica tipo ZAM 140-1 y aloja las unidades para conversión de código y proceso de las señales eléctricas y ópticas de la señal en el interfaz de 140 Mbps (normalizado por el CCITT) se lleva a cabo en este almacén.

El almacén de terminación de línea ZFM 495012 contiene una unidad detectora de errores que se encarga de la comunicación entre el almacén de localización de fallas (FLM) y repetidores que se encuentran en la fase de localización de fallas.

Las unidades detectoras de errores, FDU, están también dotadas con interfaz para sistema de servicio (ST) que sirve para establecer la comunicación de servicio entre los terminales y los repetidores.

A través de la misma unidad detectora de errores, FDU, se transmite también una alarma por degradación del diodo láser, hacia el terminal de línea remoto. El láser con anomalía (degradado) se identifica por medio del proceso de localización de fallas.

El almacén es del tipo de construcción mecánica BYB de Ericsson, es decir las diferentes unidades van alojadas en un almacén BYB, tipo BFD 329. Este almacén puede montarse a su vez en bastidores de transmisión de los tipos de construcción MS/BYB o en mecánica de hileras BYB 101.

3.2.2 CONSTRUCCIÓN ELÉCTRICA

En el sentido de transmisión, la señal codificada en CMI procedente del interfase D4 se recodifica y se convierte en una señal de línea codificada e 5B6B, la cual se emplea para modular la salida de luz del laser. En el sentido de recepción, la señal de línea óptica se demodula, se regenera y se recodifica en CMI para su ulterior transmisión al interfase D4.

El sistema de localización de fallas de provee una unidad detectora de errores.

3.2.2.1 FUNCIONES DE UNIDADES

"140 Mb. Interf. Dec."

- Regenera la señal de salida codificada en código CMI procedente de D4, compensando una atenuación en el cable de un máximo de 12 db.
- Decodifica el tren codificado en código CMI a binario y divide el flujo en cinco afluentes paralelos de 28 Mbps.
- Extrae el ritmo de temporización y lo envía a los diferentes bloques.

"140 Mb Line Coder"

- Forma la señal codificada en código 5B6B con una velocidad de 167 Mbaudios.
- Provee un flujo de bits en serie unipolar sin retorno a cero (NRZ), único, de 167 Mbps al emisor de láser.

"140 Mb Láser Trans."

- Modula el láser con la señal de 167 Mbps lo cual resulta en una salida óptica regulada en

"140 Mb APD Receiver"

- Detecta la señal óptica de línea y provee la conversión opto-eléctrica junto con las funciones necesarias de igualación y de regeneración.

"140 Mb Line Decoder"

- Decodifica la señal codificada en 5B6B suministrando cinco flujos paralelos de 28 Mbps a la unidad "Interfase Coder".

"140 Mb Interf. Coder"

- Convierte las señales binarias de entrada (5 vías) en CMI para su ulterior transferencia al interfase D4.
- Provee el nivel de salida necesario que corresponde al interfase D4.

"Alarm Unit"

- Indica el estado supervisado de parámetros de sistema y transmite los diferentes tipos de alarmas a las unidades de alarma de Bastidor/sistema y unidades de supervisión remota.

- Controla la inyección de la señal AIS (Alarm Indication Signal) al interfase o lado de línea al presentarse condiciones de alarma por "perdida de señal de entrada".

"DC-Conv." +/-5 +/-12v

- Estas unidades de alimentación descentralizada de energía suministran las tensiones de c.c. de +/-5 y +/-12v, respectivamente, a las diferentes unidades de consumo.

"Fault Detector Unit"

- Comunica con el almacén de localización de fallas FLM a través de un canal de localización de fallas.
- Sirve como Interfase para el teléfono de servicio.
- Transmite la alarma LDD al almacén de terminación de línea del lado remoto.

3.3 DESCRIPCIÓN DE LAS PLACAS

3.3.1 "140 INTERFACE DECODER"

Véase el esquema de la fig.

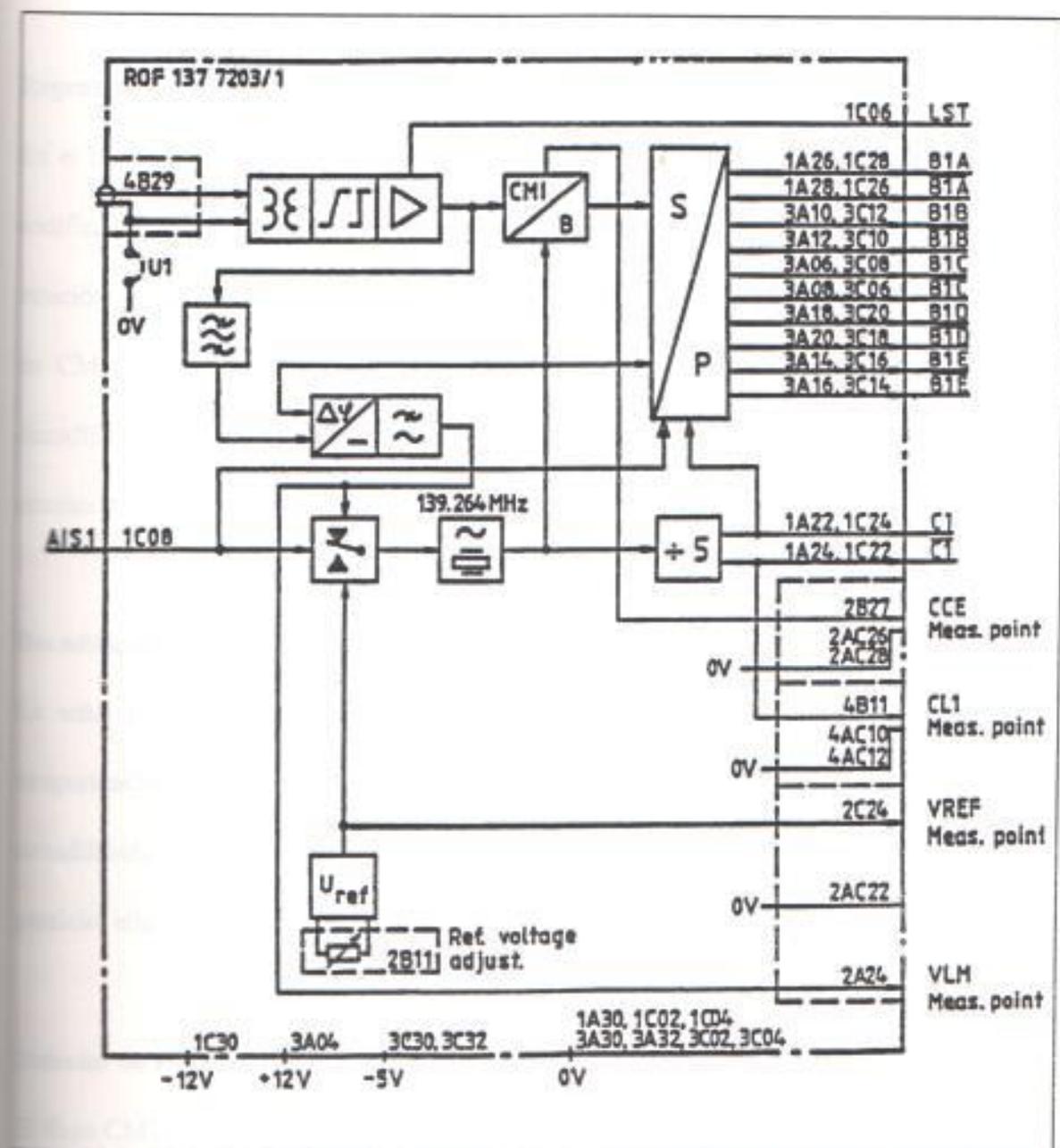


FIG. 21 "140 Mb Interface Decoder"

Regeneración de pulsos CMI

En el frente de la unidad "140 Mb Interfase Decoder" se puede igualar la señal entrante codificada en CMI a fin de compensar pérdidas de un máximo de 12 db en el cable de estación; la atenuación es la que especifica el CCITT. El flujo de bits de entrada codificado en CMI se regenera por tanto antes de ser decodificado a binario. En la entrada del decodificador hay facilidad para poner a tierra el conductor externo del par coaxial si así es necesario.

Decodificador de CMI

La señal CMI regenerada se decodifica a binario en el bloque CMI con el ritmo de temporización suministrado desde el bloque de extracción del mismo. La señal decodificada a binario se convierte en los cinco afluentes paralelos en el convertidor serie-paralelo, ello también al ritmo de temporización de una señal reloj de 28 Mbps.

Detector de violaciones del coligo CMI

El flujo CMI regenerado se supervisa también con referencia a la presencia de violaciones de coligo. En el caso de que existan tales violaciones en la señal CMI entrante se generan pulsos de error equivalentes. Estos errores de coligo CMI (CCE) pueden ser también

supervisados en el frente de la placa de circuitos, en el punto de medición facilitado a dicho fin.

Extracción del ritmo de temporización

El circuito de bucle con enclavamiento de fase (Phase Locked Loop -PLL) del decodificador extrae el ritmo de temporización de 140 Mhz de la señal entrante. Se emplea un oscilador controlado por cristal para proveer la señal de temporización estabilizada, a los bloques de decodificador CMI y de conversión serie-paralelo. La ganancia de la fluctuación de fase se mantiene muy por debajo de 6 db y la anchura de banda es aprox. 20 Khz.

La señal reloj de 28 Mhz se encuentra accesible en un punto de medición para comprobar la fluctuación de fase del ritmo de temporización de la unidad.

AIS (Alarm Indication Signal)

El oscilador del decodificador se emplea también como generador de AIS. La generación de AIS y su transmisión hacia el lado de línea tiene lugar al cesar la señal de entrada a este decodificador. La unidad de alarma controla esta función de AIS en el decodificador. La frecuencia de AIS puede ajustarse, si así es necesario, a 139,264 Mhz +/- 15 ppm, con el potenciómetro de esta unidad, midiéndose la diferencia de tensión entre VREF y VLM.

3.3.2 "140 Mb LINE CODER"

Véase el esquema de la figura

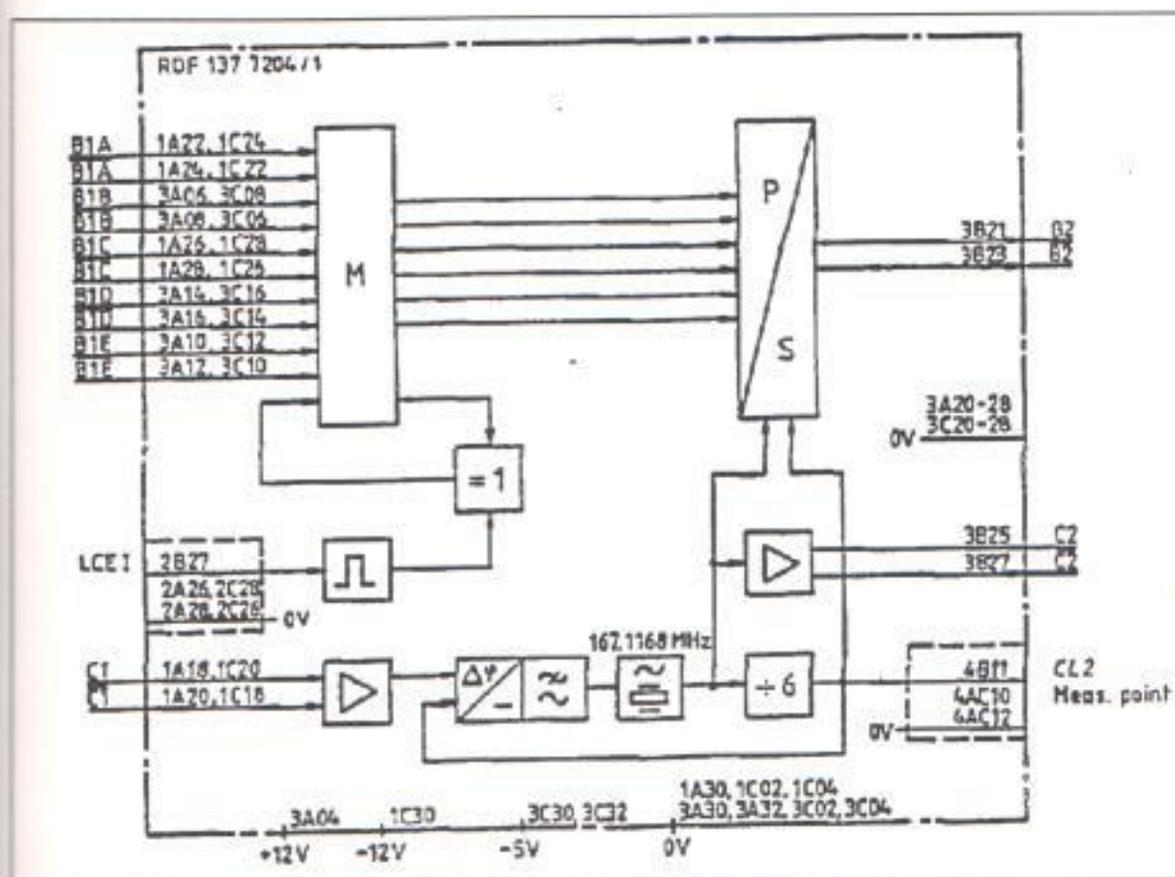


FIG. 22 "140 Mb Line Coder"

Bloque de codificación

La unidad "140 Mb Line Coder" convierte los cinco bits de entrada en paralelo en seis bits de salida en paralelo. El código es del tipo de bloque y la tabla se encuentra almacenada en una memoria ROM. Estos bits de salida se convierten después de paralelo a serie. Los pulsos de reloj necesarios para el proceso de codificación se reciben desde el bloque de extracción de ritmo de temporización.

La frecuencia de reloj se encuentra accesible como punto de medición en el frente de la placa.

Extracción del ritmo de temporización

La conversión del ritmo de temporización necesaria para el proceso de codificación se lleva a cabo con un bucle de enclavamiento de fase (Phase Locked Loop -PLL) controlado por cristal. La señal reloj de 28 Mhz se convierte de esta forma en una señal de salida de 167 Mhz. A fin de amortiguar la fluctuación de fase del circuito de temporización, el bucle PLL se ha diseñado con una anchura de banda de fluctuación de 650 Hz y una ganancia baja de fluctuación.

Inyección de errores de código de línea (Line Code Error Injection - LCEI)

A fin de comprobar el sistema de localización de fallas y las funciones de alarma, pueden inyectarse pulsos de error simulados en el codificador con tasas variables. La inyección se hace de tal forma que después de decodificar la señal de línea no habrán errores de bits pero la función de la unidad de alarma es como si se tratara de un error real de bit.

3.3.3 "140 Mb LASER TRANSMITTER"

Véase el esquema de la figura

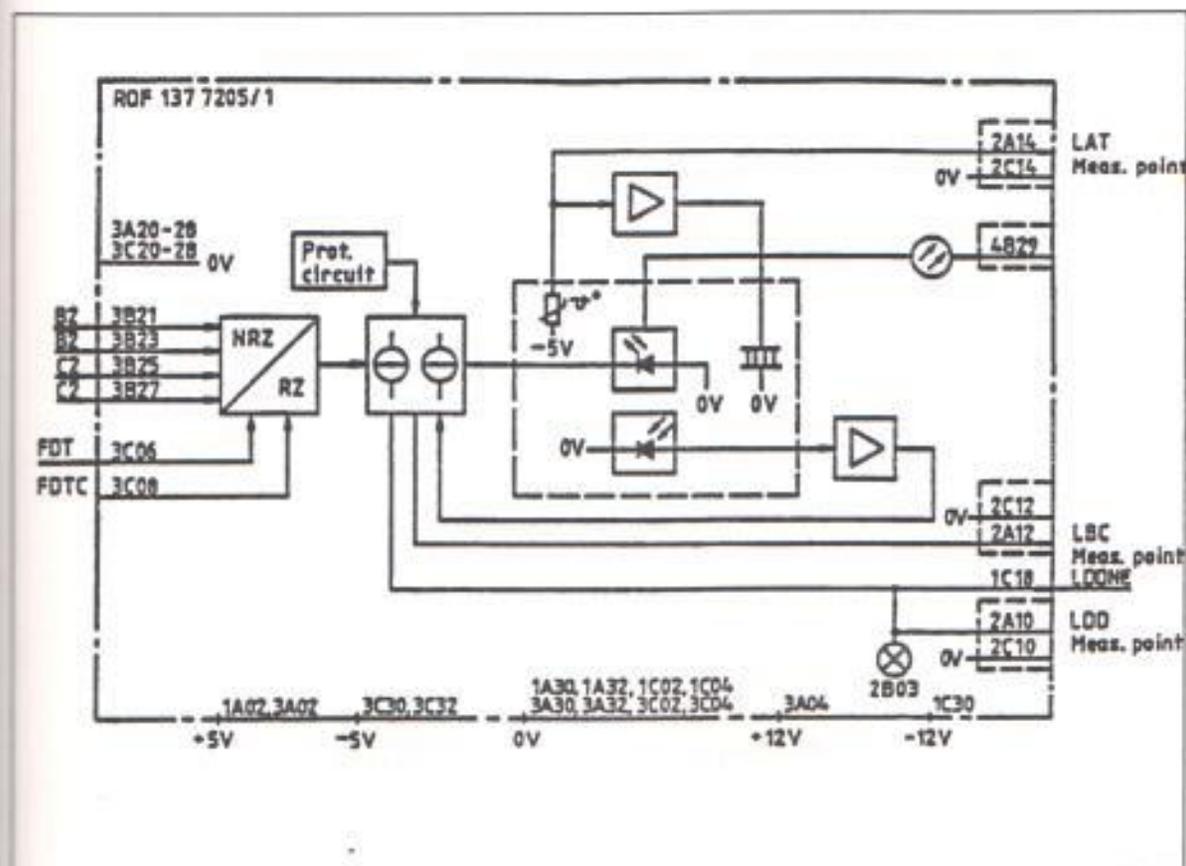


FIG. 23 "140 Mb Laser Transmitter"

Conversión NRZ/RZ

La unidad "140 Mb Láser Transm." recibe una señal de datos binaria en serie de 167 Mbaudios del tipo NRZ, y la señal de reloj. La señal de datos se convierte a un flujo de bits de 167 Mbaudios del tipo RZ, con el auxilio de la señal reloj.

Modulador

La señal RZ modula el diodo del láser que envía una señal óptica a la línea. La potencia de salida óptica del diodo del láser está regulada en promedio y estabilizada con respecto a temperatura y efectos de envejecimiento, por medio de una realimentación óptica a través de un diodo PIN.

El diodo del láser está estabilizado con referencia a variaciones de temperatura, con un elemento termoelectrónico, siendo la temperatura del láser constante en 20 C. La temperatura del láser (LAT) puede ser supervisada en un punto de medición por el frente de la placa.

LDD (Láser Diode Degradation)

A fin de supervisar la condición del diodo del láser, esta unidad esta dotada con un circuito de aviso (alarma no urgente) que indica que la corriente umbral del láser ha alcanzado un cierto nivel. Esta condición de alarma puede ser indicada con un diodo Led o en un punto de medición en el frente de la placa. Al darse este aviso la unidad "140 Mb Láser Transmitter" deberá ser reemplazado en 78 h.

LBC (Láser Bias Current)

En el frente de la placa hay un punto de medición de la corriente de polarización del láser (LBC).

Circuitos de protección

"140 Mb Láser Transmitter" tiene un circuito que protege el diodo láser contra picos transitorios de tensión al conectar la tensión de funcionamiento.

Localización de fallas/teléfono de servicio

Las señales para localización de fallas y las señales del teléfono de servicio procedentes de la unidad detectora de errores se aplican a la unidad , de que aquí se trata modulando la salida óptica para su transmisión ulterior por la fibra.

3.3.4 "140 Mb APD RECEIVER"

Véase es esquema de la figura

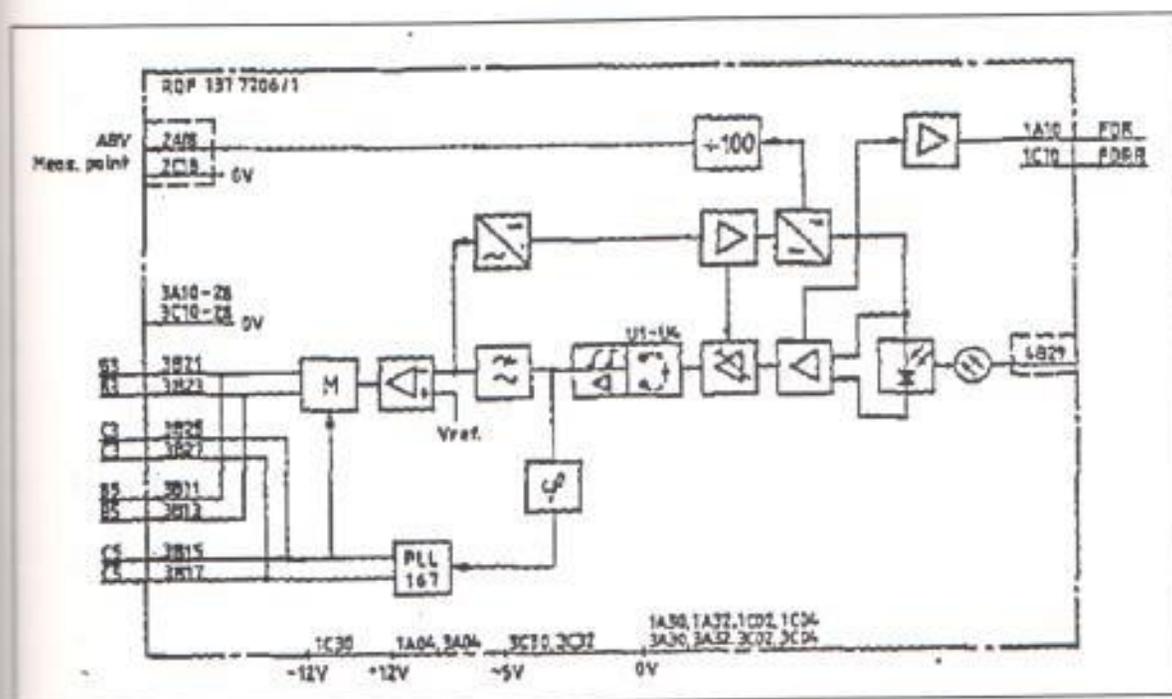


FIG 24 "140 Mb APD Receiver"

Etapa de entrada

La señal óptica de línea se convierte a una señal eléctrica equivalente en la señal de entrada por medio de un diodo APD (Avalanche Photo Diode) y se amplifica en un amplificador del tipo de transimpedancia.

Control de amplitud

Para conseguir la gama dinámica (potencia de entrada máxima permisible -20 dbm) la amplitud de la señal de entrada esta controlada en dos bucles diferentes a dicho fin ,que son independientes entre si. En un bucle hay un circuito de control automático por medio del cual se controla la tensión de polarización en cuestión, y consecuentemente el factor de multiplicación del diodo APD. El otro bucle contiene un amplificador con control automático de ganancia. Estos sistemas proveen conjuntamente una señal de amplitud constante y ruido mínimo.

Igualador de la dispersión

Cuando la dispersión de una sección de cable excede 3.5 ns, se intercala por medio de reconexiones un igualador a dicho fin.

Extracción del ritmo de temporización

En un circuito con enclavamiento de fase (PLL) se extrae de la señal de entrada una señal de temporización de 167 Mhz. Para suministrar la señal de temporización estabilizada, para regenerar la señal de línea ,se emplea un oscilador controlado por cristal.

La ganancia de la fluctuación se mantiene a menos de 4dB y la anchura de banda es de aprox. 20 Khz.

Filtro de ruido

se usa un filtro pasa bajo

Circuito de regeneración

La señal de entrada se detecta y se regenera con el auxilio de la señal de temporización extraída, de 167 Mhz.

Tensión de polarización del APD (APD Bias Voltage - ABV)

En un punto de medición del frente de la placa hay accesible una versión atenuada en 40 db de la tensión de polarización del diodo APD.

Localización de fallas/teléfono de servicio

En la etapa de entrada de "140 Mb APD Receiver" se extrae la señal de información del teléfono de servicio y de localización de fallas, de baja frecuencia, transmitiéndose a la unidad detectora de errores (Fault Detector Unit) para su demodulación ulterior y transmisión al almacén de localización de fallas.

3.3.5 "140 Mb LINE DECODER"

Véase el esquema de bloques de esta unidad

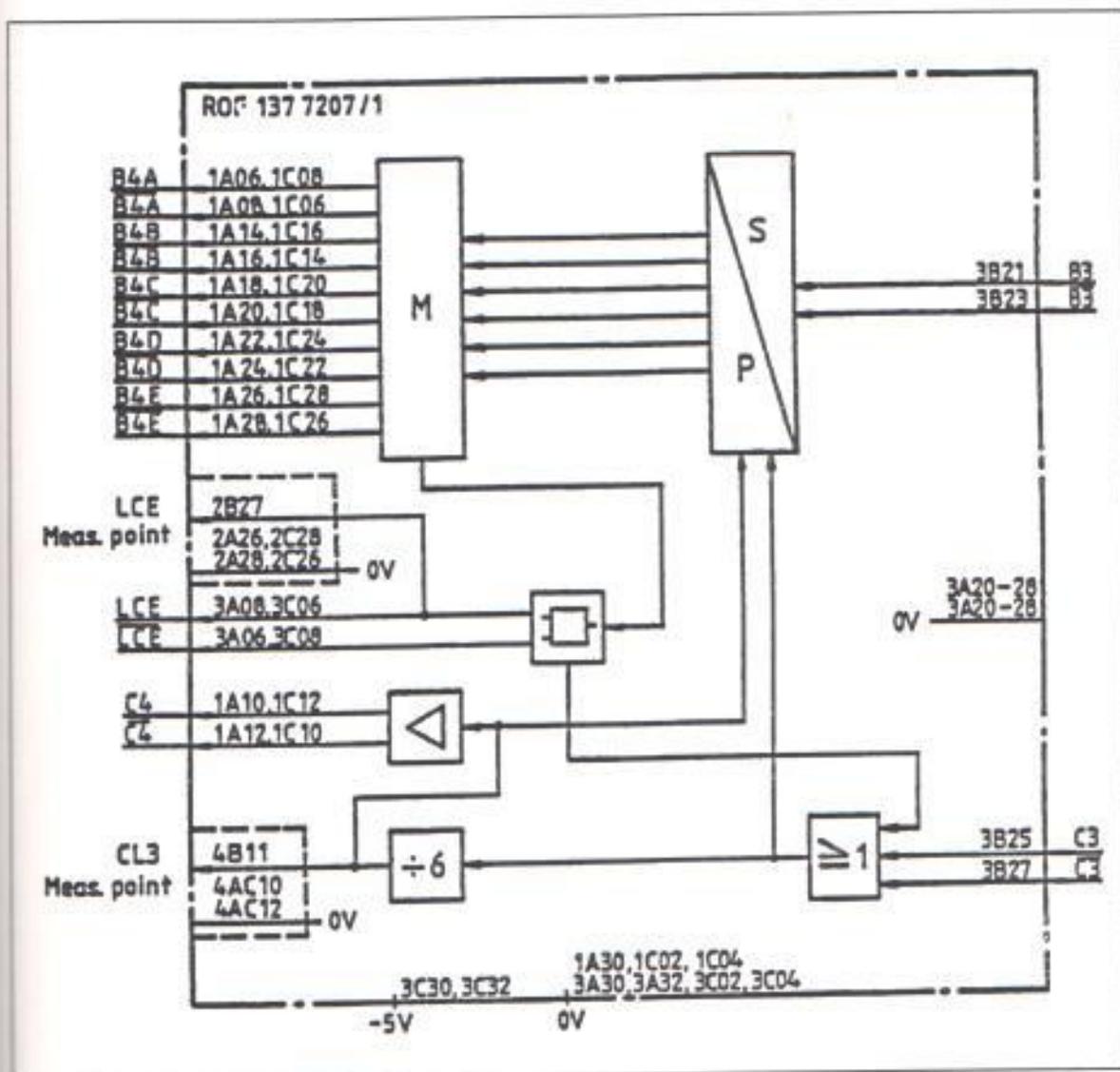


FIG. 25 "140 Mb Line Decoder"

La señal de entrada binaria de procedente de "140 APD Receiver" se convierte de serie a paralelo. Los seis bits de entrada en paralelo se decodifican a cinco bits de salida en paralelo. El coligo es del tipo de bloque 5B6B; la tabla de codificación esta almacenada en una memoria ROM. La frecuencia reloj necesaria para el proceso de decodificación se recibe desde "140 Mb APD Receiver". La frecuencia de reloj se encuentra en un punto de medición.

Errores de coligo de línea y sincronización

El contador de errores es activado por pulsos de error cuando la señal de línea no esta de acuerdo con la tabla de coligo 5B6B. Los errores de coligo de línea (LCE) pueden ser supervisados en el punto de medición accesible en el frente de la placa.

La señal de error procedente del bloque de decodificación se emplea para el proceso de sincronización, es decir se efectúa

la resincronización cuando la tasa de errores es demasiado alta ($BER > 0.2$). La resincronización se lleva a cabo desplazando el reloj en el espacio de un bit.

3.3.6 "140 Mb INTERFACE CODER", ROF 137 7208/1

Véase el esquema de bloques de la fig

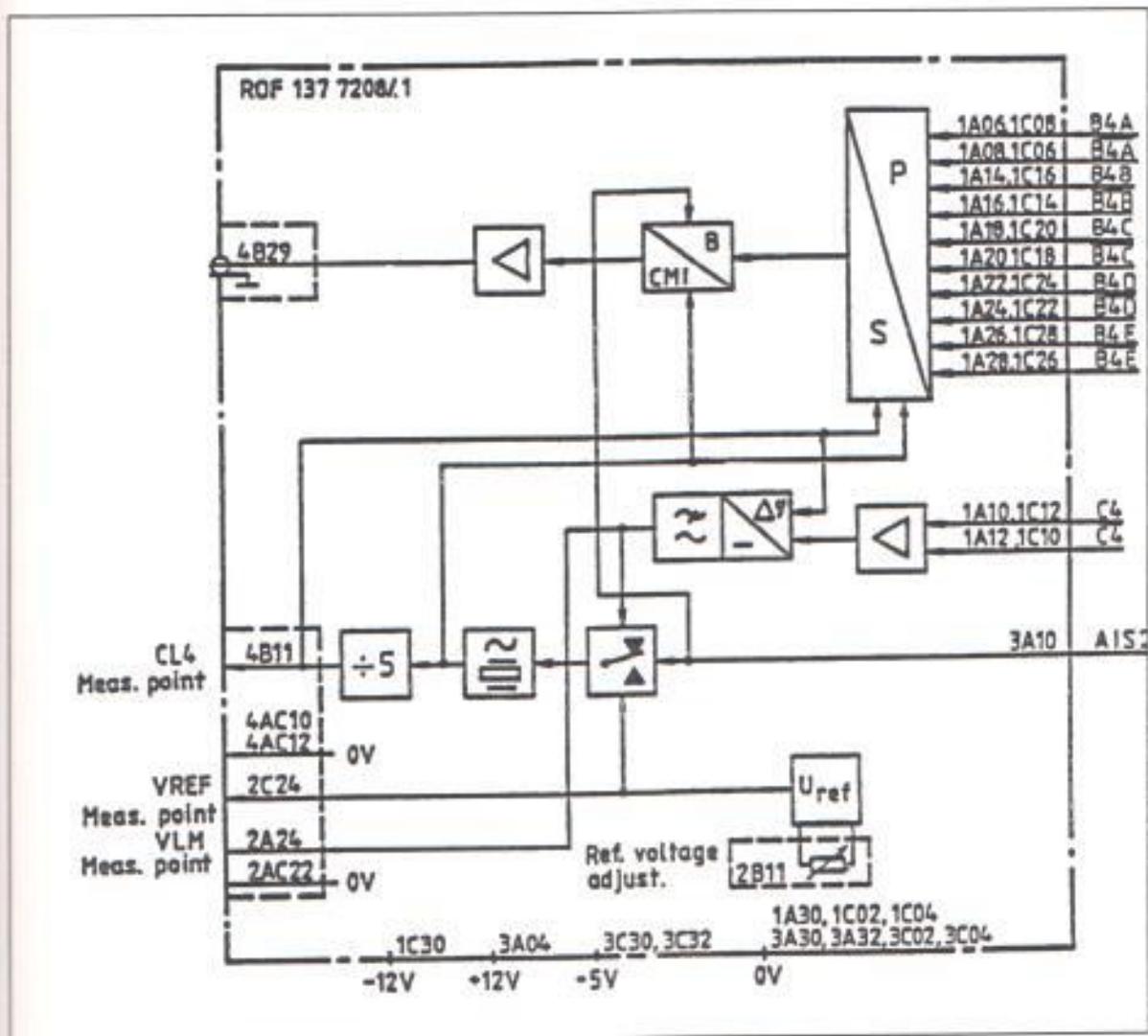


FIG. 26 "140 Mb Interface Coder"

Codificador CMI

El codificador de interfaz convierte el flujo binario en un formato con código CMI para su transmisión ulterior. La señal entrante en paralelo, de cinco bits, se convierte en un flujo en serie que se aplica al codificador binario-CMI. La señal codificada en CMI se transmite al interfaz del enlace digital con los niveles apropiados, por medio de una etapa de salida del codificador CMI. Las señales reloj de 140 Mhz y 28 Mhz se reciben desde el circuito de extracción de la temporización aplicándose al convertidor paralelo-serie y al convertidor binario-CMI.

Extracción del ritmo de temporización

El ritmo de temporización de 28 Mhz entrante se aplica al bucle PLL, que junto con el oscilador de cristal las señales de reloj para los diferentes bloques del codificador. El bucle PLL ha sido diseñado de forma que cumple una función de eliminación de la fluctuación que resulta en una anchura de banda de fluctuación de 650 Hz con ganancia de $<0.0 \text{ dB (f)} > 100 \text{ Hz}$). La señal reloj de 28 Mhz se encuentra accesible en un punto de medición del frente de la placa, en donde se puede medir la fluctuación.

AIS (Alarm Indication Signal)

Tal como en el caso de la unidad de "140 Mb Interf. Decoder" el oscilador controlado por cristal se emplea también a fin de generar la señal AIS. La señal AIS se transmite al lado del interfaz al desaparecer la señal del lado de línea. La unidad de alarma controla la conmutación al modo de emisión de AIS. La frecuencia AIS puede ser supervisada y ajustada por medio de las tensiones existentes entre los puntos VREF y VLM de la placa.

3.3.7 "ALARM UNIT", ROF 137 7050/3 R1 y R2

Véase el esquema de bloques de la fig.

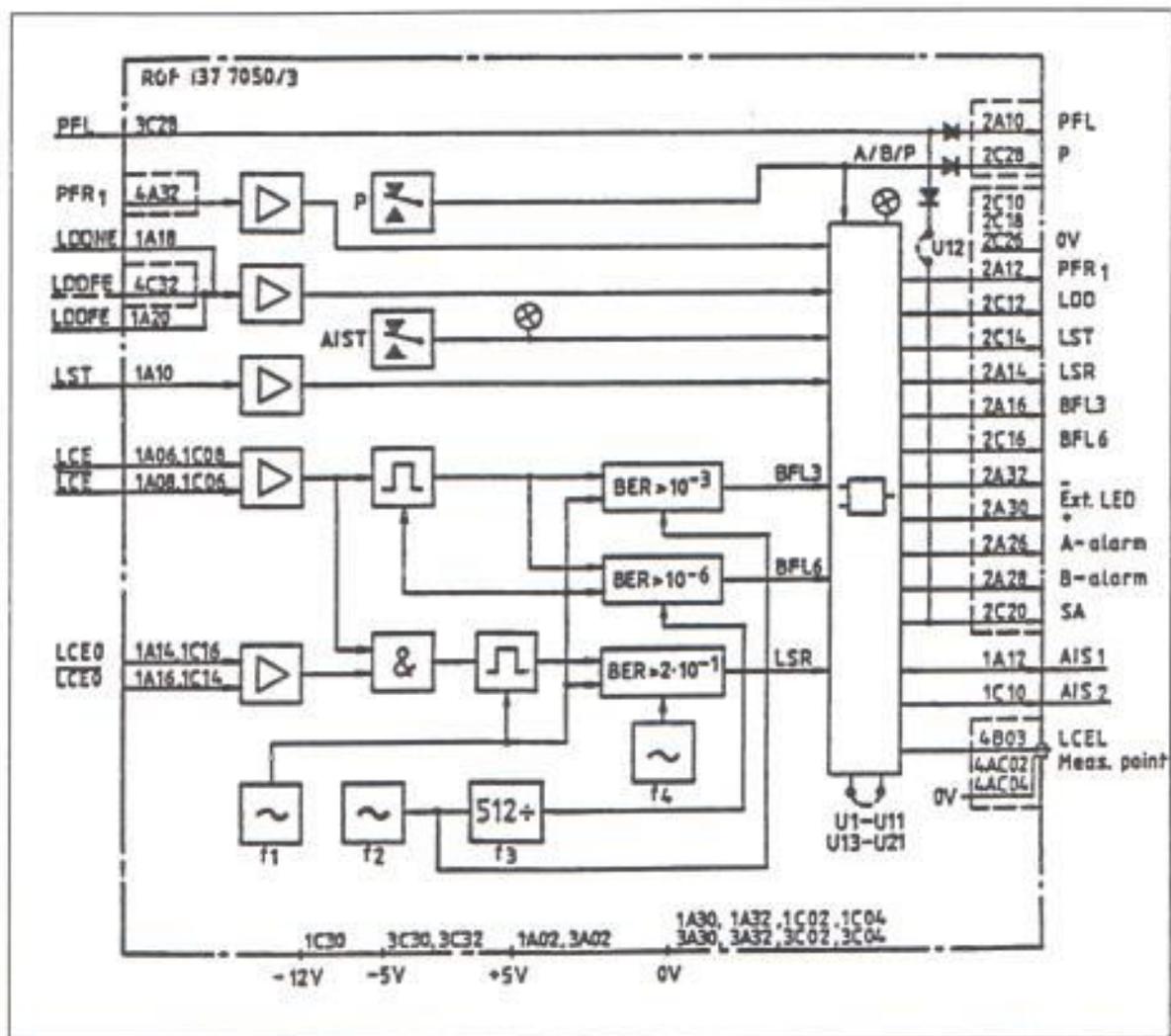


FIG. 27 "Alarm Unit"

Generalidades

La unidad de alarmas tiene salidas de alarmas que son accesibles como alarmas primarias, de bastidor y de sistema; controla también la generación y transmisión de señales AIS por condiciones de alarma por pérdida de la señal de entrada.

Alarmas primarias

Los parámetros importantes de sistema en forma de su estado de señal y de potencia están supervisados en las diferentes unidades del almacén, y las divergencias con respecto a los valores especificados se transmiten a la unidad de alarmas en forma de pulsos de error. Para calcular la tasa de errores BER, la unidad de alarma tiene contadores que avanzan por medio de los pulsos de error y retroceden hacia cero a tasas predeterminadas que corresponden a las tasas de errores supervisadas. Esto se ha hecho para mantener los criterios de alarma dentro de una probabilidad definida. En los diferentes contadores se procesan consiguientemente las diferentes tasas de errores 1×10^{-3} y 2×10^{-1} (correspondiente a pérdida de señal o de sincronización). La alarma por degradación del diodo láser LDD (Laser Diode Degradation) y las salidas del convertidor de c.c. se aplican también a la unidad de alarmas para que se produzcan las correspondientes alarmas primarias. Las alarmas primarias son accesibles en formas de salidas TTL en el segundo conector de $\frac{1}{4}$ a partir del extremo superior.

Conmutador AIST

En el frente de "Alarm unit" hay un conmutador que activa la alarma AIST e inhibe la alarma LST. Esta función de conmutador es reconectable. El diodo LED amarillo se enciende siempre cuando el conmutador está en la posición conectado ("ON").

Alarmas de bastidor y de sistema

Las diferentes alarmas primarias se aplican a un procesador de alarmas a fin de clasificarlas en alarmas A (urgentes) o B (no urgentes). Hay también una indicación recordatoria de que se ha producido alarma, denominada alarma P, que cancela las alarmas A y B del almacén al bastidor. A fines de supervisión centralizada de alarmas hay alarmas de sistema.

Un diodo LED rojo en la parte superior del frente de "Alarm unit" indica la condición de alarma A, B y P del almacén de terminación de línea.

3.3.8 "DC-CONVERTER", +/- 5 V, +/- 12 V, ROF 137 7084/3

Véase el esquema de bloques de la fig.

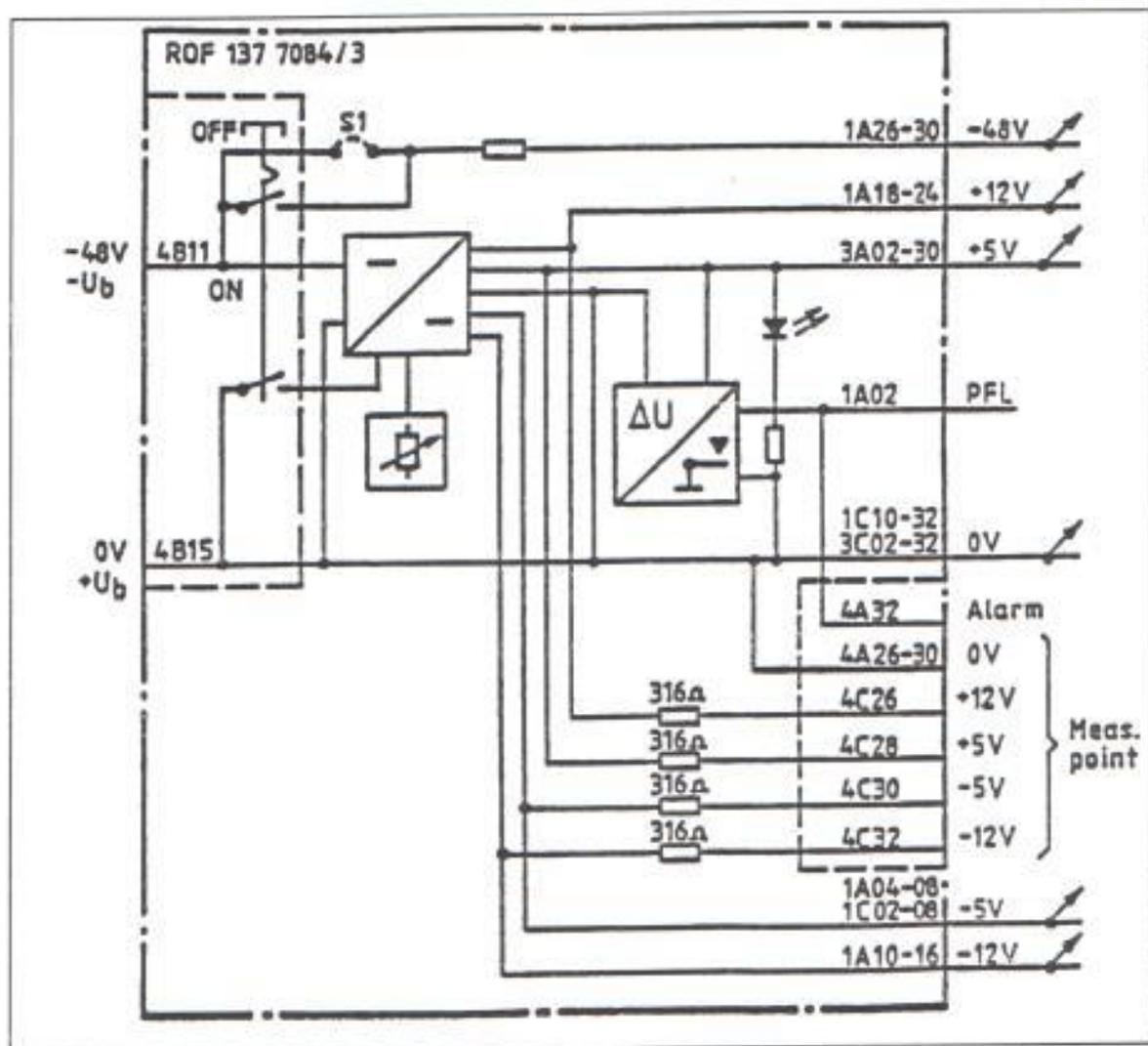


FIG. 28 "140 LT DC Converter"

Generalidades

El convertidor de c.c. convierte la tensión de baterías que puede ser entre - 30 V y - 72 V en las tensiones de alimentación de las unidades, de + 5 V, - 5 V, + 12 V y - 12 V.

El convertidor colocado en la posición 8 alimenta a las unidades del sentido de emisión y el convertidor de la posición 20 alimenta a las unidades del sentido de recepción.

Los componentes del convertidor van montados sobre una placa de circuitos impresos tipo ROF 137 que necesita una anchura de 8 módulos (20.3 mm) en el almacén.

El convertidor es del tipo de retroceso (fly-back) y está formado por el filtro de entrada, sección de control con amplificador de error, etapa de excitación, sección de convertidor con transistor de conmutación, transformador principal con diodos rectificadores, y sección de filtro.

Sección de control y de excitación

La sección de control recibe la tensión de alimentación de batería a través de un regulador de tensión que entrega una tensión de operación de aproximadamente 10 V a la sección de control.

Los pulsos necesarios para controlar la etapa de excitación se generan en la sección de control, que contiene también un amplificador de tensión de error. La frecuencia es de

aproximadamente 22 kHz. La etapa de excitación controla el transistor conmutador de la sección de convertidor que suministra a su vez al transformador principal.

Sección de convertidor

Al pasar el transistor conmutador al corte, se pasa energía al lado secundario del transformador principal, los diodos rectificadores pasan a conductores y los condensadores asociados se cargan.

Cada tensión de salida tiene un filtro de salida del tipo LC.

Las tensiones de salida de + 5 V y - 5.2 V se detectan y se comparan conjuntamente con la tensión a través de un diodo Zener. Si estas tensiones tienden a aumentar, ello resulta en que la anchura de pulsos disminuye restableciéndose así las tensiones nominales.

Circuitos de protección

Para proteger la unidad contra cortocircuitos y sobrecargas hay circuitos especiales a dicho fin que limitan la corriente de salida. La corriente de emisor del transistor de potencia se detecta en estos circuitos, y la señal de sobreintensidad consiguiente se aplica a la sección de control.

La tensión de + 5 V esta protegida contra sobretensiones por medio de un bucle de control duplicado

Alarmas

En la salida de + 5 V hay un rele de alarma cuyos contactos están conectados al plano posterior (conector 1A02) y al frente (4c32) a través de una resistencia en serie de 12.1 ohm.

3.3.9 "FAULT DETECTOR UNIT", ROF 137 7223/1

Modem bloque 1

La señal modulada por desplazamiento de frecuencia, FSK (600/1200 Hz), que contiene el mensaje para localización de fallas procedente del almacén de localización de fallas, FML, se convierte en los tonos adecuados para su transmisión a través de la línea óptica. En este bloque se lleva a cabo también la demodulación de las señales FSK procedentes de la línea. El mensajes para localización de fallas procedente de la línea así como el mensaje procedente del bloque detector de errores se modula FSK para su retransmisión al almacén FLM. Los mensajes para localización de fallas, procedentes de la línea, son regenerados en el microprocesador.

Bloque detector de errores

El bloque detector de errores contiene un circuito detector de errores y un circuito con microprocesador que comunica con el almacén FLM. Este procesador de la unidad detectora de errores confirma la recepción del mensaje procedente del almacén FLM e informa de vuelta al número de errores detectados al almacén FLM. Un circuito detector de errores especialmente diseñado a este fin se emplea para detectar los errores consistentes en violaciones del código. Por cada error detectado se envía un pulso de error al circuito con el microprocesador. Después de recibirse un comando desde el almacén FLM, el detecto de errores informa de vuelta el resultado al almacén FLM de forma que este lleva a cabo un computo de BER (Bit Error Rate) y presenta el resultado. El interfaz de comunicación del microprocesador se encuentra accesible en forma de puntos de medición en el frente de la unidad detectora de errores FDU.

Canal de teléfono de servicio (ST)

La unidad detectora de errores tiene un interfaz hacia un teléfono de servicio de forma que las llamadas hacia un teléfono de servicio pueden transmitirse por el mismo medio óptico de transmisión. Este bloque ST de la unidad detectora de errores se ha provisto con híbridos 2 hilos / 4 hilos (2W/4W) y la generación y detección necesarias de señalización.

Alarma por degradación del diodo del láser

La degradación del láser de un regenerador determinado es detectada en la unidad "140 Mb Láser Transmitter" cuando quiera que la corriente umbral es mayor que un límite especificado. Esta información se transmite al terminal de línea por medio de una señal de baja frecuencia, generada por la unidad detectora de errores del regenerador en cuestión. En la misma forma que la señal de habla del bloque ST, esta señal transmite también por el mismo medio de transmisión de fibra. Además el enlace con anomalía puede ser identificado usando el método de localización de fallas.

Módem bloque II

La banda básica consiste en circuitos para localización de fallas, teléfono de servicio y señales de alarma por degradación del diodo láser, se modula en frecuencia con una portadora de 75 kHz. Para transmitir por la fibra óptica, la potencia óptica media es modulada por esta portadora modulada. En forma similar la señal modulada en frecuencia, FM, procedente del regenerador es demodulada y filtrada para su ulterior transmisión al módem bloque Y.

Indicación de alarma

Al canal de localización de fallas (Fault Location Channel FLC) pueden conectarse unidades de recolección de alarmas. ACU. Al detectar una unidad ACU un cambio en un estado de alarma se emite un pulso indicador de alarma a la unidad indicadora de alarmas a través de la unidad FDU y la línea óptica. La unidad detectora de errores FDU ejecuta esta función conectando el tono empleado para indicar alarma por degradación del diodo del láser durante la duración del pulso indicador de alarma. Si la alarma por degradación del diodo del láser ya ha sido activada cuando el pulso de indicación de alarma ha de transmitirse, el tono correspondiente a alarma por degradación del diodo del láser se desconecta durante el mismo periodo de tiempo. Por fuera de la unidad FDU y de la línea óptica, no existe interacción entre la alarma por degradación del diodo del láser y el pulso de indicación de alarma. La unidad FDU tiene un interfaz hacia la unidad indicadora de alarma.

Direcciones de recipientes de estaciones

La unidad FDU tiene un conmutador reconectable indentificador del recipiente, que puede combinarse para identificar 255 direcciones de recipiente de estación.

Direcciones de repetidores

El almacén de terminación de línea tiene 2 direcciones de regenerador, una dirección de regenerador para el sentido de emisión y otra para recepción, por ejemplo 1.2 o 3.4,....o 63, 64.

Cada unidad FDU tiene 64 direcciones de regenerador, es decir direcciones de repetidor para 32 terminales de línea.

32 terminales de línea pueden compartir la misma dirección de recipiente de estación.

Si la unidad FDU esta reconectada para emplearla en la estación A, el sentido de emisión tiene una dirección impar, por ejemplo 1 o 3 o 63, y el sentido de recepción tiene una dirección par por ejemplo 2 o 4 o 64.

Si la unidad FDU esta reconectada para emplearse en la estación B, el sentido de emisión tiene una dirección par, por ejemplo 2, o 4,..... o 64,y el sentido de recepción tiene una dirección impar, por ejemplo 1,o 3, ... o 63.

3.4 CONEXIÓN INTERNA EN EL FRENTE

Para conectar LDD FE entre "Faukt Detector Unit" y "Alarm Unit" hay un interfaz en el frente de ambas unidades. La conexión se hace con un cable TSR 2020101/1000. Esta conexión debe hacerse solamente en el almacén que no tiene ya hecha esta conexión en el plano posterior.

3.5 CONEXIONES EXTERNAS, INTERFACES

3.5.1 INTERFAZ D4, 140Mb

El cable de estación para el interfaz D4 se conecta en el extremo inferior del frente de las unidades respectivas "140 Mb Interface Decoder" y "140 Mb Interface Coder" con conectores coaxiales RPT 14802 del tipo de construcción M4.

La atenuación permisible de la señal de entrada en "140 Mb Interface Decoder" es 12 dB a 70 Mhz, lo que corresponde a unos 100 m de cable tipo TZC 75005 de Ericsson.

3.5.2 INTERFAZ F4, 167 MBAUDIOS

La conexión al interfaz F4 se lleva a cabo con conectores ópticos montados en el extremo inferior de las unidades "140 Mb Láser Transmitter" y "140 Mb APD Receiver", respectivamente.

3.6 DATOS TÉCNICOS

INTERFAZ DE ENLACE DIGITAL DE 139.264 Mbps, D4 (Reg. G. 703 del CCITT)

Velocidad de bits	139.264 Mbps +/- 15 ppm
Código	CMI
Impedancia	75 ohm
Amplitud de pulsos	1 +/- 0.1 V
Atenuación de entrada, tolerancia	0 - 12 dB
(atenuación en cable de estación a 70 Mhz con característica raíz de f)	
Atenuación de adaptación	> 15 dB (7 Mhz a 210 MHz)

(acceso de entrada)

Plantilla de pulsos

Rec. G. 703 del CCITT

INTERFAZ ÓPTICO (F4)

Velocidad de símbolos 167.1168 Mbaudios

Código de línea de la señal óptica 5B6B

Duty cycle 50 %

Diámetro del núcleo 50 μm (emisor)

100 μm (receptor)

Apertura numérica (99 %) 0.20 (emisor)

0.25 (receptor)

Potencia de salida - 3 dBm

(inclusive margen para temperatura y
envejecimiento)

Longitud de onda 850 nm, típica

Anchura espectral (3 dB) 2 nm, típica

Sensibilidad (BER 1×10^{-9}) < - 42 dBm (5 ns)

(inclusive para margen de temperatura y < - 44 dBm (3 ns)

envejecimiento)

Potencia de entrada máxima permisible - 20 dBm

FLUCTUACIONES

Plantilla de tolerancia de fluctuaciones de G. 703:8 del CCITT

entrada

Max. fluctuación de salida en ausencia de

fluctuación de entrada:

Sentido de recepción < 145 ps eficaz (filtro 50 Hz / 3 kHz)

Sentido de emisor < 90 ps eficaz (filtro 50 Hz / 3 kHz)

Ganancia de fluctuación < 0.1 dB (< 100 Hz)

ALARMAS

De acuerdo con la Rec. G. 918 del CCITT

FUENTE DE ALIMENTACIÓN

Tensión de batería	- 30 a - 72 V
Red de alterna (opcional) 45 - 65 Hz	110 a 240 V

CONSUMO DE POTENCIA, TÍPICO

Almacén de terminación de línea	65 W
---------------------------------	------

CONDICIONES DE AMBIENTE (INTERIOR)

Temperatura	0 - 45 grados Centígrados
Humedad relativa	max. 90 %

DIMENSIONES (ALTURA, ANCHURA, FONDO)

Almacén de terminación de Línea	244, 427, 220 mm
---------------------------------	------------------

IV. ENLACE INTERCENTRAL CENTRO-BOYACA A 140 Mbps DE ERICSSON

4.1 SISTEMAS ERICSSON PARA REDES URBANAS

Los sistemas de transmisión Ericsson para redes urbanas por ejemplo entre las centrales urbanas de una gran ciudad han sido concebidos acorde con las particularidades específicas de rutas de transmisión cortas de un máximo de 20 a 30 km y para la aplicación en fibras monomodo o multimodo en los márgenes de longitud de onda conocidos, 850, 1300 y 1600 nm.

Enlazando equipo terminal de línea (LE) a equipo terminal de línea se alcanzan tramos de longitud suficientes; de forma que no se precisen regeneradores intermedios, siendo posible en cualquier caso una conexión en serie de dos tramos de línea, ver fig.

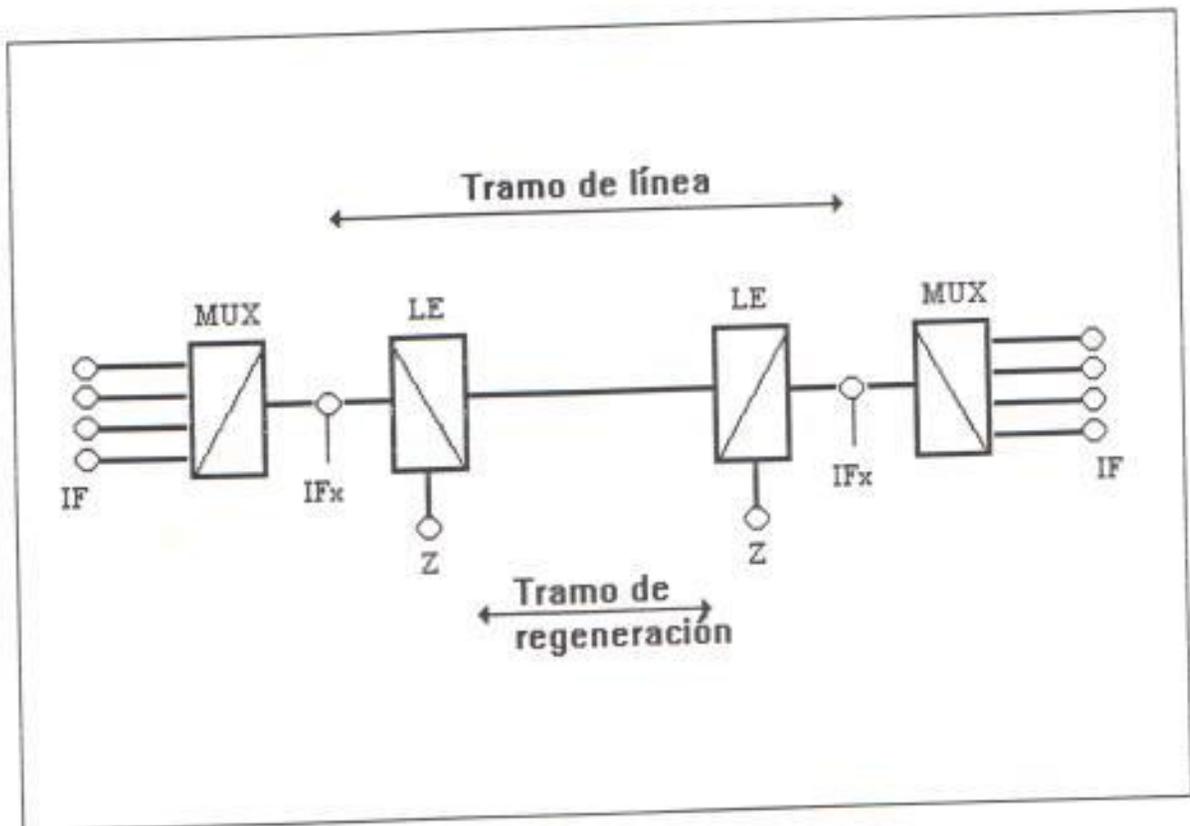


FIG. 29 Elementos Básicos de un Ruta de Transmision Optica

Para obtener a velocidades de transmisión bajas de 34 Mbps una adaptación rentable de las longitudes de regeneración a cubrir, hay básicamente dos ejecuciones de equipos terminales de línea: con transmisores a base de diodos electroluminiscentes (LED) y con

diodos láser (LD). En el caso de la versión con LD el margen de los tramos regeneración esta dentro de los 20 hasta alrededor de los 30 km (fibras multimodo) y de 41 hasta aproximadamente 68 km (fibras monomodo).

Para las velocidades de transmisión de 140 Mbps se instalan exclusivamente como transmisores los diodos láser, de forma que con el estado actual de la técnica y utilizando fibras monomodo es posible cubrir distancias desde 28 a 47 km.

4.2 DESCRIPCIÓN DEL ENLACE INTERCENTRAL CENTRO-BOYACA A 140 Mbps DE ERICSSON

En los capítulos precedentes se ha examinado el sistema de transmisión fibro óptico; equipos multiplexores, equipos de línea, desde el punto de vista teórico. Esta sección se enfoca el funcionamiento práctico del sistema aplicado al enlace Centro-Boyaca que actualmente existe en Guayaquil.

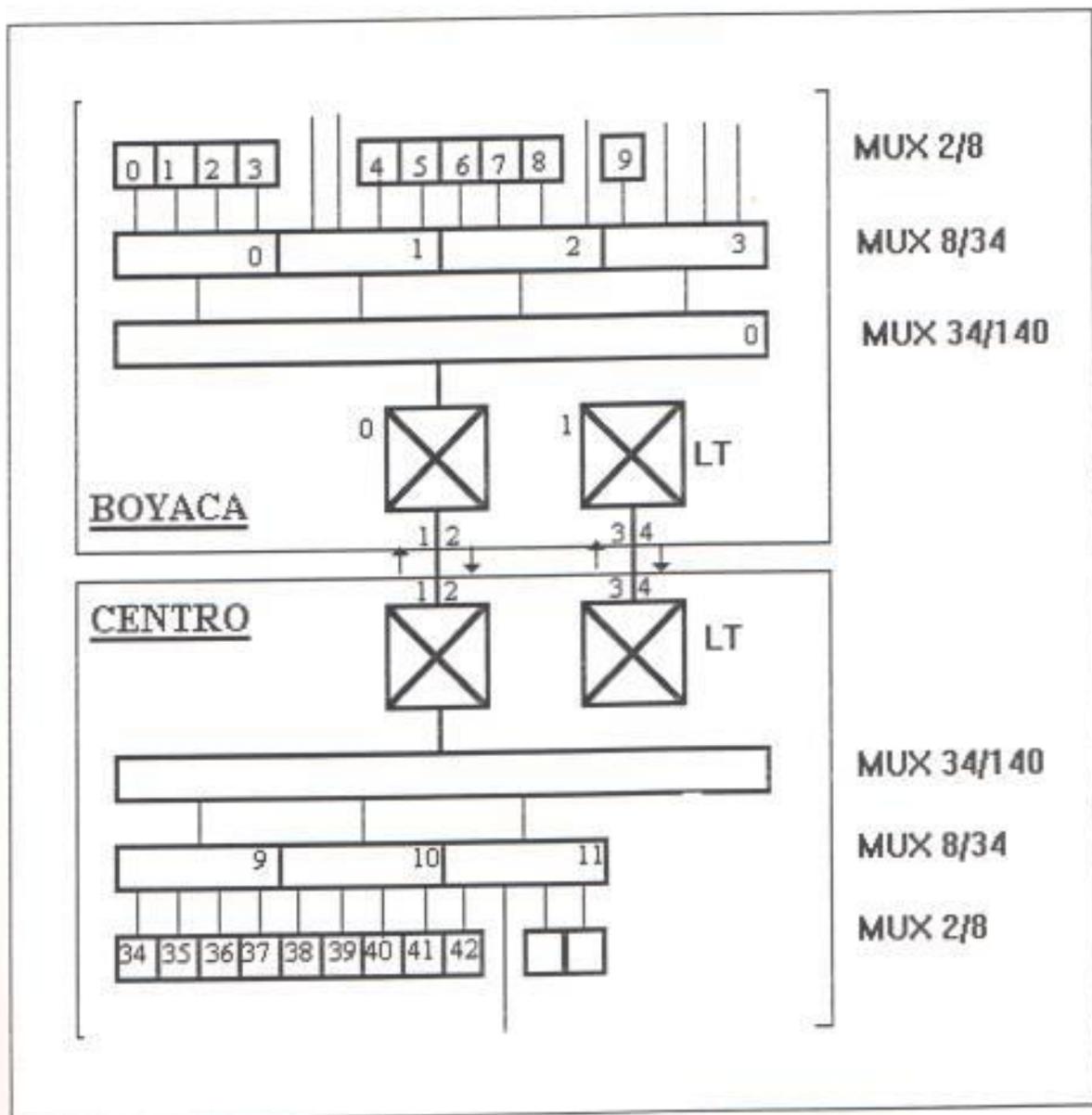


FIG. 30 Esquema Simplificado de Enlace Centro-Boyaca

En el diagrama simplificado se ilustra el funcionamiento de un sistema de transmisión a 140 Mbps similar al empleado en el enlace Centro-Boyaca. Se muestra las etapas del

multiplexado, en su segundo, tercero y cuarto nivel jerárquico de multiplexación así como los equipos de línea, el tramo de regeneración y el tramo de línea. Cabe mencionar que tanto los equipos de multiplexado y los equipos de línea se encuentran alojados en los edificios de las centrales Centro y Boyaca

A la entrada de la etapa de multiplexado ingresan las señales codificadas en HDB3 a una velocidad de 2 Mbps, lo que permite 30 canales de voz por entrada, que corresponde al segundo nivel en la jerarquía de multiplexación. A continuación las señales atraviesan los niveles siguientes, tercero y cuarto, obteniéndose al final de la etapa de multiplexación una señal con una velocidad de 140 Mbps lo que permite la transmisión de 1920 canales de voz, ver la figura. Estas señales llegan luego al equipo terminal de línea por medio de interfaz D4, donde se regeneran, limitan, codifican y finalmente se convierte en una señal óptica, por medio de un transmisor láser, la cual se inyecta a la fibra por medio de la interfaz F4 para su transmisión.

Al final del tramo de regeneración, el cual consiste de un cable de 6 fibras ópticas con tipo de enlace 2 + 0 (sin respaldo) de una longitud de 880 metros, en un proceso inverso, la señal óptica recibida por el equipo terminal de línea se convierte a eléctrica la cual a continuación es desmultiplexada obteniéndose a la salida las señales en código HDB3 a 2 Mbps originales.

En las centrales Ericsson no existen equipos terminales de respaldo. De los 10 LT de 140 Mbps para fibra multimodo existentes en la central Centro, 2 son usados para el enlace con su respectivos destinos en la Central Boyaca (Enlace 2 + 0).

De las 6 fibras ópticas del cable que une estas 2 centrales, corresponden al enlace las fibras 1-2 y 3-4.

Las fibras 5-6 que llegan a Boyaca se empalman con las fibras 5-6 de otro cable que une Boyaca-Bellavista teniéndose un enlace Centro-Bellavista a 140 Mb y 2 enlaces Boyaca-Bellavista a 34 Mb (Con las fibras 1-2, 3-4 del cable Boyaca-Bellavista). En la figura podemos ver la constitución del cable de fibra óptica de Ericsson.

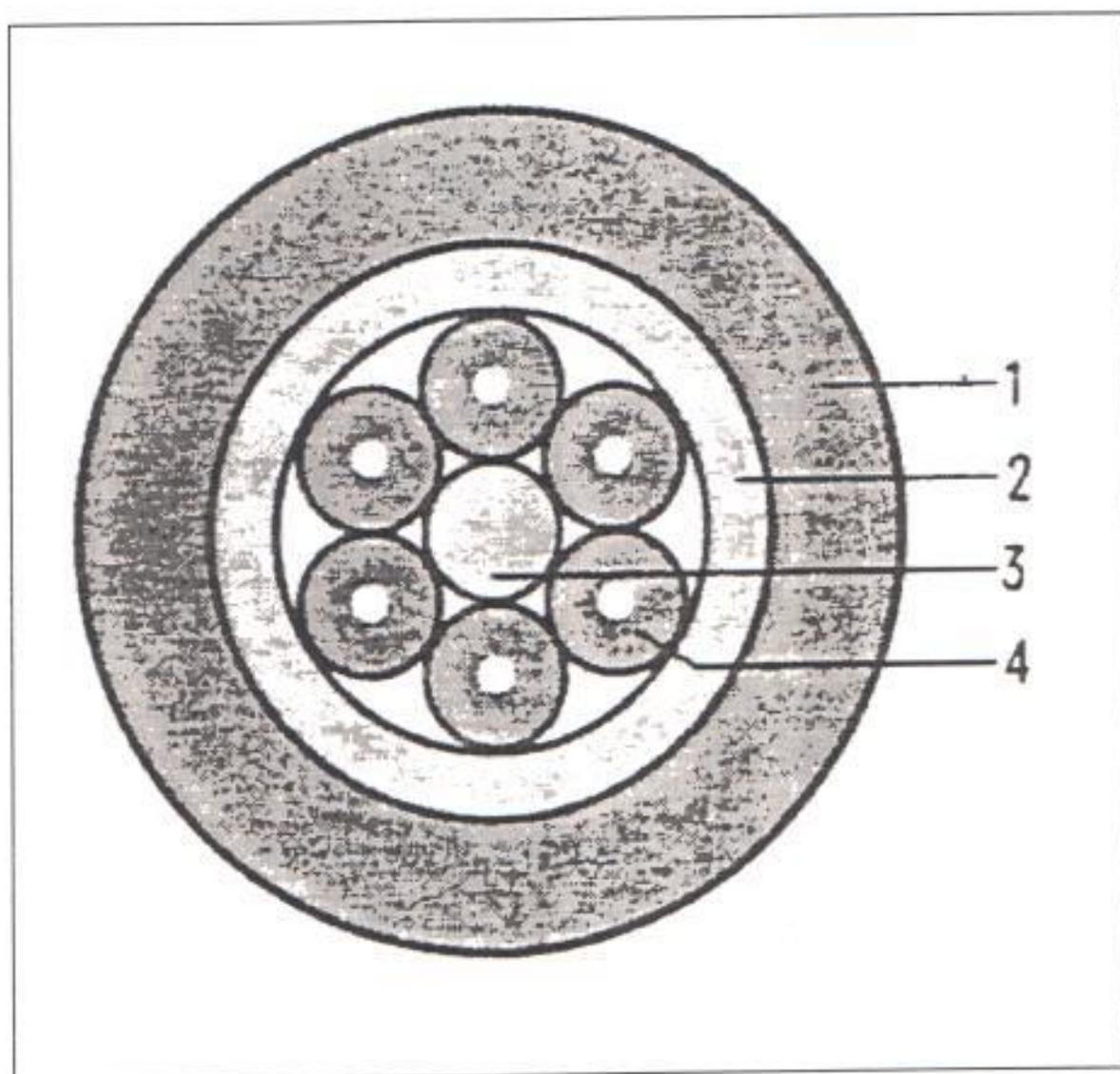


FIG. 31 Característica de Fibra Multimodo del enlace Centro-Boyaca

La siguiente tabla indica pruebas realizadas en las fibras para los equipos de 140 Mb a 850 nm tomadas el 19 de Agosto de 1983 fecha de su instalación.

FIBRA	ATENUACIÓN	DISPERSIÓN MODAL	DIRECCIÓN DE TRANSMISIÓN	NUMERO DE SISTEMA
1	3.55 dB	0.61 nseg	Centro-Boyaca	LT 140 - 2
2	3.90 dB	0.54 ns	Boyaca-Centro	LT 140 - 2
3	3.19 dB	0.45 ns	Centro-Boyaca	LT 140 - 3
4	4.15 dB	0.59 ns	Boyaca-Centro	LT 140 - 3

	POTENCIA ÓPTICA TRANSMITIDA		POTENCIA ÓPTICA RECIBIDA	
	EXPERIMENT.	REQUERIDO	EXPERIMENT.	REQUERIDO
LT 140 - 2 (F 1-2)	- 1.3 dBm	- 4.5 dBm	- 22.19 dBm	- 24.05 dBm
LT 140 - 3 (F 3-4)	- 2.09 dBm	- 4.5 dBm	- 21.17 dBm	- 24.05 dBm

4.3 UBICACIÓN DE LAS CENTRALES Y CANALIZACIÓN

Los equipos de transmisión (LT) y Multiplexores para el enlace intercentral Centro-Boyaca se encuentran en los edificios ubicados en las calles:

- Boyaca y Urdaneta esquina para central BOYACA, 4 to. Piso.
- Chile entre Aguirre y Clemente Ballen para central CENTRO, 3 er. Piso.

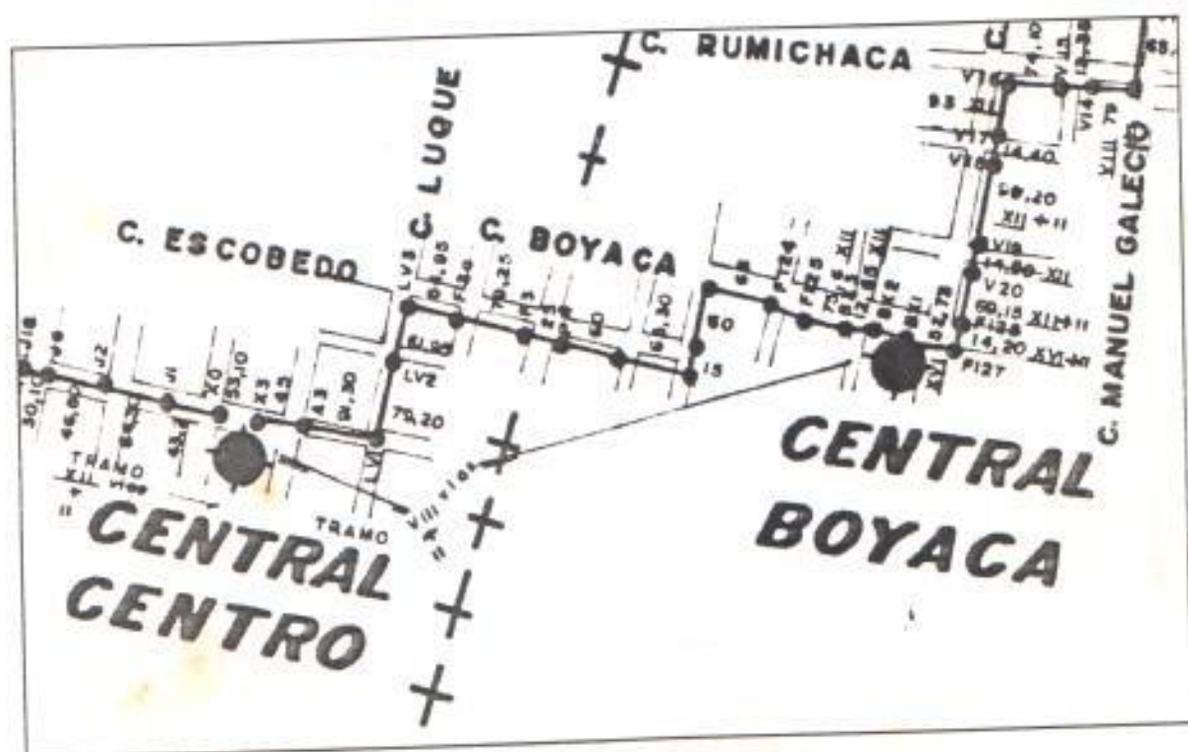


FIG. 32 Ruta de Canalización entre Centro y Boyaca

Como se puede apreciar en el gráfico esta incluida la canalización donde esta ubicado uno de los cables de 6 fibras multimodo usado para este enlace.

En los siguientes gráficos se puede apreciar la disposición de los equipos en la sala de conmutación.

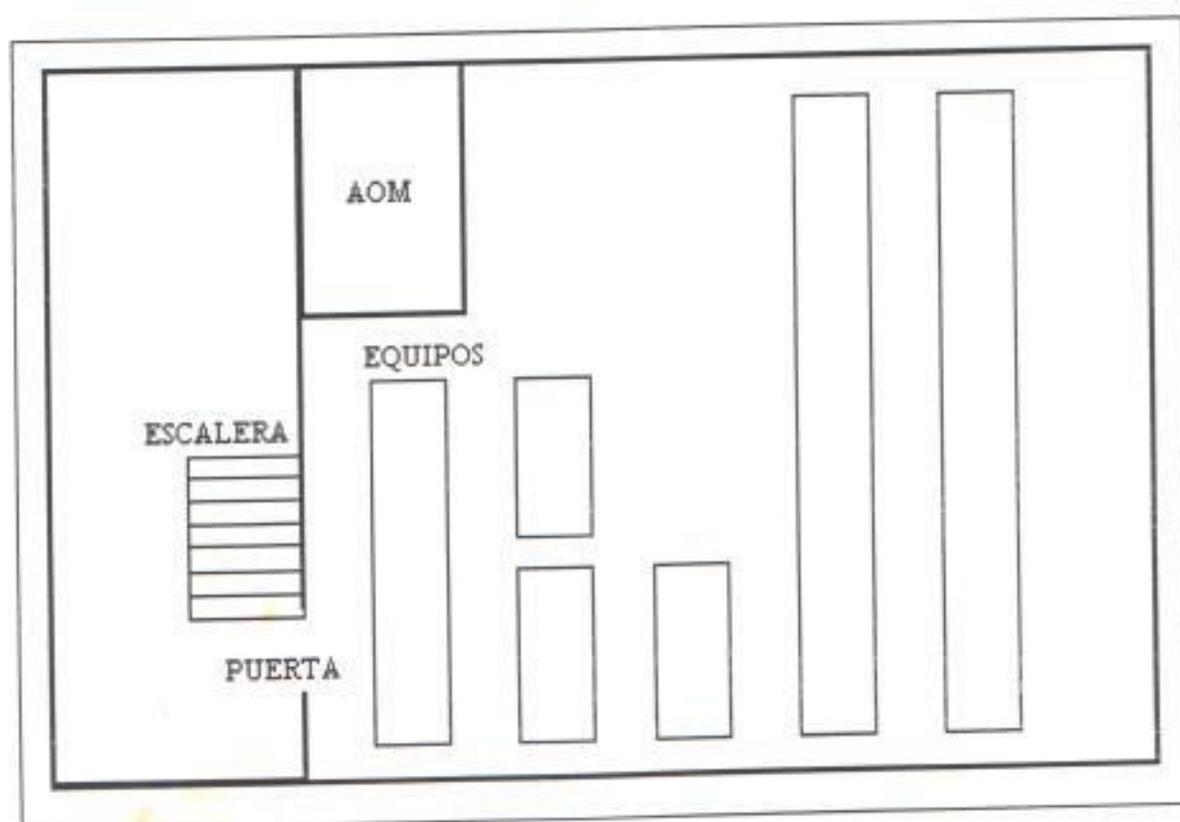


FIG. 33 Equipos de Ericsson en el 3 er. Piso de central Centro

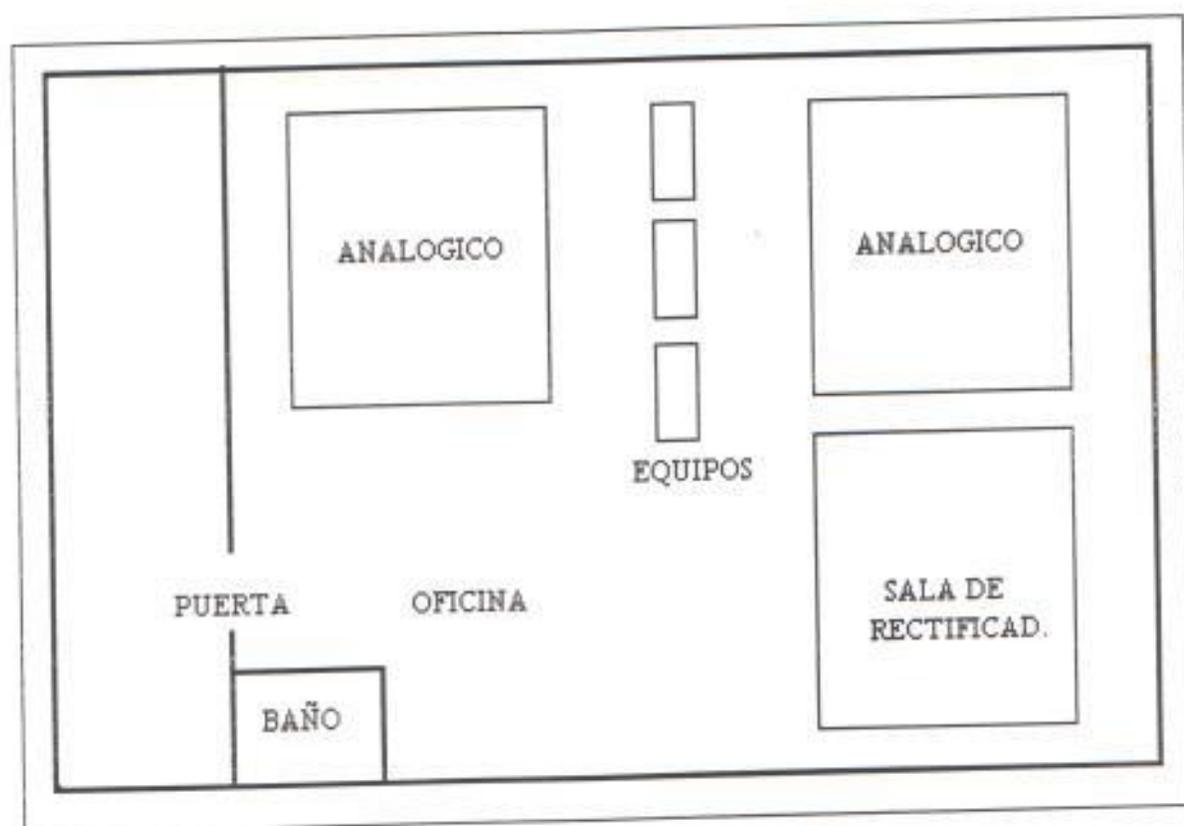


FIG. 34 Equipos de Ericsson en el 4to. Piso de central Boyaca

En los siguientes figuras se observan los equipos terminales de línea en los bastidores. Se pueden ver los multiplexores de 2/8 y las cajas terminales de la fibra que es a donde llegan las fibras de los distribuidores antes de ser conectados a los LT.

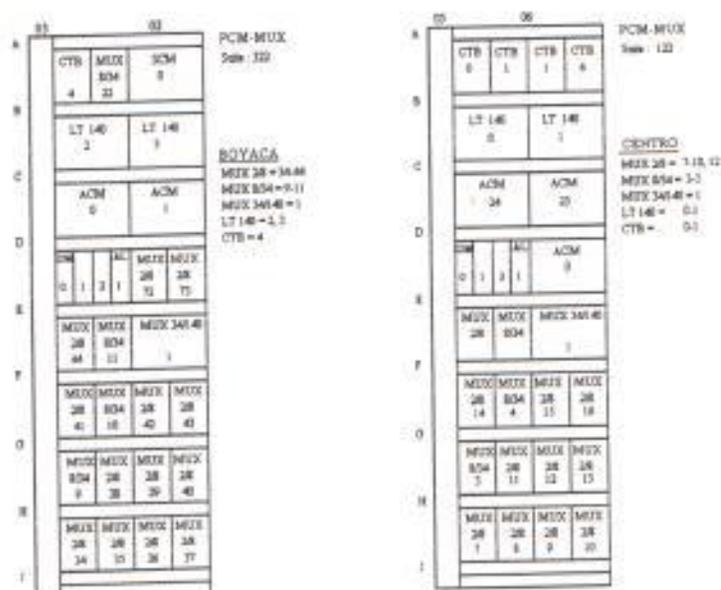


FIG. 35 Layout de los Bastidores

4.4 MANTENIMIENTO

Los equipos de multiplexamiento se automonitorean y si una falla se presenta, se genera una alarma. La filosofía de detección de alarmas cumple con las recomendaciones del CCITT y con las consideraciones generales de Ericsson para sus equipos de transmisión.

Una rutina de mantenimiento no es requerida, se monitorean continuamente 2 tasas de error para la calidad de la supervisión.

$$\text{BER} = 10 \exp - 3 \quad \text{BER} = 10 \exp -x \quad (x = 4, 5 \text{ o } 6)$$

Por lo general el tipo de fallas que ocurren en los multiplexores son de dessincronización de tramas, cuando esto empieza a ocurrir o aparece otra avería simplemente se cambian las tarjetas hasta que la alarma indicadora de el problema se apague.

En lo que respecta al equipo terminal de línea las alarmas primarias generan alarmas tipo Bay, indicadores visuales y una alarma de sistema para propósitos de supervisión de red. Su función es proveer una fácil localización del equipo donde se produce la falla y simplificar el mantenimiento.

Las alarmas son iniciadas por:

- Fallas de poder
- Tasa de error $> 10 \exp - 6$, en la dirección de recepción
- Tasa de error $> 10 \exp - 3$, en la dirección de recepción
- Pérdida de señal eléctrica entrante, en la dirección de recepción
- Pérdida de señal eléctrica enviada, en la dirección de transmisión
- Degradación del láser.

La degradación del láser es el principal y casi único motivo de falla en la transmisión. Por esto mantenimiento preventivo, alarmas no-urgentes (Tipo B) se presenta en estos casos.

También se provee al equipo de puntos de prueba para el reloj, código de error, temperatura del láser, corriente del láser, voltajes bios del APD Y voltajes DC.

A continuación se muestran los estados de falla que se pueden presentar en los equipos multiplexores, 2/8, 8/34, 34/140, o para el equipo terminal.

ESTADOS DE FALLA: MUX X/Y

El equipo puede detectar varios estados de falla que se recopilan en la lista a continuación con las abreviaciones empleadas.

P	Indicación recordatoria de que se ha producido alarma
PFL	Falla en el suministro de energía
SLF	Falla en la línea de A.F. (que se indica como FFL)
FFL	Error de trama
BFL	Frecuencia de errores de bits demasiado alta
B11R	Se ha recibido bit de alarma 11

TRF	Cese de la señal entrante de 2 Mb
AIS	Se ha recibido señal indicadora de alarma

Indicación P activada (P)

La indicación P (indicación recordatoria) implica que se ha pulsado a su posición oprimido (ON) el botón correspondiente del extremo superior del frente de la unidad "Y Mb Control unit".

Falla en el suministro de energía (PFL)

Esta indicación implica que se ha detectado una anomalía en las tensiones secundarias del convertidor de c.c. de acuerdo con los valores de la tabla a continuación.

Salida	Tensión
+5 v	0 a +1,5 v
+12 v	0 a +3,0 v
-12 v	0 a -3,0 v

Falla en la línea de A.F. (SLF)

SLF implica que no se puede detectar la señal entrante de Y Mbps. La indicación SLF se activa después de desaparecer el ritmo de temporización en la señal entrante de Y Mbps. SLF se indica como FFL.

Error de trama (FFL)

FFL se activa después de haberse detectado cuatro palabras erróneas consecutivas de enganche de trama. FFL vuelve a estado no activado cuando se detecta una palabra correcta de enganche de trama en tres tramas consecutivas.

Frecuencia alta de errores de bits (BFL)

BFL implica que la señal entrante de Y Mbps presenta una frecuencia de errores de bits que por término medio es peor de $1:10^3$.

Se cuenta para ello el número de palabras de enganche de tramas erróneas. Por errónea se entiende una divergencia con respecto a la palabra correcta en por lo menos una posición de bit. El límite de alarma se rebasa si se detectan por término medio más de una palabra de enganche de trama errónea por cada 10^3 palabras correctas.

Alarma por falla en el terminal remoto (B11R)

Se detecta falla en el terminal remoto al recibirse un "1" en el bit 11 de la trama entrante de Y Mb.

Cese de la señal de X Mb entrante (TRF)

TRF se activa cuando se pierde el ritmo de temporización en la señal X Mb entrante. TRF se indica en la unidad "Y Mb Control unit T", así como un diodo piloto de la unidad "X/Y Mb Tributary unit".

Señal de indicación de alarma recibida (AIS)

AIS es una señal compuesta por solamente unos. AIS recibida implica que se ha detectado un máximo de un cero al recibirse (1 trama). Se considera que no se ha recibido AIS si se han detectado dos o más ceros mientras se recibe la trama.

ESTADOS DE FALLA: EQUIPO TERMINAL

ALARMAS, SUPERVISIÓN

GENERAL

El sistema se supervisa vigilando continuamente las condiciones de la señal de línea en diferentes partes del almacén determinación de línea a fin de producir una alarma.

Las fallas detectadas provocan alarmas primarias que pueden usarse a su vez para producir alarmas resultantes.

ALARMAS PRIMARIAS

Una alarma primaria es la condición activada por un circuito supervisor que ha detectado una falla. Las alarmas primarias indican directamente anomalías en señales o en la alimentación de energía así como tasas de errores demasiado altas.

La alarma P se usa como indicación recordatoria de que han ocurrido anomalías y se ha producido alarmas.

Perdida de la señal de entrada (LST, LSR)

Perdida de una señal entrante se detecta en ambos sentidos de emisión y de recepción del terminal de línea activándose en tal caso una alarma.

A continuación se emite el AIS (Alarm Indication Signal) al lado de línea y lado de interfaz, respectivamente.

Cese de la alimentación de energía (PFL)

La alarma PFL se activa al excederse uno o varios de los siguientes valores, cuando se detectan las tensiones secundarias de los convertidores de c.c. tipo ROF 137 7084/3

$+5\text{ V} < 1.5\text{ V}$; $+12\text{ V} < 3.0\text{ V}$; $-12\text{ V} > -3.0$; $-5.2\text{ V} > -1.5\text{ V}$; en ROF 137 7084/3.

Degradación del diodo del láser (LDD)

Para supervisar la condición del diodo del láser esta unidad tiene un circuito de aviso (alarma con antelación) que indica que la corriente umbral del láser ha alcanzado un cierto nivel. Esta condición de alarma puede indicarse con un diodo LED o puede comprobarse en un punto de medición del frente de la unidad.

Tasa de errores de bits alta (BFL 3, BFL 6)

El número de errores de código de línea que dan lugar a una tasa de errores de 1 por 10^3 , y una tasa de errores de 1 por 10^6 , son detectadas y producen una alarma. BFL3, BFL6 son las alarmas primarias que corresponden a estas dos tasas de errores.

ALARMAS RESULTANTES

Las alarmas resultantes son las diferentes acciones resultantes de las alarmas primarias.

Alarma de sistema

La alarma de sistema consiste en una salida de contacto de transistor. Las alarmas de sistema pueden transferirse al equipo de alarma central de la estación a fines de supervisión.

Señal de indicación de alarma (alarm indication signal - AIS)

AIS es una secuencia continua binaria de "unos" que se emite por la línea o en el lado múltiplex cuando se ha perdido la señal o existe una elevada tasa de errores de bits (violaciones de código) en los interfaces en cuestión. AIS impide que se produzcan alarmas (A/B) en otro equipos diferentes de aquellos en los que se ha producido la alarma.

CONCLUSIONES y RECOMENDACIONES

En la red interurbana de Guayaquil se transmiten normalmente velocidades binarias medias y elevadas a través de distancias relativamente pequeñas. Como hemos visto con las tecnologías existentes actualmente se pueden instalar estos sistemas con velocidades de hasta 565 Mbps fácilmente en áreas reducidas y en corto tiempo.

Los equipos terminales de línea ZFM 49501 de Ericsson que operan a 140 Mbps para el enlace Centro-Boyaca cumplen con los requerimientos de potencia óptica de transmisión y los mínimos de recepción necesarios para la comunicación. página 161

La atenuación que presentan las fibras multimodo del enlace se encuentra dentro de los parámetros aceptables para la transmisión de la información tal como lo indica la página 161.

Se ha comprobado la confiabilidad y fácil manejo del enlace, los problemas en la comunicación en lo que respecta al equipo terminal ocurre cuando en la tarjeta "140 Mb Laser Transmitter" el diodo láser funciona mal por efectos de envejecimiento; un daño en otra tarjeta del LT es poco probable. En lo que respecta al Multiplexor, la

desincronización de las tramas es el problema que generalmente afecta a todo el sistema.

En cuanto a las fibras su supervisión es fácil con el uso del reflectómetro.

Es una gran desventaja que los equipos de Ericsson del enlace Centro-Boyaca sean del tipo 2 + 0, en una zona de mucho tráfico. Desde el punto de vista del mantenimiento también es un problema que los equipos sean sin respaldo por cuanto al presentarse deterioro en la comunicación y se sospeche que la falla este en el LT no se lo pueda aislar para su revisión.

El desarrollo de las comunicaciones ópticas va hacia la búsqueda de capacidades de transmisión elevadas y mayores tramos de regeneración; por otra parte aun cuando en el país el área de telecomunicaciones no esta relegado con respecto a países mas desarrollados, adquieren importancia áreas de aplicaciones suplementarias, como redes urbanas publicas para conexiones banda ancha (ISDN Integrated Service Digital Network -Broadband), redes de área local privadas, transmisión de datos en sistemas de automatización.

Con el desarrollo de sistemas fibra ópticos de alta velocidad, aparentemente los estándares originales TDM ya no son adecuados. Un nuevo estándar TDM llamado SONET (Synchronous Optical Network) fue propuesto por Bellcore en 1985 y aceptado en 1989 por la CCITT, el cual está orientado a las transmisiones ópticas, con el objeto de

obtener la correspondiente mayor capacidad de transmisión para informaciones adicionales con la que se busca una red mundial de transmisión normalizada.

BIBLIOGRAFÍA

1. CAUCH II, L. Digital and Analog Communication System, Macmillan, USA, 1990, 827 p.
2. ERICSSON, Sistemas de Transmisión, recopilación de revistas.
3. ERICSSON, Manuales de mantenimiento, descripción, instalación. EMETEL.
4. SIEMENS, Telecomunicación Digital: Información Básica, Marcombo, Barcelona, 64 p.
5. SIEMENS, Telecomunicación Digital: Tecnología Cossconnect, Marcombo, 61 p
6. SIEMENS, Telecomunicación Digital: Equipos de Línea para sistemas de transmisión por fibra óptica, Marcombo, 54 p.
7. SIEMENS, Comunicaciones Ópticas, Edición especial de telecomunicaciones reporte. Vol 6, 1983, 233 p.
8. STALLING, W. Data and Computer Communication, 4 ta. Edición, Macmillan, N.Y., USA, 875 p.