



ACTIVO FIJO 155501



ESCUELA SUPERIOR POLITECNICA DEL LITORAL

Facultad de Ingeniería en Electricidad y Computación

REINGENIERIA DE LA UNIDAD DE CARGADO

DEL PROGRAMA OPERATIVO

DEL SISTEMA DE GUERRA ELECTRÓNICA

NS-9010-EC DE LAS UNIDADES CLASE "QUITO"

TESIS DE GRADO

Previa la obtención del Título de:

INGENIERO EN ELECTRICIDAD

ESPECIALIZACION ELECTRONICA

Presentada por:

Boris Eduardo Brito Moreno

GUAYAQUIL-ECUADOR

AÑO

2001

AGRADECIMIENTO

A la Armada del Ecuador, por promover mi capacitación profesional, de manera especial al Centro de Investigación y Desarrollo Naval.

A la Ing. Helen Vega, Directora de Tesis, por su invaluable y desinteresado apoyo.

Al Ing. Rodrigo Moscoso, por su paciencia y sus consejos.

DEDICATORIA

A DIOS,

A MARIA ANGELINA,

A MI MADRE,

A MI HERMANA Y MIS SOBRINOS.

TRIBUNAL DE GRADUACION



Ing. Carlos Monsalve

SUB-DECANO DE LA FIEC



Ing. Helen Vega

DIRECTORA DE TESIS



Ing. Norman Chootong

MIEMBRO



Ing. Sara Rios

MIEMBRO

INDICE GENERAL

RESUMEN	VI
INDICE GENERAL	VII
ABREVIATURAS	XII
INDICE DE FIGURAS	XIII
INDICE DE TABLAS	XV
INDICE DE ANEXOS	XVI
INTRODUCCION	1
1 EL SISTEMA NS-9010-EC	2
1.1 Descripción del equipo	2
1.1.1 Especificaciones generales	2
1.1.2 Descripción física	4
1.1.3 Descripción funcional	6
1.1.4 Operación	9
1.2 El Grupo de Procesamiento y el MRU	10
1.2.1 CPU	12
1.2.2 Interfases de entrada y salida	14
1.2.3 Memoria de 128 K	15

1.2.4	Disquetera de 8 pulgadas: MRU _____	23
1.3	Dispositivos de almacenamiento de memoria _____	32
1.3.1	Las unidades de disco flexible _____	32
1.3.2	Las unidades de disco flexible de 120 MB _____	39
1.3.3	Memorias SRAM _____	41
1.3.4	Memorias EPROM _____	42
1.3.5	Memorias NVSRAM _____	42
2	ANÁLISIS DEL PROBLEMA _____	45
2.1	Situación actual del equipo _____	45
2.1.1	Proceso de almacenamiento del Programa Operativo ____	45
2.1.2	Ciclo de escritura y lectura _____	46
2.1.3	Diagrama eléctrico de alimentación de las memorias ____	48
2.2	Planteamiento del problema _____	51
2.2.1	Capacidad operativa de la unidad _____	54
2.2.2	Operatividad del equipo _____	54
3	ALTERNATIVAS DE POSIBLES SOLUCIONES _____	55
3.1	Recuperacion de la cap. operativa de la lae Quito _____	55
3.2	Recuperacion de la operatividad del NS9010-EC _____	56
3.3	Diseño del nuevo dispositivo de almacenamiento de memoria	60
3.4	Solución planteada _____	62

4	DISEÑO DEL PROTOTIPO RESPALDO DE BATERÍA	63
4.1	Batería recargable	63
4.1.1	Proceso de descarga	64
4.1.2	Proceso de carga	66
4.1.3	Tensión de reposo	67
4.1.4	Tensión nominal	67
4.1.5	Tensión de descarga	67
4.1.6	Tensión final de descarga y tension final en funcion del sistema	69
4.2	Especificaciones generales del diseño	70
4.3	Dimensionamiento de la batería	71
4.3.1	Capacidad	71
4.3.2	Rendimiento y factor de carga	72
4.3.3	Análisis de parámetros del banco de memorias	72
4.3.4	Análisis de recarga de la batería	73
4.4	Desarrollo del prototipo	75
4.4.1	Implantación	75
4.4.2	Circuito respaldo de Batería.- diagrama eléctrico	77
4.4.3	Instalación	77
4.4.4	Operación del circuito	78
4.4.5	Localización	79

4.4.6	Lista de componentes	79
4.5	Selección de la batería	80
5	DESARROLLO DEL PROTOTIPO RESPALDO DE MEMORIA	81
5.1	Especificaciones generales del diseño	81
5.2	Diseño del prototipo	82
5.2.1	Elección de las NVSRAM para el banco de memorias	84
5.2.2	Elección de las EPROM	89
5.2.3	Diagrama del prototipo	90
5.2.4	Implantación	93
5.2.5	Diseño del controlador	95
5.2.6	Señales del conector J3/P3	100
5.2.7	Lista de componentes	101
5.3	Operación	102
5.4	Funcionamiento	103
VI	CONCLUSIONES	105
VII	RECOMENDACIONES	108
VIII	ANEXOS	109
IX	BIBLIOGRAFIA	121

ABREVIATURAS

CE	Deshabilitación del integrado (Chip Enable).
CS	Selección del Integrado (Chip Select).
EPROM	Memoria PROM borrable (Erasable PROM).
ESCLAM	Escuadrón de Lanchas Misileras.
FEM	Fuerza Electromotriz
GIROCOMPAS	Dispositivo de orientación de la unidad respecto al Norte Verdadero
IBM	International Business Machine
LAE	Lancha de la Armada del Ecuador.
MRU	Unidad de Grabado Magnético (Magnetic Recording Unit).
NVSRAM	Memoria RAM no volátil (No Volatil Static RAM).
PAL	Arreglo Lógico Programable (Programmable Array Logic).
PC	Computador Personal (Personal Computer)
R	Lectura (Read)
SRAM	Memoria RAM estática (Static RAM).
W	Escritura (Write).

INDICE DE FIGURAS

Fig. 1.1	Diagrama de Bloques del NS-9010-EC.	6
Fig. 1.2	Diagrama de Bloques del Grupo de Procesamiento.	11
Fig. 1.3	Diagrama de Bloques del CPU.	13
Fig. 1.4	Diagrama de Bloques de la memoria de 128 K.	17
Fig. 1.5	Diagrama de tiempo de Lectura/ Escritura de la Memoria.	22
Fig. 1.6	Sistema de disquette-interfase.	24
Fig. 1.7	Diagrama de Bloques del MRU.	28
Fig. 1.8	Diagrama de Tiempo de Escritura y Lectura de Datos del MRU.	30
Fig.1.9	Diagrama de bloques de una disquetera de 3.5 pulgadas.	37
Fig. 2.1	Ciclo de Escritura y Lectura de las memorias SRAM.	47
Fig. 2.2	Diagrama de bloques de la alimentación eléctrica de las memorias.	49
Fig. 2.3	Configuración Eléctrica maestro-esclavo del banco de memorias SRAM.	51
Fig. 4.1	Diagrama de bloques de la implantación del prototipo	75
Fig. 5.1	Diagrama de Bloques del Prototipo.	85
Fig. 5.2	Unidades de Memoria del NS-9010 V1.	88
Fig. 5.3	Diagrama del Prototipo.	92

Fig. 5.4 División del Prototipo por bloques 94

Fig. 5.5 Diagrama de Tiempo de las señales del Controlador. 98

INDICE DE TABLAS

Tabla I	Distribución de Pines de la disquetera de 3.5".	40
Tabla II	Lectura y Escritura de las memorias SRAM.	46
Tabla III	Tabla causa- efecto- consecuencias.	53
Tabla IV	Características funcionales de las memorias NVSRAM.	86
Tabla V	Modo de Operación de las SRAM.	86
Tabla VI	Modo de Operación de las NVSRAM.	87
Tabla VII	Cuadro de equivalencias de las señales de control de las SRAM y NVSRAM.	89
Tabla VIII	Características funcionales de las memorias EPROM 27128.	91
Tabla IX	Equivalencia de pines para la lectura (EPROM) y escritura (NVSRAM) de datos.	91
Tabla X	Señales del conector P3/J3.	101

INTRODUCCION

- Las Lanchas Misileras clase QUITO están equipadas desde 1992, con un sistema de Guerra Electrónica NS-9010-EC de fabricación israelí, estos sistemas disponen de una unidad de cargado del programa operativo (MRU) que emplea una disquetera de 8" fabricada por la compañía MILTOPE, actualmente en obsolescencia.

- La ausencia de la unidad de cargado (MRU) de la Lancha Misilera "QUITO" ha conducido a que la operación de este sistema se vea restringida al apoyo que le pueda brindar cualquiera de las otras dos lanchas para cargar dicho programa, sin el cual no puede arrancar.

CAPÍTULO 1

1 EL SISTEMA NS-9010-EC

1.1 Descripción del equipo

1.1.1 Especificaciones generales

El NS-9010-EC ESM es un sistema avanzado de Guerra Electrónica, instalado en las Lanchas Misileras clase "QUITO", capaz de realizar las siguientes operaciones funcionales:

- Recepción, análisis e identificación de señales de radar en el rango de frecuencia de 1 a 18 GHz.
- Medición de la dirección de origen de las señales de radar con alta precisión.
- Cobertura simultánea de 360 grados con antenas omnidireccionales, espirales y antenas lente.

- Detección de la dirección de la emisión por el uso de la antena estática DF(direction finding), con 360 grados de azimuth y 20 grados de elevación.
- Presentación visual en una pantalla de 17" en los modos:
 - Cartesiano: Frecuencia vs. Azimuth.
 - Polar.
 - Parámetros alfanuméricos para la identificación de emisiones recibidas.
- Alerta acústica para emisiones pre-programadas.
- Panel de control para la comunicación interactiva entre el operador y el sistema, usando:
 - Teclado de 4x4 para uso general.
 - Botones pulsantes para funciones especiales.
 - Palanca (Joystick) para la designación de las emisiones detectadas.
- Computadora digital con:
 - Palabras de 16 bits.
 - Memoria de 128k word.
 - Dos canales de Acceso Directo a Memoria DMA.
 - Tiempo típico de ejecución de instrucciones: 1us.

- Identificación de las emisiones: Comparación de las emisiones detectadas con una librería pre-programada.
- Más de 100 emisiones programadas con las características:
 - a) Parámetros de emisión.
 - b) Nombre de la emisión.
 - c) Prioridad de la emisión.
 - d) Plataforma de la emisión.
- Dispositivos de interfase con el buque:
 - a) Protección de los radares de la unidad.
 - b) Con el girocompás del buque para Marcación verdadera.

1.1.2 Descripción Física

El sistema NS-9010-EC consta de los siguientes equipos, se presenta un diagrama de bloques en la fig. 1.1:

- a) *CONSOLA DEL OPERADOR*: ubicada en el CIC (Centro de Información de Combate), tiene las siguientes partes:
 - PDU (Unidad de distribución de poder).
 - LPU (Unidad de impresión en línea).

- ADU (Unidad de display de actividades).
- CTU (Unidad de control de mesa).
- Panel de Audio.
- MRU (Unidad de grabado magnético).

b) *GAVETA DE EQUIPOS*: También se encuentra en el CIC, se compone de:

- RFU (Unidad de radiofrecuencia).
- IDU (IFM¹ digitizing unit).
- SPU (Unidad de procesamiento de señales).
- CIU (Unidad central de interfase).
- PSU (Unidad de suministro de poder).

c) *IAU (Unidad de búsqueda de dirección intermedia y antena omnidireccional)*: Ubicada en la parte superior del mástil.

d) *FDA (Antena de detección de búsqueda de dirección fina)*: Consta de cuatro unidades similares ubicadas a los costados del mástil.

¹ Medición de frecuencia intermedia

e) *DPU* (Unidad de procesamiento de búsqueda de dirección): Se ubica al pie del mástil.

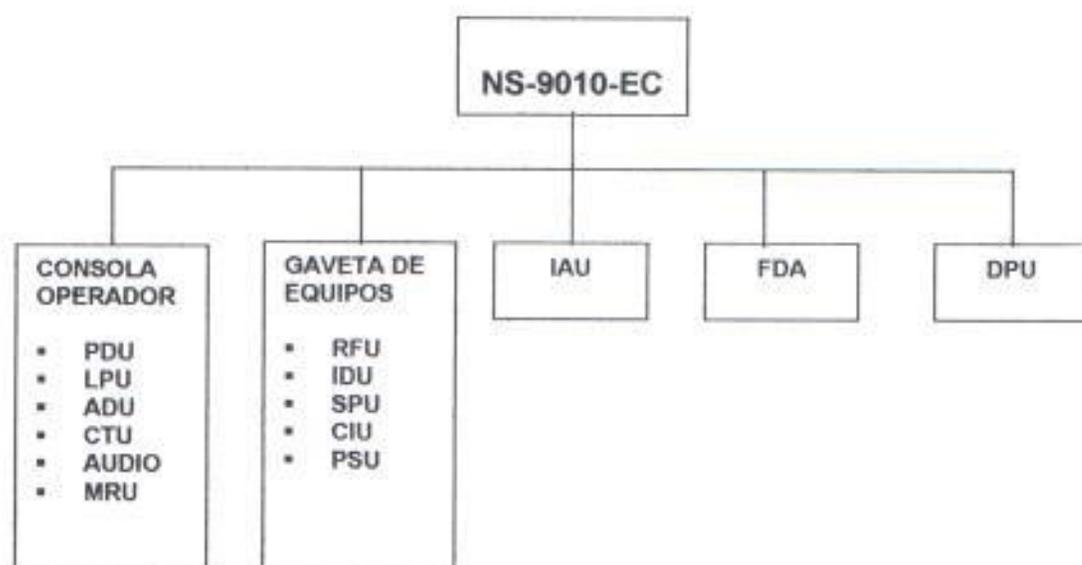


Fig. 1.1 Diagrama de Bloques del NS-9010-EC

1.1.3 Descripción Funcional

Con el fin de cubrir de manera eficiente sus parámetros de funcionamiento, el sistema cuenta con seis grupos funcionales bien definidos:

a) GRUPO RECEPTOR

Consta de una antena omnidireccional localizada en el IAU, la misma que recibe las señales de radiofrecuencia (RF), las señales recibidas son ruteadas al DPU, para posteriormente enviarlas al RFU e IDU localizados en la gaveta de equipos.

Estas unidades convierten las señales de radiofrecuencia en información digital de frecuencia, amplitud y ancho de pulso, para luego rutearlas hacia el grupo de procesamiento localizado en la gaveta de equipos.

b) GRUPO DE RASTREO DE DIRECCION (DIRECTION FINDING GROUP):

Cuenta con seis antenas espirales localizadas en el IAU, y cuatro equipos FDA, cada uno cubriendo una zona de 90 grados. Las señales de radiofrecuencia son recibidas por estas antenas y luego ruteadas al DPU; las señales de amplitud de radiofrecuencia son convertidas en el DPU en palabras digitales, esta información digital se la rutea al grupo de

procesamiento, localizado también en la gaveta de equipos.

c) GRUPO DE PROCESAMIENTO:

Realiza el procesamiento, análisis e identificación de las señales de radar, también controla y monitorea todas las funciones de la consola del operador.

d) GRUPO DE CONTROL Y PRESENTACION:

Localizado en la consola del operador, proporciona información visual y auditiva al operador, y permite un completo control sobre todo el sistema. Se compone de los bloques LPU, ADU, CTU y MRU.

e) GRUPO DE SUMINISTRO DE PODER:

Cuenta con el PDU, localizado en la consola del operador y el PSU que se encuentra en la gaveta de equipos, este grupo distribuye el voltaje AC y provee el poder DC requerido para la operación del equipo.

f) GRUPO DE SOFTWARE

Está compuesto por rutinas de software que sirven para la operación del equipo, permite correr programas de diagnóstico, control y además carga el sistema operativo al equipo.

1.1.4 Operación

El sistema es operado por un solo hombre, ubicado frente a la consola del operador. Generalmente se realizan las siguientes tareas para inicializar el equipo:

- a. El operador verificará que todos los interruptores en todas las unidades del sistema se encuentren en la posición ON.
- b. Se realizará la verificación de que todos los disyuntores (breakers) de los circuitos se encuentren en la posición de encendido.

- c. Verificar que el MRU² (Unidad de Grabado Magnético) se encuentre encendido y el disquete de carga del sistema operativo esté presente.

- d. Presionar el botón PRGM LOAD para cargar el sistema operativo desde el disquete al computador. La esquina marcada en ON deberá encenderse en un color verde para indicar que la carga del programa ha sido completada satisfactoriamente.

1.2 El Grupo de Procesamiento y el MRU

Contiene tres bloques principales, como indica la figura 1.2:

- CPU.
- Interfases de Entrada y Salida.
- Banco de memoria de 128 k.

² Magnetic Recorder Unit

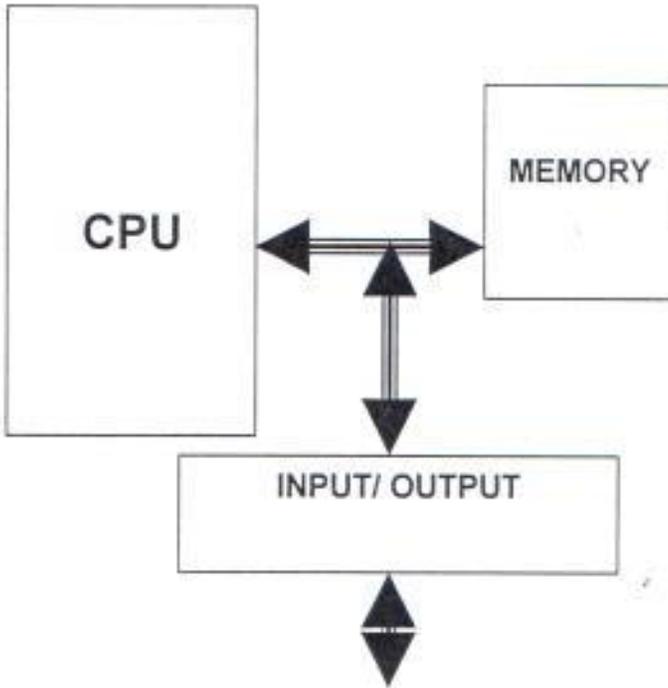


Fig. 1.2 Diagrama de Bloques del Grupo de Procesamiento

Estos bloques están compuestos de los siguientes sub-bloques:

- I/O interfase A.
- I/O interfase B.
- Controlador del canal de datos (DMA-1).
- Controlador del canal de datos (DMA-2).
- Interfase del Control del Proceso (CPI).
- Interfase de la disqueteira (FDI).
- CPU.

- Memoria de 128 K.

1.2.1 CPU

El CPU es un procesador que ejecuta microprogramas de 52 bits en un ciclo de tiempo de 150-250 ns.

La operación de procesador es controlada por un programa operacional de software que se carga desde la disquetera de 8 pulgadas al banco de memorias de 128 k.

Cada instrucción del programa llama al procesador a realizar una acción específica, estas instrucciones pueden mover datos desde o hacia la memoria, desde o hacia los dispositivos de entrada y salida, realiza manipulaciones aritméticas y lógicas, controla la condición (status) de dispositivos externos.

En la figura 1.3 se observan las interrelaciones entre el procesador y los demás dispositivos; los operandos de las operaciones aritméticas y lógicas pueden ser localizadas en los acumuladores, o en algunos casos en la memoria. Las instrucciones aritméticas incluyen suma, resta,

complemento, inverso, multiplicación y división; las instrucciones lógicas incluyen OR, AND, OR exclusiva.

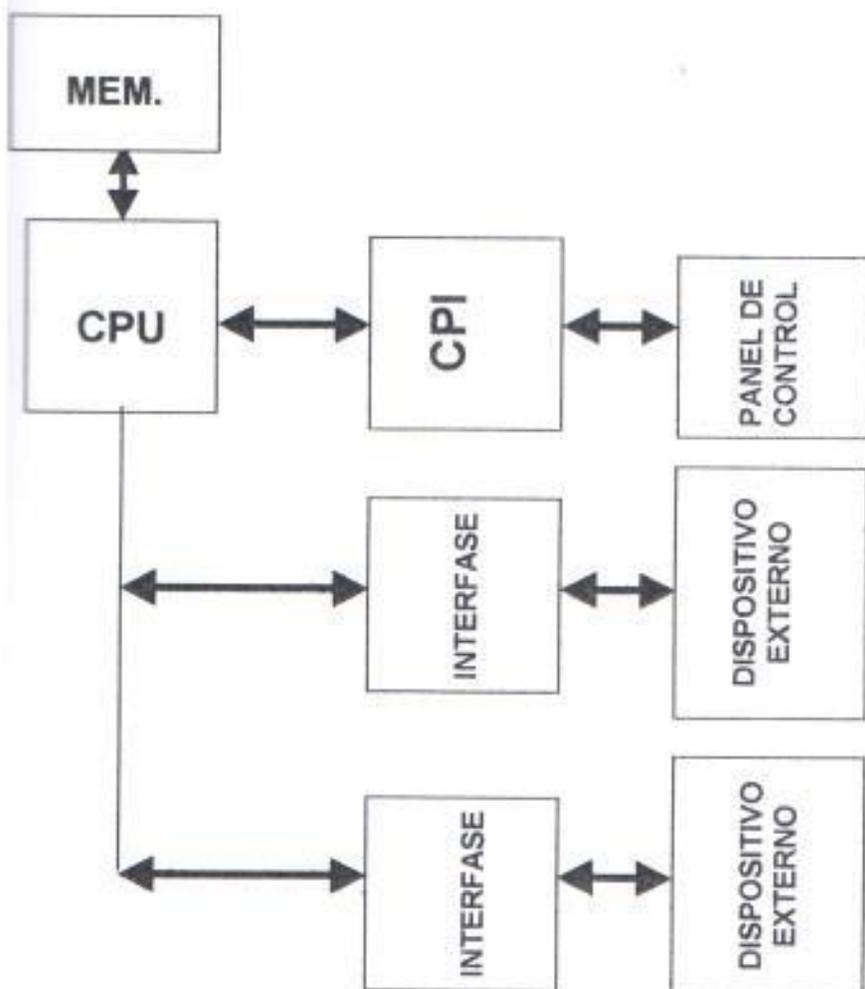


Fig. 1.3 Diagrama de Bloques del CPU.

Las especificaciones básicas del CPU son:

- a. Organización de palabras de 16 bits.

- b. Controlado por microprogramas.
- c. Basado en la familia AMD 2900³.
- d. Cuatro acumuladores de 16 bits.
- e. Tiempo de ciclo de instrucciones de 150-250 nseg.
- f. Tiempo de ciclo de instrucciones aritméticas de 750 nseg.

1.2.2 Interfases de Entrada y Salida

Para que el CPU pueda actuar e interrelacionarse con los otros dispositivos, necesita un camino efectivo de transferencia de datos y control de señales, desde y hacia una variedad de sistemas externos.

El CPU se comunica con esos dispositivos a través del bus de entrada/ salida, el procesador realiza tres tipos de operaciones de entrada/ salida:

- a. Las entradas y salidas programadas permiten al programa del procesador el control y transferencia de datos, desde o hacia la interfase de los dispositivos, para controlar y censar su condición.

³ Familia de microprocesadores de tecnología bit slice, muy usados en la década de los 80.

- b. El programa puede interrumpir las operaciones permitiendo que un determinado dispositivo se someta a una instrucción del procesador.
- c. El canal de acceso directo a memoria permite la transferencia de datos desde o hacia la memoria sin requerir la acción de una instrucción del programa.

Las siguientes son las especificaciones básicas de los interfases de entrada y salida:

- a. Bus de datos de 16 bits.
- b. Dispositivos direccionables de 64 x 3 bits.
- c. Prioridad de interrupción del DMA.
- d. Canal de acceso directo a memoria de 714 Kw/s⁴.

1.2.3 Memoria de 128 K

El banco de memoria es básicamente un dispositivo compuesto por memorias SRAM IDI 7188L70CBX (Anexo 1) manufacturadas de acuerdo a la tecnología CMOS,

⁴ Kilopalabra por segundo

configuradas de modo que se almacene un máximo de 128k, organizados en palabras de 16 bits.

El CPU usa dos buses de direccionamiento de memoria:

- a. AWD: bus de 16 bits de datos y direcciones.
- b. RD: bus de 16 bits de lectura de datos.

De acuerdo con el método de banco de memorias, el dispositivo se ha dividido en grupos de 32 k, cada grupo es llamado BANCO. El banco cero (0) se denomina banco bajo y todos los demás son los bancos altos. En relación a las direcciones del CPU, el banco 0 serán las primeras 32k direcciones (000000 a 077777) octal, y todos los bancos superiores están en las siguientes direcciones (177777 a 100000) octal, especialmente las últimas 32k direcciones, es decir, desde el punto de vista del CPU todos los bancos superiores estarán en el mismo espacio de dirección.

Un diagrama de bloques de la tarjeta de memoria se presenta en la figura 1.4, describiremos más adelante cada uno de los bloques:

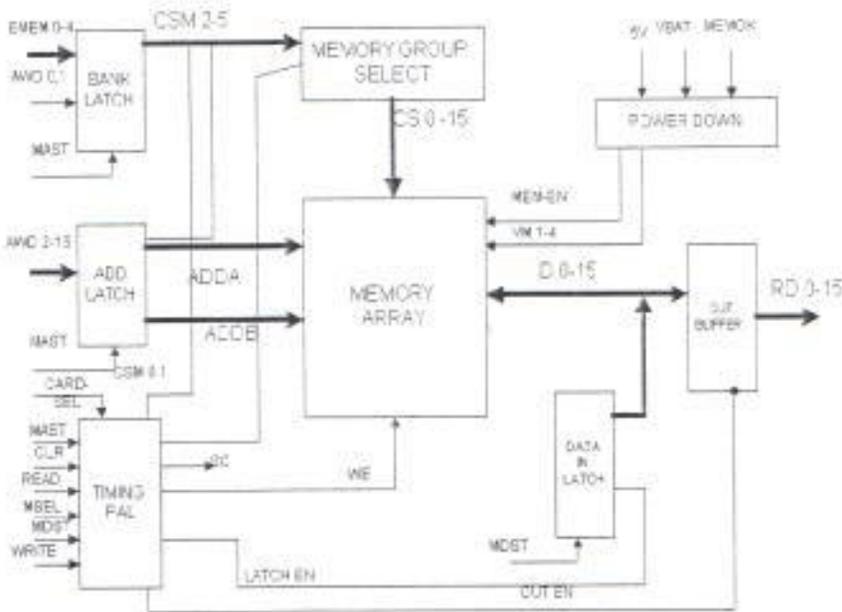


Fig.1.4 Diagrama de Bloques de la memoria de 128 K.

- a. MEMORY ARRAY (ARREGLO DE MEMORIAS): Es el principal elemento de la unidad de memorias, su función es *almacenar todos los programas del CPU (Programa Operativo)*, el arreglo de memorias contiene 32 SRAM de 16x4, organizados en grupos de 4 componentes, por lo cual existirán 8 unidades de memoria de 16k con palabras de 16 bits.
- b. ADD. LATCH: Almacena los datos de acuerdo a la dirección seleccionada por el CPU, las direcciones

vienen conjuntamente con los datos en el bus AWD; para prevenir la sobrecarga, el bus de direcciones se multiplexa en dos idénticos buses: ADD A y ADD B, el NS-9010EC únicamente utiliza el bus ADD A.

- c. BANK LATCH: Es un suplemento del ADDRESS LATCH y también almacena los datos de acuerdo al número de bloque de memoria seleccionado.

- d. MEMORY GROUP SELECT: Cuatro bits, CM2-CM5, son usados para seleccionar una de las 8 unidades de memoria, las direcciones del grupo de memoria se reciben desde el Address Latch. El grupo de memoria es seleccionado cuando la señal CS⁵ es recibida desde el PAL⁶.

- e. DATA IN LATCH: Almacena los datos requeridos por el CPU para ser escritos a la dirección previamente seleccionada a través del address latch, estos datos son recibidos por medio del bus AWD cuando la señal MDST

⁵ Chip Select

⁶ Programmable Array Logic: Arreglo lógico que implementa la función de transferencia de la lógica Booleana (suma de productos) por un integrado programable.

(Memory Data Strobe) se activa. Los datos son enviados desde el arreglo de memoria cuando las señales de tiempo apropiadas son recibidas desde el PAL.

- f. OUT BUFFER: Funciona como buffer y como driver del bus de datos de salida desde la memoria; el contenido de la memoria se envía en el bus RD al CPU.

- g. TIMING PAL: Este bloque funciona como un controlador de tiempo para la memoria y contiene un 18P8B PAL. Las salidas de la señal de tiempo desde el PAL dependen de las señales de tiempo provenientes desde el CPU.

- h. POWER DOWN LOGIC: Provee alimentación continua a las memorias, permite que las unidades de memoria almacenen el Programa Operativo todo el tiempo, aún cuando la fuente de poder sea desconectada.

1.2.3.1 Teoría de Operación de la Memoria de 128 k:

Tiene dos modos de operación: lectura y escritura.

a. MODO DE LECTURA: El ciclo de lectura comienza con el arribo de las direcciones de memoria solicitadas desde el CPU. Las direcciones (AWD0 a AWD15) son muestreadas por el bloque ADDRESS LATCH y al mismo tiempo se selecciona el banco de memoria requerido a través de la señal MAST. Las dos señales MSB (Most Significant Bit) del BANK LATCH (CSM0 y CSM1) seleccionan la salida de la señal CS al CPU. A continuación de la señal MAST (Memory Address Strobe), el CPU envía un pulso CLR el cual acciona en el PAL una señal de salida CS, el mismo que permite , en conjunto con los cuatro CSM, la selección de uno de los 8 grupos de memoria. Después de un periodo de estabilidad durante el cual la memoria seleccionada es leída, se envían

los datos (D0 a D15) por el bus RD a través del BUFFER de salida el cual se encuentra habilitado.

- b. MODOS DE ESCRITURA: La escritura de las memorias comienza exactamente igual que el ciclo de lectura; una dirección es enviada a través del bus AWD y el banco apropiado es seleccionado, las señales involucradas son mostradas por la señal MAST, entonces el CPU envía los datos a ser escritos sobre el bus de AWD. Estos datos son mostrados por el bloque DATA IN LATCH solamente con la señal MDST. El PAL, a su vez, envía una señal CS, la cual causa la selección del grupo de memoria donde se realizará la escritura. Al mismo tiempo la salida de las memorias se apaga por medio de la señal WE, el CPU envía un comando de escritura y al mismo tiempo los datos son

escritos en la dirección seleccionada de la unidad de memoria. En el diagrama de tiempo de lectura/escritura de las memorias (fig. 1.5), se puede apreciar la habilitación de las señales, en cada uno de los modos.

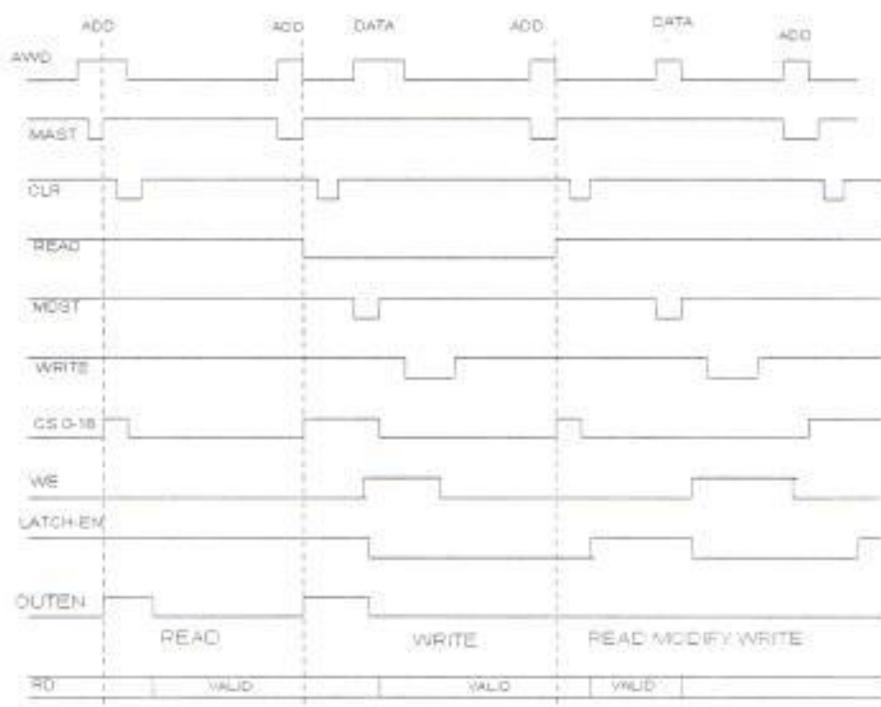


Fig. 1.5 Diagrama de tiempo de Lectura/ Escritura de la Memoria

1.2.4 Disquetera de 8 pulgadas: MRU

La disquetera de 8 pulgadas, denominada en el equipo como MRU (Magnetic Recorder Unit) es la unidad encargada de realizar las operaciones del grupo de software, es decir, este dispositivo lee la información del disquete de 8 pulgadas que contiene el sistema operativo y lo transfiere al banco de memorias del NS-9010-EC.

1.2.4.1 Características Generales:

La unidad de disquete de 8 pulgadas es capaz de proveer mas de 6.4 millones de bits al realizar la lectura de los disquetes flexibles de 8 pulgadas. Cada disquete flexible contiene 77 tracks (pistas) concéntricos los cuales guardan alrededor de 83.000 bits de datos; cualquier localización de las direcciones y datos guardados en el disco puede ser accesada y transferida en alrededor de 500.000 bits por segundo.

El tiempo de acceso es de 6 milisegundos por track (pista), más 10 milisegundos para la

estabilización de la cabeza lectora. Está equipado con una tarjeta denominada FORMATTER, la misma que controla y multiplexa el flujo de datos hacia la computadora, para que los datos recibidos por esta última estén en paralelo, además hace las veces de puerto de entrada del equipo y la disqueteera. Esta tarjeta acepta señales de control, comando y datos desde el computador y permite el control del funcionamiento de la disqueteera (ver fig. 1.6).

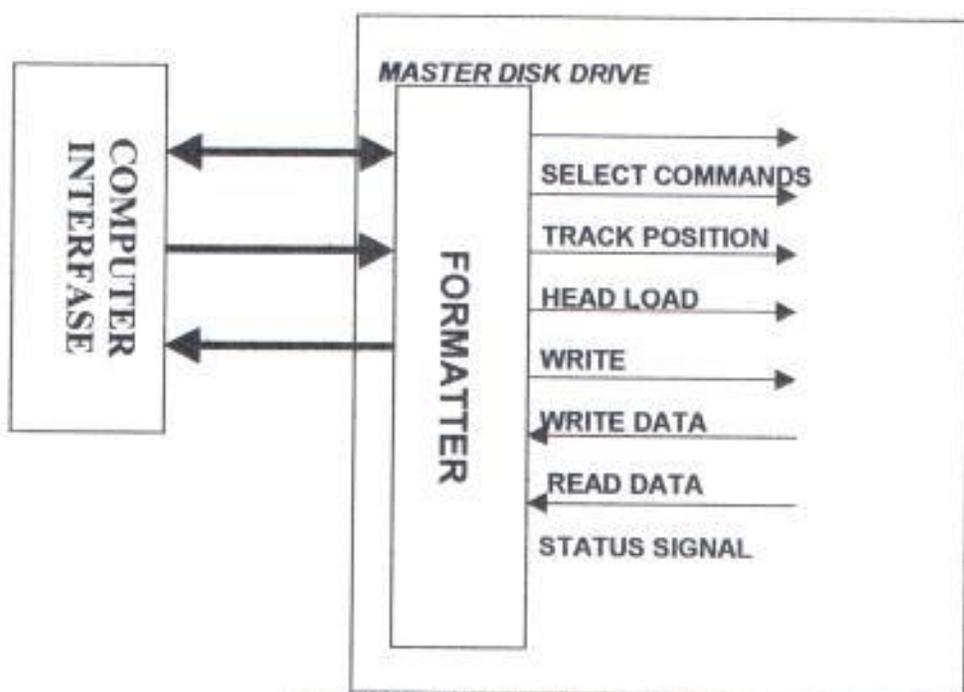


Fig. 1-6 Sistema de disquete - interfase

1.2.4.2 Diagrama de Bloques:

El diskdrive está dividido en los bloques (ver fig. 1-7):

➤ MECANISMO DE CARGA DEL DISCO.

Proporciona las señales de carga y descarga del disco flexible en la disquetera y de control de la velocidad de rotación del disquete cargado a 360 RPM. El sistema de la disquetera (drive) consta de un motor de corriente continua directamente acoplado a un circuito que controla el motor. Cuando la disquetera se prende, el circuito aplica 5 voltios DC al motor provocando que rote a 360 RPM; el disco flexible es enganchado por un cono que lo sostiene y lo fija para su rotación preestablecida.

➤ STATUS DEL SISTEMA

Controla continuamente a la disquetera y al disquete de modo que estén operando bajo el control de las señales que entrega y recibe el bloque FORMATTER. Cuando no existe un

disquete cargado, un fototransductor sensa la falta del mismo; cuando existe el disquete presente, el mismo fototransductor genera un pulso de índice por revolución; estos pulsos son usados para indicar que el disco está rotando en la disquetera.

Una señal importante es la habilitación de escritura, puesto que muestra al operador que el disquete se encuentra listo para ser grabado.

➤ POSICIONAMIENTO DE LA CABEZA Y CARGA DEL SISTEMA

Responden a comandos de posición desde el controlador para mover la cabeza del lector-escritura por cada pulso de paso, mueven al disquete para que se realice la operación de lectura - escritura , según las señales enviadas desde el controlador.

➤ SISTEMA DE LECTURA-ESCRITURA

Este bloque incluye el medio de grabación que en este caso es el disquete y la circuitería de lectura – escritura; una señal de control enviada desde el controlador determinará la operación de lectura o escritura; la cabeza de lecto-escritura es en esencia, una bobina capaz de concentrar fuerzas magnéticas sobre una pequeña área en la superficie de grabación.

1.2.4.3 Diagramas de Tiempo

➤ ESCRITURA DE DATOS (Fig. 1.8)

La señal de control de lectura de datos ingresa desde el equipo a través del controlador; esta señal controla la escritura y la operación del borrado de túnel. Las señales que intervienen son las siguientes:

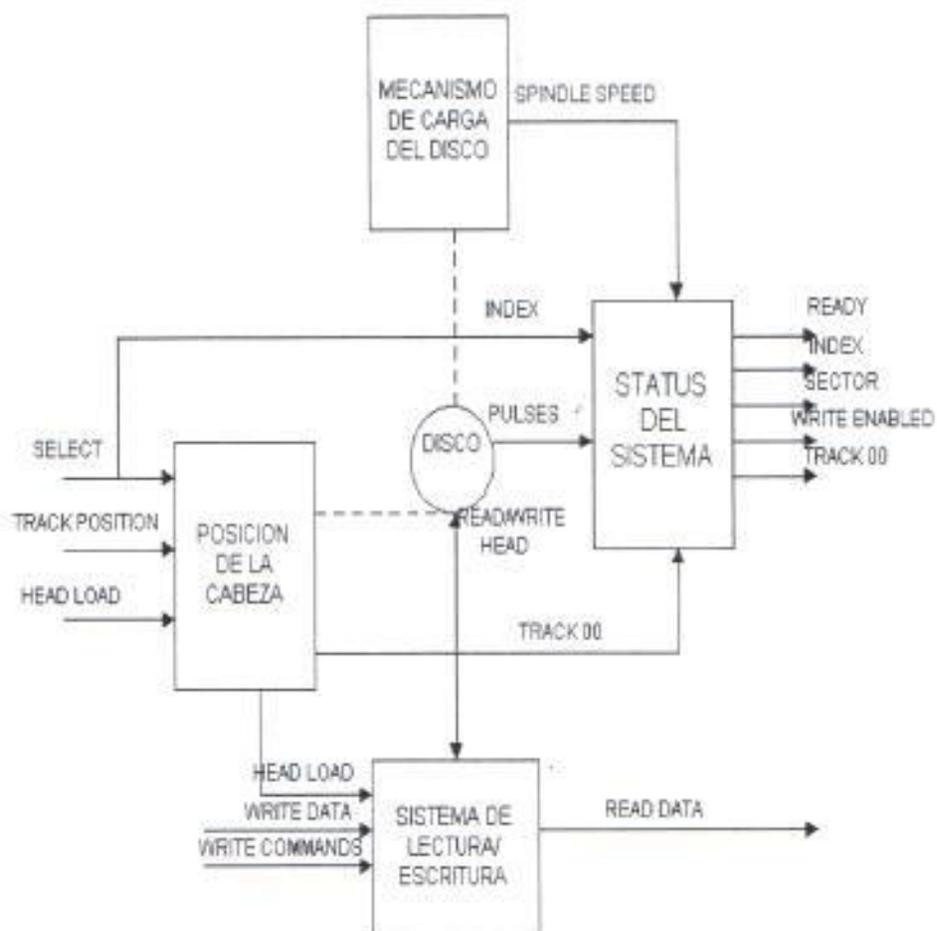


Fig. 1.7 Diagrama de Bloques del MRU.

- a) Select: permite escoger de entre cuatro líneas de dirección, en el caso de este dispositivo solo se usará la entrada select 0.
- b) Write data: son los datos a guardar en el disquete.
- c) Write Enable: Cuando está activa el modo de escritura se habilita y los datos son grabados en el disco flexible, en caso contrario no se hará la escritura de datos.

➤ LECTURA DE DATOS (Fig. 1.8)

La señal de control de lectura de datos es transferida desde el disk drive al controlador.

Las señales que intervienen son las siguientes:

- a) Select: permite escoger de entre cuatro líneas de dirección, en el caso de este dispositivo solo se usará la entrada select 0.
- b) Write enable: Cuando está activa, el modo de lectura se habilita y los datos

son leídos desde el disco flexible, en caso contrario no se hará la escritura de datos.

- c) Raw Data: Cuando esta señal es seleccionada, proporciona señales conjuntas de reloj y datos.

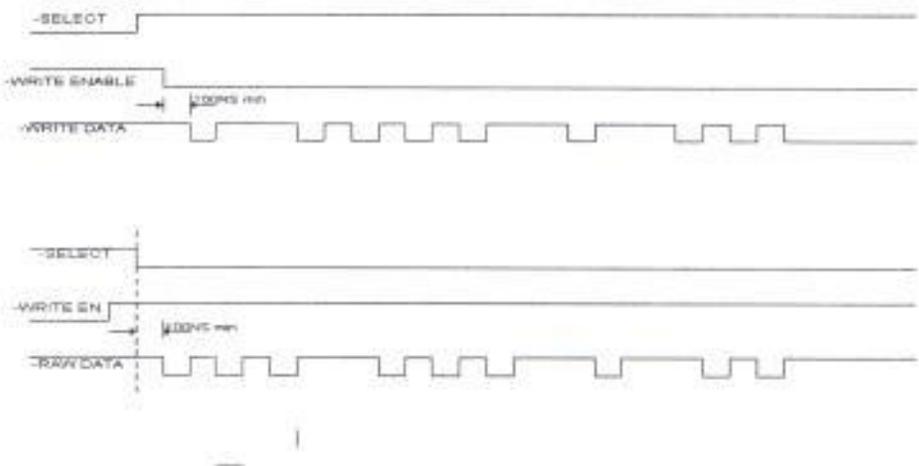


Fig. 1.8 Diagrama de Tiempo de Escritura y Lectura de Datos del MRU

1.2.4.4 Controlador del Disco Flexible (FDC)

Existen circuitos integrados que realizan todas las funciones necesarias para controlar un disco flexible, los FDC deben realizar una serie de funciones comunes:

- a. Verificación automática.

- b. Compatibilidad de formatos.
- c. Generación y verificación del CRC (comprobación de redundancia cíclica).
- d. Lectura-escritura con: uno o mas bloques, búsqueda automática del sector, lectura-escritura completa de la pista.
- e. Control simultáneo de varias unidades de disco.

De cualquier manera el programador será el encargado de saber donde se almacena cada información del disco. Los controles programables son: el tiempo de paso de pista a pista, el tiempo de establecimiento del cabezal, el tiempo de enclavamiento del cabezal, control del motor de paso, transferencia DMA programada. El empleo de acceso directo a memoria es imperativo para todos los discos estándar ya que no hay ningún microprocesador que pueda trabajar con el programa con las velocidades de estos discos.

1.3 Dispositivos de Almacenamiento de Memoria:

En la actualidad encontramos en el mercado una infinidad de dispositivos de almacenamiento de memoria, entre los cuales tenemos:

1.3.1 Las Unidades de Disco Flexible:

El desarrollo de la unidad de disquete tuvo lugar en 1967 en el San José Lab., de la empresa IBM, estas unidades fueron inicialmente de lectura, para discos de 8" de diámetro, de una sola cara y con capacidad máxima de 100KB.

Luego, estas unidades fueron transformadas en sistemas de lectura y escritura con discos de dos caras, dando capacidades de hasta 250KB, luego se desarrolló una unidad que en ese entonces se denominó Mini-Disk, de 5.25", existente aún en el medio informático, aunque no con el mismo nombre.

Finalmente aparecieron las unidades de 3.5 pulgadas, actualmente de uso masivo en las computadoras. También

han surgido en el mercado, aunque sin mucho auge, las unidades de 120 MB⁷, con capacidad de almacenamiento ochenta veces mayor utilizando la misma superficie de los discos tradicionales. Para organizar la información, el sistema operativo de la computadora durante el formateo de un disquete, divide su superficie en las pistas y sectores respectivos y adicionalmente asigna el espacio mínimo de almacenamiento denominado clúster. Las diferentes secciones de superficie en las que se divide un disco luego de ser formateado son:

- **PISTA:** Es la sección de la superficie correspondiente al área encerrada por dos circunferencias concéntricas.
- **SECTOR:** Es la sección de la superficie del disco que corresponde al área encerrada por dos líneas radiales de una pista. Siempre que se hace referencia a un sector, se tienen en cuenta cuántos de ellos son pistas.

⁷ Mega Bytes

- **CILINDRO:** Es el conjunto de pistas que ocupan las mismas posiciones en diferentes lados del disco. En un disquete, un cilindro está formado por una de las pistas superiores y por la pista de la otra cara que queda exactamente debajo.

1.3.1.1 Cálculo de la Capacidad de un Disquete .

Se hace multiplicando la cantidad de caras del disco por los sectores contenidos en cada una de ellas y finalmente por la cantidad de bytes de cada sector. Por ejemplo, el cálculo hecho para conocer la capacidad de un disquete de 1.44 sería:

No. De caras: 2

No. De pistas por cara: 80

No. De sectores por pista: 18.

No. De bytes por sector: 512

Multiplicamos: 2 caras x 80 pistas x 18 sectores/pista = 2880 sectores.

2880 sectores x 512 bytes = 1.474.560 bytes,
que corresponden a 1.44 MB.

1.3.1.2 Clúster o Unidad de Asignación

Es el conjunto de sectores utilizados por el sistema operativo como área mínima de almacenamiento. Un clúster está compuesto por determinada cantidad de sectores y no puede contener información perteneciente a varios archivos. Por ejemplo, en un disquete de 2.88 MB, cada clúster está compuesto por dos sectores (recordemos que cada sector puede almacenar hasta 512 bytes): Por lo tanto, en este disquete, un clúster puede almacenar hasta 1024 bytes. En los disquetes de 1.44 MB, un clúster es equivalente a un sector.

1.3.1.3 Funcionamiento de las Unidades de Disquetes.- Diagrama de Bloques:

En la figura 1.9 se observa el diagrama de bloques de una disquetera. Casi todos los

circuitos electrónicos que se encuentran dentro de la unidad, tienen como función principal el almacenamiento de señales, ya que el control es efectuado desde una tarjeta de interfase o desde la tarjeta principal de la computadora, donde se encuentra la circuitería denominada controlador de la unidad.

1.3.1.4 Sistemas Mecánicos:

- a) Cabezas de lecto- escritura: La unidad fija la información a través de ellas sobre el disquete y a la vez puede recuperar los datos posteriormente. Para grabar las señales sobre el disquete, las cabezas deben generar un pequeño campo magnético de tal forma que polaricen el sentido de las partículas del disco de acuerdo al valor binario del dato

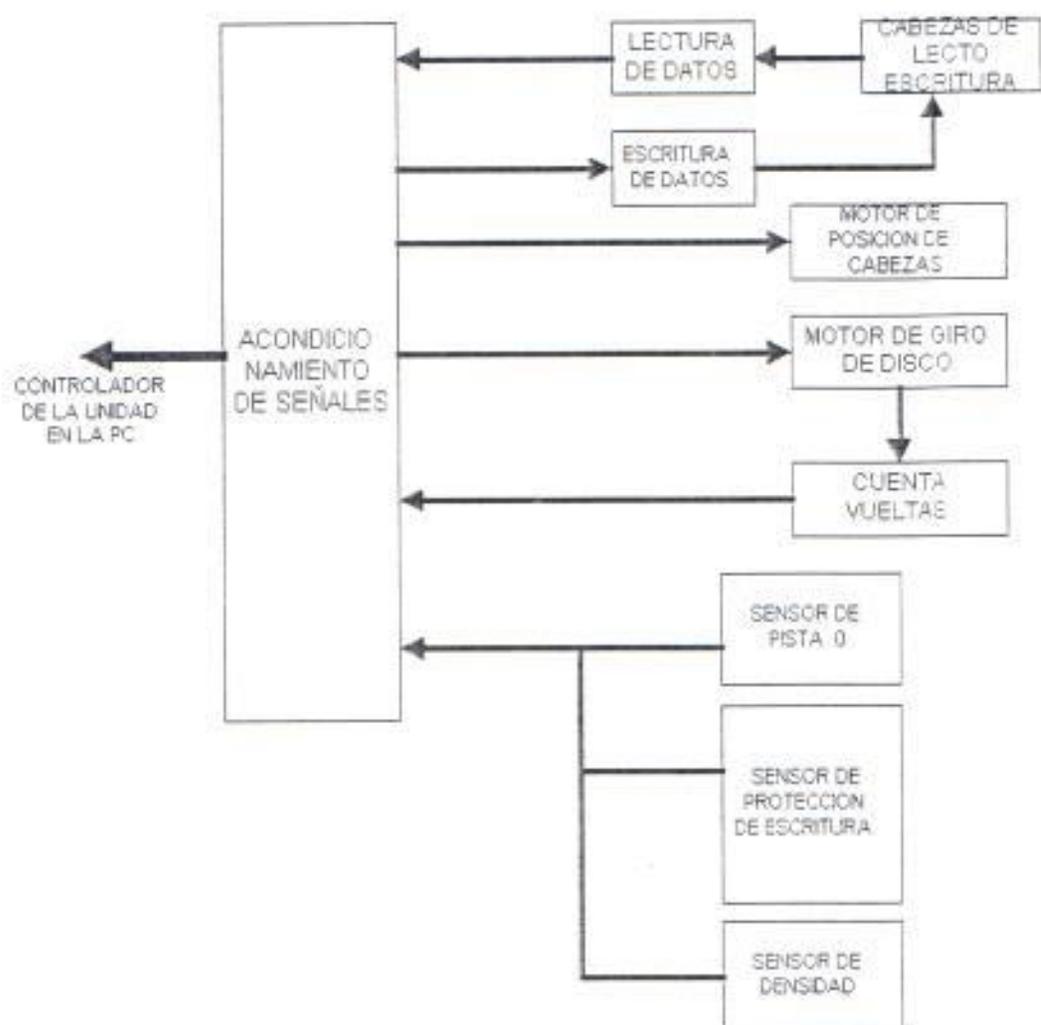


Fig. 1-9 Diagrama de bloques de una disquetera de 3.5 pulgadas.

La generación del campo magnético se hace a través de una bobina, la cual recibe el voltaje que representa el valor del dato, procedente de la circuitería de la unidad.

- b) Actuador de las cabezas: Para la lectura de la superficie del disco, las unidades poseen un motor que hace avanzar las cabezas en forma radial, desde el borde externo del disco hacia el centro del mismo y viceversa. El sistema encargado de esta labor es comandado por un motor de paso que da pequeños giros que luego, por medio de un sistema mecánico, son convertidos en pequeños desplazamientos de las cabezas sobre la superficie del disco.

- c) Motor de Giro: Por medio de un mecanismo de acople, la unidad adapta la parte central del disquete y la adhiere a un motor que la hace girar a una velocidad aproximada de 300 o 360 RPM: Esta velocidad depende del

tipo de unidad, siendo las de 5.25 de alta densidad las únicas que giran a 360 RPM.

- d) También cuentan con un detector de pista cero, detector de protección contra escritura, detector de densidad de almacenamiento.

La tabla I nos muestra cada uno de los 34 pines de los que consta el interfase entre la disquetera y el equipo:

1.3.2 Las Unidades de Disco Flexible de 120 MB:

Con las unidades de 120 MB se dio un gran avance tecnológico en sistemas de almacenamiento en discos flexibles, ya que sobre la misma superficie, se pudo aumentar casi en 80 veces la cantidad de información almacenada. Para poder almacenar tanta información en un espacio tan pequeño, fue necesario reducir el tamaño de las pistas de los disquetes, con lo que aumentó el número de ellas en su superficie, pasando de 80 en un disquete tradicional a 180 en uno de este tipo.

PIN	SEÑAL	Entr/ Salida
2	Escritura reducida	E
4	WC (Write Conection)	
6	NC (No conectado)	
8	Indice	S
10	Habilita motor 1	E
12	Selección de unidad 2	E
14	Selección de unidad 1	E
16	Habilita motor 2	E
18	Selección dirección	E
20	Paso	E
22	Datos a escribir	E
24	Habilita escritura	E
26	Pista 0 (Track 00)	S
28	Protección contra escritura	S
30	Datos unidos	S
32	Selecciona lado 1	E
34	Cambio de disquette	S
Impares	Tierra	

Tabla I: Distribución de Pines de la disquetera de 3.5'

Para que las cabezas se pudieran ubicar correctamente en pistas tan delgadas, se diseñó un sistema óptico que

suministra información precisa del sitio exacto donde se está leyendo o guardando datos.

Gracias a este sistema óptico que trabaja por medio de láser, las unidades LS-120 no necesitan motor de paso como sucede con las unidades tradicionales. Adicionalmente no necesitan identificar la pista cero.

1.3.3 Memorias SRAM:

Las memorias RAM ESTÁTICAS, son un dispositivo de almacenamiento de memoria muy utilizado en la actualidad por su rápido tiempo de acceso, por su disponibilidad en el mercado y por las características operacionales que presentan; este tipo de memoria necesita de alimentación para funcionar y guardar los datos, pues con el control de ciertas señales puede leer, escribir o permanecer en alta impedancia a la espera de que las señales nuevamente se presenten.

El NS-9010 utiliza un banco de memorias SRAM 7188L70CBX (ver Anexo 1)

1.3.4 Memorias EPROM:

Las memorias EPROM son una alternativa económica, manejable y funcional para aplicar la técnica de disk on chip, es decir, para almacenar microinstrucciones cuando el programa no es muy extenso.

También son utilizadas en la mayoría de controladores para diseños digitales, tienen la propiedad de guardar información sin necesidad de tener alimentación, y que pueden ser borradas por medio de un tratamiento de luz ultravioleta.

1.3.5 Memorias NVSRAM:

Estas memorias son en sí una innovación tecnológica que combina dentro del integrado una memoria SRAM y una fuente de alimentación de 5v DC, de este modo el circuito de control monitorea constantemente la alimentación de la memoria, de manera que si existe una interrupción de alimentación, inmediatamente la fuente interna pasa a suplir el voltaje y con esto la información almacenada no se pierde. El chip consta del integrado y una fuente de poder de litio proporciona la combinación de una memoria

no volátil con las características de ciclos de escritura ilimitada de las SRAM estándar.

El circuito de control controla constantemente la alimentación de 5v hasta ciertos parámetros de tolerancia, cuando no se produce esa alimentación, la SRAM se protege incondicionalmente contra escritura para prevenir cualquier operación de escritura inadvertida. En este momento, la energía de la fuente provee la alimentación necesaria para mantener la información de la memoria hasta que retorne la alimentación externa. Las memorias NVSRAM no requiere circuitería externa y es compatible con los sockets (calzos) de las SRAM estándar y la mayoría de EPROM y EEPROM⁶.

Cuando la alimentación se suspende, las SRAM se protegen automáticamente contra escritura, todas las salidas se ponen en alta impedancia y todas las entradas son consideradas como "dont care" (sin importancia). Si un acceso válido está en proceso al momento de que se produzca una falla de poder, el ciclo de memoria continúa

⁶ Electrical Erasable Prom; Memorias que se borran eléctricamente.

hasta completarse. La batería interna de estas memorias proporciona una retención de datos por el lapso de 10 años en ausencia de voltaje de alimentación.

CAPÍTULO 2

2 ANALISIS DEL PROBLEMA

2.1 Situación Actual del Equipo

2.1.1 Proceso de Almacenamiento del Programa Operativo.

Una vez que el equipo es encendido, el sistema verifica si el programa operativo se encuentra residente en memoria, caso contrario permanece en stand by (alta impedancia) hasta que el operador pulse el botón *PRGM LOAD* que se encuentra en el tablero control, el MRU lee el disquete de 8 pulgadas y transfiere la información al banco de memorias, de esta manera el equipo está listo para realizar sus funciones.

El banco de 128K utiliza 32 memorias SRAM 7188L70DB de la marca IDT que necesitan estar alimentadas para

conservar la información guardada en ellas, de lo contrario los datos se pierden y al encender nuevamente el equipo, se necesitará cargar el Programa Operativo. Para aprovechar esta propiedad, el equipo cuenta con una circuitería propia de alimentación entre un banco de baterías localizadas en la gaveta PSU y los pines de alimentación del banco de memorias, permitiendo que una vez que el equipo se apaga, las memorias pasen al modo standby (alta impedancia) de acuerdo a la siguiente tabla:

-CS	-W	DnN	Mode
H	X	Hi-Z	Standby
L	H	Data-out	Read
L	L	Data-in	Write

Tabla II Lectura y Escritura de las memorias SRAM

2.1.2 Ciclo de Escritura y Lectura

Para que las memorias cumplan con el ciclo de escritura, debe estar presente la dirección escogida (ADD 0-15), la señal W.L (write) debe estar en bajo y la señal CS.L también se debe encontrar en bajo, una vez que estas condiciones se cumplen, la información se escribe en las memorias.

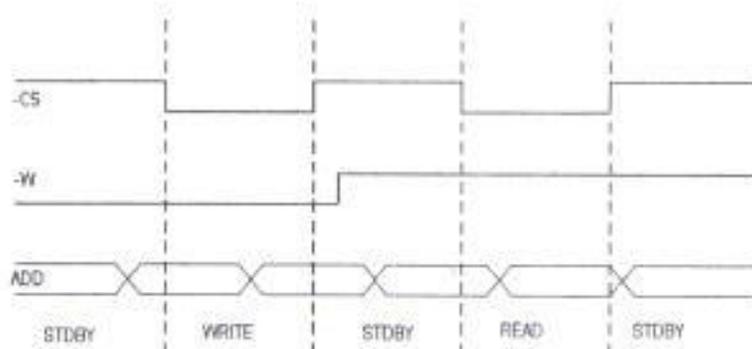


Fig 2.1 Ciclo de Escritura y Lectura de las memorias SRAM

En cambio, en el ciclo de lectura las señal W.L debe ser alta y la señal CS.L debe encontrarse en bajo, una vez que esto se cumpla las memorias se leen en la dirección (ADD0-15) previamente establecida.

Tanto para la lectura como para la escritura, las memorias deben pasar por el modo STDBY, es decir, deben tener un tiempo de estabilización para variar de un ciclo a otro. El banco de memorias está organizado en grupos de cuatro componentes , por lo tanto existirán ocho unidades de memoria de 16K con palabras de 16bits. La transferencia

de datos desde y hacia la memoria se desarrolla a través de buses de 16bits, es decir, cuatro memorias leerán o escribirán la información al mismo tiempo en una dirección escogida, por lo tanto cada unidad de memoria actuará como una sola de 16K por 16bits.

2.1.3 Diagrama Eléctrico de Alimentación de las Memorias

El diagrama de bloques que proporciona la información de la conexión eléctrica de las baterías con el banco de memoria, se presenta en la figura 2.2.

De esta manera se observa el modo como interactúan las baterías, el banco de memorias y el equipo para mantener el Programa Operativo cargado en el banco de memorias. Las baterías alimentan a las memoria en el pin Vcc (22) y envían una señal alta a -CS (10) para que permanezcan en el modo standby mientras el equipo esté apagado.

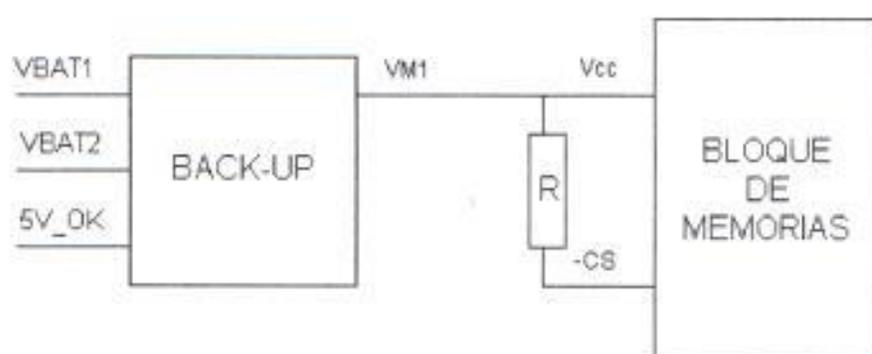


Fig 2.2 Diagrama de bloques de la alimentación eléctrica de las memorias

De acuerdo a lo observado en el diagrama de bloques, la alimentación en Vcc y el control de -CS se produce por medio de dos fuentes: la alimentación desde el equipo (5V, 60 amp.) y la alimentación desde las baterías (3.7voltage, 14.5 amph.) Para los procesos de lectura y escritura es necesario controlar a -CS, de lo contrario las memorias se mantendrían todo el tiempo en alta impedancia (standby).

Para mantener el control de -CS de las memorias, el equipo utiliza la siguiente configuración eléctrica particular, que se podría denominar maestro-esclavo.

En el gráfico (2.3) se ha representado el comportamiento eléctrico de una unidad de memoria, que es el mismo para las unidades restantes. Las señales que llegan a $-CS$ desde el equipo provienen desde A a través de un banco de transistores, la señal alta que proporciona la batería proviene desde B a través de una resistencia R; cuando el equipo está encendido, las señales altas y bajas de $-CS$ son enviadas desde el sistema, la señal alta de la batería cae en la resistencia R, por lo tanto las señales dominantes serán las que provienen desde A (maestro), sin importar la señal alta permanente en B.

Cuando el equipo se apaga no se tienen señales enviadas desde el equipo, por lo que inmediatamente será B (esclavo) quien envíe la señal alta al banco de memorias, garantizando de esta manera un funcionamiento en los modos de lectura, escritura y standby cuando el equipo está encendido y únicamente en standby cuando el equipo está apagado.

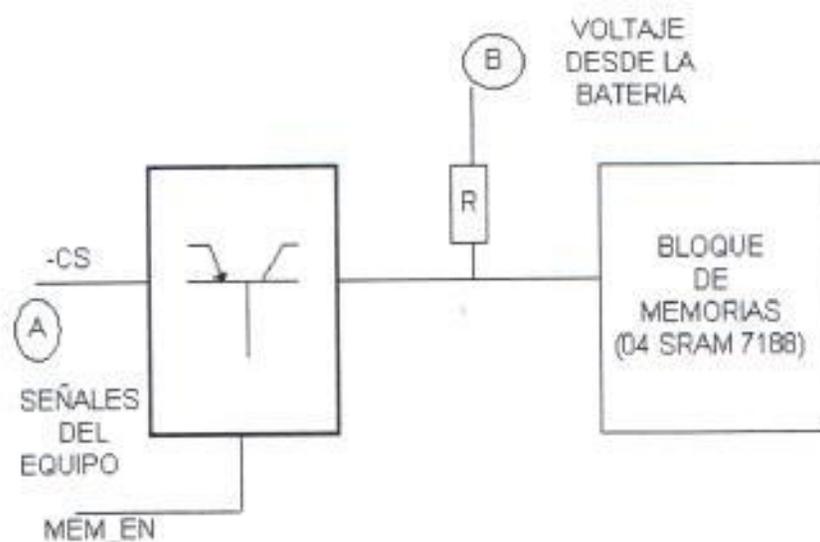


Fig. 2.3 Configuración Eléctrica maestro-esclavo del banco de memorias SRAM

2.2 PLANTEAMIENTO DEL PROBLEMA

El Escuadrón de Lanchas Misileras (ESCLAM) está conformado por tres unidades: LAE QUITO, LAE GUAYAQUIL y LAE CUENCA, todas equipadas con el sistema de Guerra Electrónica NS-9010-EC; actualmente la LAE QUITO no cuenta con la unidad MRU (Magnetic Recorder Unit), por lo tanto, no puede cargar el Programa Operativo y por ende el equipo no puede operar. Cuando la LAE QUITO tiene que cumplir una operación, necesita que una de las otras Lanchas Misileras le facilite el MRU para poder operar el equipo.

El Programa Operativo está almacenado en disquetes de 8 pulgadas, formateados bajo un Sistema Operativo desconocido, los mismos que se están deteriorando rápidamente, con lo que se calcula que en mediano plazo ninguna Lancha Misilera tendrá en su poder un disquete de cargado para poner a funcionar los equipos.

Las memorias SRAM con que cuenta el equipo no poseen alimentación de respaldo, pues su original del equipo consistía en dos baterías marca TADIRAN de 3.7v. que se agotaron hace aproximadamente 3 años, y permitían que el Programa Operativo permaneciera residente en memoria aún cuando el equipo estuviera apagado. Una vez realizado el análisis del problema, en la tabla III se definen los efectos y consecuencias de estos problemas.

Una vez determinadas las causas, efectos y sus consecuencias, podemos enfocar al problema como la recuperación de:

- Capacidad Operativa de la Unidad.
- Operatividad del Equipo.

CAUSA	EFEECTO	CONSECUENCIAS
<ul style="list-style-type: none"> La LAE QUITO no cuenta con su MRU. 	<ul style="list-style-type: none"> El Programa Operativo no se puede cargar 	<ul style="list-style-type: none"> El equipo no realiza ninguna función.
<ul style="list-style-type: none"> Disquettes de 8 pulgadas donde se almacena el Programa Operativo deteriorándose rápidamente. 	<ul style="list-style-type: none"> El Programa Operativo corre el riesgo de desaparecer de sus dispositivos de almacenamiento. 	<ul style="list-style-type: none"> Pérdida paulatina de la capacidad operativa de la unidad y de la operatividad del equipo, hasta llegar en el mediano plazo a la pérdida total.
<ul style="list-style-type: none"> Préstamo de MRU entre Lanchas Misileras para cumplir operaciones. 	<ul style="list-style-type: none"> Si las tres Lanchas salen a cumplir una operación, una de ellas se queda sin MRU. 	<ul style="list-style-type: none"> Pérdida de la capacidad operativa de una de las unidades, en este caso de la LAE QUITO.
<ul style="list-style-type: none"> Carga repetitiva del programa operativo debido a la ausencia de alimentación de respaldo en el Banco de memorias SRAM del equipo. 	<ul style="list-style-type: none"> El sistema no aprovecha sus prestaciones. 	<ul style="list-style-type: none"> El MRU se deteriora. Los disquetes sufren desgaste de sus pistas magnéticas por el exceso de uso.

Tabla III Tabla causa-efecto-consecuencias

2.2.1 Capacidad Operativa de la Unidad

Se entiende como Capacidad Operativa a la eficiente disponibilidad, a la aplicación de los medios y recursos que posee una unidad para el cumplimiento de la tarea encomendada; en el caso que nos concierne, debido a la ausencia del MRU la LAE QUITO ha disminuido considerablemente su capacidad operativa, dependiendo del préstamo del MRU de las otras Lanchas; es imperativo entonces buscar los medios necesarios para que esta unidad recupere su capacidad operativa mediante el aprovechamiento y la modificación de las características de los bloques que intervienen en la carga del Programa Operativo.

2.2.2 Operatividad del Equipo

Es la medida de la posibilidad de utilizar todas las prestaciones que el equipo ofrece al usuario; por el momento el NS-9010 no tiene un buen grado de operatividad pues la ausencia del MRU, así como el deterioro de los disquetes y la ausencia de alimentación de respaldo comprometen el Proceso de Carga del Programa Operativo.

CAPÍTULO 3

3 ALTERNATIVAS DE POSIBLES SOLUCIONES

3.1 Recuperacion de la Capacidad Operativa de la LAE Quito

La posible solución es el diseño de un circuito de carga de una batería recargable que proporcione la alimentación necesaria para poner al banco de memorias SRAM del NS-9010-EC en el modo standby (alta impedancia) cuando el equipo esté apagado y que recargue la batería cuando el sistema se encuentre en operación, de esta manera tendremos el programa Operativo residente en memoria aún cuando se apague el equipo.

3.2 Recuperación de la operatividad del NS-9010-EC

El programa operativo del equipo es un software almacenado en un disquete de 8 pulgadas, que realiza las funciones de operación del NS-9010-EC. Sin el programa operativo, el equipo pierde completamente su capacidad de operación, es decir, no realiza función alguna de detección, procesamiento, presentación en pantalla y análisis de las señales de radio-frecuencia; por lo tanto la búsqueda de posibles soluciones se centra en dos puntos fundamentales:

- Levantamiento de la Información del programa operativo del equipo (SOFTWARE).
- Diseño del nuevo dispositivo de almacenamiento del programa operativo (HARDWARE).

Es importante acotar que la solución en software (levantamiento de la información de Programa Operativo) es el principal condicionante para aplicar posteriormente el diseño del Hardware; de nada serviría el diseño de un interfase con una disquetera de 3.5 pulgadas o un CDROM ,por ejemplo, si aún no hemos recuperado el Programa Operativo.

Entonces, es imperativa la manera como se logre recuperar la información para los futuros diseños, a continuación se analizarán

las fuentes a donde podemos recurrir para aplicar la solución en software:

3.2.1 Levantamiento de Información del Programa Operativo

El programa operativo se lo encuentra en tres formas, desde donde se intentará recuperarlo:

- Disquete de 8 pulgadas.
- Programa Fuente.
- Banco de memorias del equipo (una vez que se carga el sistema operativo desde el disquete).

3.2.1.1 Desde el Disquete de 8 pulgadas

Se considera como la primera y principal opción para lograr obtener la información del Programa Operativo del equipo.

El NS-9010-EC NO presenta ningún tipo de directorio ni subrutina en pantalla, el equipo únicamente presenta las utilidades propias para la operación del equipo; por tanto, para recuperarlo por esta vía será necesario tratar de

controlar la disquetera de 8 pulgadas por medio de una PC convencional, preferentemente una 486, por la velocidad del procesador y tratar de migrar la información a otro dispositivo de almacenamiento.

La disquetera de 8 pulgadas salió del mercado hace 20 años aproximadamente, las PC actuales no tienen los conectores para instalar directamente la unidad, es necesario realizar un interfase o un cableado equivalente entre los 34 pines de las disqueteras de 3.5 pulgadas y los 50 pines que controlan a la disquetera de 8 pulgadas.

El control vía hardware de la disquetera sí es posible, tomando ciertas precauciones y provisiones en la equivalencia de pines de las disqueteras actuales que tienen 34 pines y las de 8 pulgadas que poseen 50 pines.

Las pruebas realizadas en laboratorio confirman el concepto teórico referenciado anteriormente,

es decir, una disquetera de 8 pulgadas puede ser controlada por una PC bajo DOS, lamentablemente nuestro caso es diferente porque el disquete no está formateado bajo este Sistema Operativo.

En cuanto a software, el Programa Operativo no está bajo DOS.

Es decir aún solucionando la dificultad de compatibilidad de hardware nos encontraremos con la novedad de que una PC no reconocerá ni formateará ningún disquette. Se han realizado contactos con la empresa fabricante y han proporcionado informaciones escuetas e imprecisas sobre el sistema operativo bajo el cual funcionan sus discos.

3.2.1.2 Desde el Programa Fuente

Es necesaria la transcripción integral del programa fuente por medio de una PC y luego compilarlo; y aún así, se debería conocer el Sistema Operativo bajo el cual están

formateados y grabados los discos. Además existe la incertidumbre de que existan ciertas subrutinas ocultas.

3.2.1.3 Desde el Banco de Memorias

Por medio de un interfase entre una PC y el banco de memorias, además de un software que controle a las memorias y las pase del estado STDBY (alta impedancia), al estado de lectura (READ) a través de una tarjeta de adquisición de datos. El banco de memorias proporcionará la información binaria del Programa Operativo sin importar el formato bajo el cual se grabó la información.

3.3 Diseño del Nuevo Dispositivo de Almacenamiento de Memoria

Está intimamente ligado con la forma como se recupere la información del programa operativo del equipo, por lo que se presentan las siguientes opciones:

DISPOSITIVO PERIFERICO (DISQUETERA DE 3.5 PULGADAS-
CD ROM – UNIDAD 120 MB): Se utilizará este dispositivo si el

programa se recupera desde el disquete de 8 pulgadas o se lo compila desde el programa fuente; su implementación requiere una modificación de la tarjeta de interfase entre la disquetera y el equipo, así como también un bus equivalente para la instalación física de la disquetera nueva.

La información guardada en el disquete de 3.5 pulgadas deberá ser una fiel reproducción de la información original, es decir, deberá estar bajo el mismo sistema operativo, por lo tanto ningún otro equipo comercial lo reconocerá.

BANCO DE MEMORIAS: Se conoce como la técnica DISK ON CHIP⁹, se la utiliza cuando se desea guardar programas pequeños en un determinado número de memorias, especialmente EPROM. Es aplicable en caso de recuperar la información directamente desde el banco de memorias. No será necesaria la modificación de la tarjeta interfase pues se aprovecha el modo de inicialización del equipo (chequeo del programa operativo en las memorias).

⁹ Disquete en integrado: Técnica muy utilizada en la actualidad, se refiere al grabado de programas operativos de tamaño menor en memorias (ej. EPROM, NVSRAM)

3.4 Solución Planteada

Una vez analizadas cada una de las posibles soluciones, tomando en cuenta su tiempo de desarrollo ,ventajas, desventajas y grado de confiabilidad, se plantea la siguiente solución:

- *Recuperación de la información desde el banco de memorias por medio de un software que simule el control de las memorias y un hardware que realice un barrido de direcciones y almacene los datos que envíen las memorias al momento de ser leídas.*
- *Diseño de un banco de memorias EPROM paralelo, de modo que almacene la información del Programa Operativo (disk on chip), por lo tanto, si se produce una falla de alimentación en las memorias y el programa operativo se pierde, lo único que se debe hacer es cargarlo desde este dispositivo paralelo al banco de memorias del equipo.*

CAPÍTULO 4

4 DISEÑO DEL PROTOTIPO RESPALDO DE BATERIA

4.1 Batería Recargable

La batería, es la fuente de corriente eléctrica de emergencia más segura para los equipos que se alimentan de corriente continua, pues, al ser cargada, acumula energía eléctrica almacenada en forma de energía química; y al descargarse, la energía química vuelve a convertirse en energía eléctrica.

Existen baterías de plomo y níquel- cadmio, con manufactura y propiedades diferentes, siendo las primeras las más utilizadas especialmente en sistemas de telecomunicaciones.

En razón de sus diferentes propiedades eléctricas ,las baterías de plomo pueden subdividirse en:

- Baterías para carga de corta duración (carga capacitiva menor de 1 hora).
- Baterías para cargas de larga duración (carga capacitiva mayor de 1 hora).

Además de las baterías de plomo normales, existen baterías de plomo cerradas que no necesitan de mantenimiento y que se distinguen del tipo convencional por el uso de un electrolito establecido y por el empleo de aleaciones libres de antimonio. Estas nuevas baterías de plomo han sido introducidas al mercado bajo la denominación **DRYFIT**. Estas baterías no están equipadas con los clásicos tapones, sino con válvulas de seguridad que se abren en el caso de presión excesiva.

4.1.1 Proceso de Descarga

Si se unen ambos electrodos mediante una resistencia, comienza a circular una corriente (I), durante este proceso tiene lugar la conversión química de la masa activa de ambas placas.

Debido a los procesos electro químicos que suceden durante la descarga, tanto el dióxido de plomo de la placa

positiva, como el plomo de la placa negativa se convierten en sulfato de plomo (PbSO_4), donde también se consume ácido (H_2SO_4) y se forma agua (H_2O); como resultado, disminuye la concentración del ácido de manera proporcional a la energía consumida; en un principio, la descarga produce una disminución lenta de la tensión, que se vuelve más rápida hasta llegar a un valor límite inferior (denominada tensión final de descarga), establecido de acuerdo a la intensidad de la corriente de descarga.

Al mismo tiempo que se producen todos estos cambios químicos, se produce también un fuerte aumento de volumen, debido a que los poros de la masa comienzan a taponarse y a obstaculizar el ingreso de ácido a las partículas interiores de la masa, esta situación irregular produce una disminución del ritmo de la reacción y declinación de la conductividad, produciéndose una drástica reducción de la tensión de descarga hasta llegar a valores inferiores a la tensión de descarga establecida.

4.1.2 Proceso de Carga

Al conectar la batería descargada a una fuente de corriente continua, es posible recargarla, siempre y cuando la tensión de la fuente de corriente continua sea superior a la de la batería.

Durante el proceso de carga, la masa activa de ambos electrodos y el ácido sulfúrico se reconvierten al estado original existente antes de la descarga; es decir, se desarrolla exactamente el proceso inverso de la descarga. Debido a que el material de las placas se veía a la larga deteriorado por la constante repetición de este proceso, es importante que, una vez alcanzada la tensión de gasificación, la intensidad de la corriente de carga no pueda superar determinados valores, debiendo ser reducida en caso de necesidad. El valor admisible de la intensidad de la corriente al llegar al punto de gasificación depende de la construcción de los elementos y del método de carga.

4.1.3 Tensión de Reposo

Denominada también FUERZA ELECTROMOTRIZ (FEM), no es otra cosa sino la tensión de reposo de la batería NO sometida a descarga, la misma que depende directamente de la densidad del ácido. Cuanto mayor es la FEM, tanto más alta es la tensión de reposo: en la práctica, es suficiente saber que la tensión de reposo es aproximadamente igual al valor de la densidad nominal del ácido más 0.84.

4.1.4 Tensión Nominal

En la batería de plomo la tensión nominal se hace efectiva poco después de comenzar la descarga, cuando se ha equilibrado el ácido interior y exterior.

4.1.5 Tensión de Descarga

La tensión durante la descarga depende de:

- La intensidad de la corriente de descarga; y,
- El tiempo.

Cuánto más elevada sea la corriente de descarga y cuanto más dure el tiempo, tanto más baja será la tensión de

descarga. La causa de este proceso se explica con la disminución de la densidad del ácido y en consecuencia de la fuerza electromotriz, así como con la caída adicional de la tensión por efecto de la resistencia interior.

Un parámetro para evaluar el estado de descarga de la batería lo brinda la relación Tensión de Descarga vs. Intensidad de Corriente, indicada en las curvas de descarga propias de cada batería.

Al comenzar la descarga, la tensión pasa por un punto mínimo, al que denominamos bolsón de tensión; una causa de la breve declinación de la tensión al comenzar la descarga es la demora transitoria en la aparición de iones sulfato de plomo. Debido a este desarrollo inconstante se indica como tensión inicial de descarga a aquellos valores medidos después de extraer el 10 por ciento de la capacidad correspondiente a la respectiva corriente de descarga.

El desarrollo de la tensión, una vez superado el bolsón de tensión, es aproximadamente proporcional a la declinación

de la densidad del ácido; es decir, la tensión declina proporcionalmente a la curva de descarga característica de la respectiva batería.

Al continuar la descarga, la curva toma sus valores en función de los problemas de difusión, empobrecimiento del material activo y disminución de la conductividad, esta es la razón por la cual la tensión disminuye muy rápidamente hacia el final de la descarga y que de un elemento se puede extraer tanta menor capacidad hasta alcanzar la tensión final de descarga cuanto más alta es la corriente de descarga. Así es como la capacidad extraíble declina aproximadamente 50 por ciento cuando en lugar de una corriente de descarga de 10 horas se tiene una de 1 hora.

4.1.6 Tensión Final de descarga y Tensión Final en función del sistema

Es aquella tensión por debajo de la cual no se puede pasar al producirse la descarga con la corriente asignada; pues, de lo contrario existe el peligro de que el sulfato de plomo no se reconstituya químicamente; y, que en

consecuencia, descienda fuertemente la eficiencia de la batería; o que en caso de frecuentes descargas por debajo de la tensión final de descarga, se afloje o deteriore la estructura de la masa activa en las placas debido al cambio de volumen.

Por esta razón, al producirse frecuentemente tensiones de descarga inferiores a la tensión de descarga final, la vida útil de las batería disminuye perceptiblemente.

La tensión final de descarga *no debe confundirse* con el límite inferior de tensión admisible por el sistema, pues este último se refiere al valor de tensión mínimo con el que el equipo opera con todas sus capacidades, este valor también se lo conoce como *tensión final en función del sistema*.

4.2 Especificaciones generales del diseño

El prototipo debe cumplir con las siguientes:

- De acuerdo al programa de mantenimiento preventivo, el NS-9010-EC debe encenderse semanalmente, por lo tanto la

batería del equipo tiene que alimentar sin interrupción al banco de memorias por un lapso mínimo de 15 días.

- El Sistema no debe percatarse del cambio, por tanto, las señales, voltajes y corrientes de respuesta que generan los módulos vecinos desde y hacia el equipo, no deben sufrir ningún tipo de alteración.
- La alimentación del prototipo se tomará de una de las fuentes de 5Vdc con que cuenta el equipo.

4.3 Dimensionamiento de la Bateria

4.3.1 Capacidad:

Es una medida de su eficacia y tamaño, se mide en Amperios-hora e indica la cantidad de energía que una batería está en condiciones de suministrar al descargarse con una corriente constante (A) hasta alcanzar una tensión preestablecida, en un tiempo determinado (h).

4.3.2 Rendimiento y Factor de Carga:

Rend. En amp-hora= $\text{amp-h en Ah extraídos} / \text{amp-h en Ah suministrados}$.

Rend. En vatios-hora= $\text{vat-h en Wh extraídos} / \text{vat-h en Wh suministrados}$.

Ambas magnitudes dependen de la construcción del elemento, de la temperatura del ácido y del valor de la corriente de carga o descarga.

Bajo factor de carga se entiende el valor recíproco del rendimiento en amperios-hora, el más usual es:

F. carga= $\text{amp-h en Ah suministrados} / \text{amp-h en Ah extraídos}$

Por lo general el Factor de Carga de las baterías recargables convencionales es de 1.1 a 1.2.

4.3.3 Análisis de parámetros del Banco de Memorias:

De acuerdo a las especificaciones de las memorias SRAM utilizadas, y al análisis de capítulos anteriores, el banco de memorias necesita de una corriente de 12.8 mA y un voltaje en el intervalo de 3.7-5 v para mantenerse en la condición alta impedancia (STDBY). Teniendo en cuenta las especificaciones generales del diseño y los conceptos

de capacidad, la batería se dimensiona del siguiente modo:

$$\begin{aligned} & (12.8 \text{ mA} * 15 \text{ días} * 24 \text{ horas}) / 1 \text{ día} \\ & = 4608 \text{ mAh} \\ & = 4.608 \text{ Ah} \\ & = \mathbf{5 \text{ Ah}} \end{aligned}$$

El proceso de carga de la batería se produce siempre que la tensión de la fuente de corriente continua sea superior a la de la batería. Por lo tanto se instalará una batería de:

- **Voltaje** **4 V.**
- **Capacidad** **5 Ah.**
- **Tipo** **DRYFIT**

Que alimentará al banco de memorias cuando el equipo esté apagado.

4.3.4 Análisis de recarga de la Batería:

Al trabajar en régimen de carga de mantenimiento, la batería va recibiendo constantemente una pequeña corriente en el rango de los mA. Por cada Ah. De capacidad nominal. Esta corriente de carga se produce cuando se aplica a las elementos una tensión estable de +5 Vdc.

Si se observan las instrucciones indicadas para el tratamiento de las baterías, estas podrán ser operadas durante la totalidad de su vida útil con una tensión de carga de mantenimiento.

No es necesario limitar la corriente de carga admisible para la batería hasta alcanzar la tensión de gasificación (carga completa). Sin embargo, cuando la temperatura del electrolito se eleva más allá de 55°C es necesario interrumpir la carga.

El circuito de respaldo de batería será quien cargue las baterías de acuerdo a las curvas características de la batería escogida. Este proceso tiene lugar en dos etapas: en primer lugar la corriente de carga permanece constante al ir aumentando la tensión de carga hasta que según la línea característica de la batería seleccionada, haya sido alcanzada la tensión específica. A partir de este valor la tensión es mantenida constante y en consecuencia la carga tiene lugar con corriente que declina hasta valores bajos.

4.4 Desarrollo del Prototipo

4.4.1 Implantación

En la figura 4.1 se presenta en diagrama de bloques la implantación de el circuito de respaldo de batería y su relación con los elementos instalados, en lo posterior se explica brevemente cada uno de los bloques

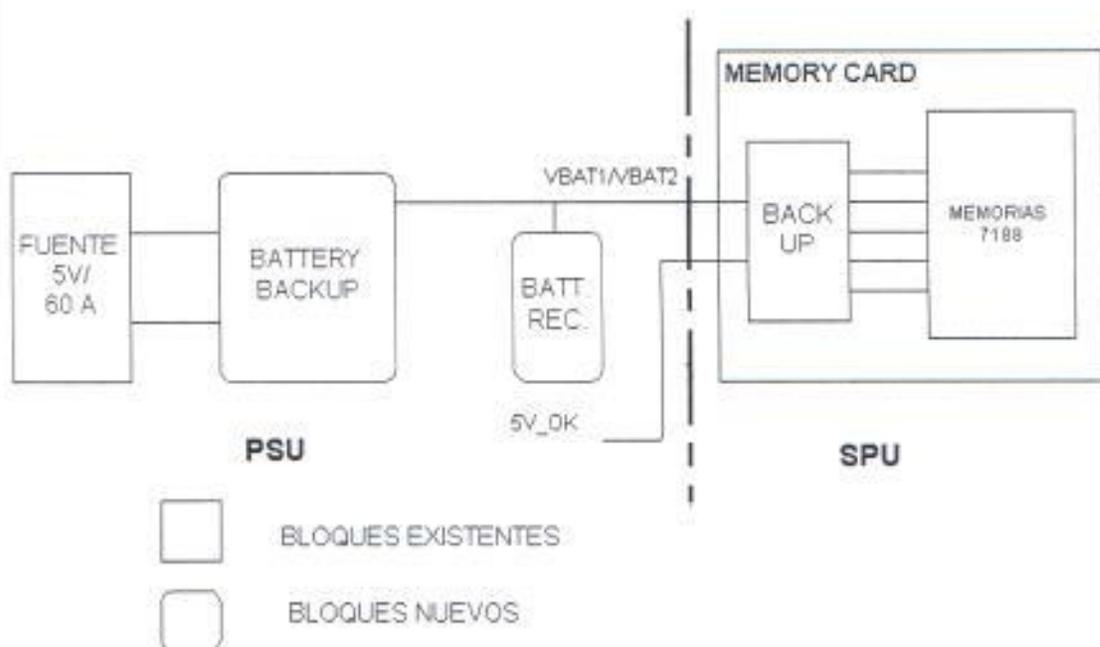


Fig. 4-1 Diagrama de bloques de la implantación del prototipo

4.4.1.1 Fuente B:

El equipo tiene dos fuentes gemelas de +5Vdc (A y B), se escogió la fuente B porque es la que soporta menor carga, a pesar de que por su diseño y dimensionamiento, el dispositivo de respaldo de batería es casi despreciable para la fuente.

4.4.1.2 Circuito respaldo de Bateria:

Es el dispositivo que permitirá la carga de la batería cuando esté alimentado, mientras que cuando no esté alimentado, se opondrá a que la corriente de la batería retorne hacia la fuente (circuito abierto) sino más bien que alimente al banco de memorias para mantenerlas en alta impedancia (STDBY).

4.4.1.3 Batería Recargable:

Será la encargada de alimentar al banco de memorias cuando el equipo esté apagado y se recargará cuando se encienda.

4.4.1.4 Backup:

Es un bloque que pertenece a la tarjeta de memoria, recibe la alimentación tanto de la batería, como del sistema, generando los voltajes (VM1, VM2, VM3, VM4, MEM_EN) que alimentan a Vcc y -CS de las memorias. Por medio de un circuito de transistores que actúan a modo de interruptores electrónicos.

4.4.2 Circuito respaldo de Batería.- Diagrama Eléctrico

En el Anexo 2 se encuentra un circuito que se adapta a las especificaciones del diseño y que cumple con los requerimientos operativos de la unidad y operacionales del equipo.

4.4.3 Instalación

Las baterías originales estaban instaladas en el PSU y se conectan únicamente con el banco de memorias a través de la circuitería interna propia del equipo. El nuevo circuito tomará la alimentación desde el bloque PS2 (Power Supply 2) que provee +5v , que cumple con los valores calculados

en el dimensionamiento de las baterías para la recarga de las mismas.

4.4.4 Operación del Circuito

Cuando se enciende el equipo, la fuente PS2(B) de 5v, 60 A alimentará a la tarjeta BATTERY BACKUP a través de los pines P4/A2 y P4/A3, la configuración D1-R1 en serie actúa como un regulador de voltaje, los transistores Q2 y Q3, el diodo D2 y las resistencias R3, R4 y R5 trabajan a modo de regulador de corriente, pues mantiene una corriente fija a través de la batería para variaciones en el voltaje terminal. El transistor Q1 se polariza a través de la resistencia R2 y permite que cualquier exceso de corriente sea canalizado a tierra. La batería se carga a través de R7 y la alimentación hacia el circuito VBAT1 y VBAT2 se lo realiza desde el colector de Q1, la misma que llegará hasta el bloque backup de la tarjeta de memoria de 128K.

Cuando el equipo se apaga, no habrá voltaje para que el Zener D1 esté activo, por ende no existirá voltaje en la base Q1 y el transistor (abierto), sucede el mismo caso con Q3, por lo que la batería será quien suministre la

alimentación pues el circuito queda reducido a la batería R6 y R7 en serie.

Al prender nuevamente el equipo, Q1 se polariza y Q3 inmediatamente pasa a la zona de saturación (corto), permitiendo que la batería reciba carga desde el sistema y comience su operación de recargado.

4.4.5 Localización

El circuito de respaldo de batería estará localizado en la gaveta PSU(Power Supply Unit) ocupando el lugar de las batería originales.

4.4.6 Lista de componentes

- 02 diodos ZENER $\frac{1}{2}$ W. 1N748A
- 02 Transistores NPN-Si AF/RF 5 W. 2N2222
- 01 Transistor PNP-Si Pwr. Amp. 2N4920
- 02 Resistencias 270Ω $\frac{1}{4}$ w.
- 02 Resistencias 150Ω $\frac{1}{2}$ w.
- 01 Resistencia 150Ω $\frac{1}{2}$ w.

4.5 Selección de la Batería

En el mercado existen una infinidad de baterías recargables, de acuerdo a las especificaciones del diseño requerimos una batería o un banco de baterías de 4v 5 Ah.

CAPÍTULO 5

5 DESARROLLO DEL PROTOTIPO RESPALDO DE MEMORIA

5.1 Especificaciones Generales del Diseño

- Realiza las mismas funciones que la tarjeta anterior, es decir, la operación no sufre alteraciones, las señales con las que interactúa con el sistema son las mismas antes y después de la modificación.
- Se sujeta al tiempo de ciclo del CPU, realiza el intercambio de datos a la velocidad establecida por el sistema .
- Una vez que el prototipo sea instalado, el bloque correspondiente al ingreso de datos desde el MRU no realiza ninguna función, salvo el caso de que por motivos de

mantenimiento se desee ingresar información por este medio. La entrada de la disquetera será entonces un puerto auxiliar del CPU.

- Debe aprovechar que el primer direccionamiento del sistema para buscar el Programa Operativo lo hace hacia el banco de memorias; si en este sitio no lo encuentra, entonces espera la presencia de una señal (PGM LOAD) para cargarlo desde el MRU hacia el banco de memorias.
- Es el equivalente a un DOS en una PC comercial, es decir, se guarda toda la información del Programa Operativo en un banco de memorias EPROM.
- Se particiona en dos sub bloques, de tal manera que el que contenga las memorias NVSRAM pueda operar como lo hace normalmente el banco de memorias del equipo, sin necesidad de estar relacionado con el segundo.

5.2 Diseño del Prototipo

El prototipo consta de dos bancos de memorias:

- Banco de memorias NVSRAM, que reemplazarán a las SRAM que actualmente constituyen el banco de memorias del equipo, este banco de memorias proporciona una alta confiabilidad , pues al almacenar el Programa Operativo ya no será necesario realizar la carga del mismo.
- Banco de memorias EPROM, que reemplaza al bloque de cargado del Programa Operativo (Tarjeta Floppy Disk Interfase y MRU) utilizando la tecnología DISK ON CHIP, de modo que si por alguna razón el Programa Operativo del equipo se borra de las NVSRAM entonces se lo manda a cargar directamente desde el banco de memorias.

Al cargar el programa Operativo se leen las EPROM y se escriben las NVSRAM, es decir, es necesaria la presencia de un controlador que coordine las acciones de lectura por una parte y de escritura por la otra, las mismas que tienen que ser simultáneas y deben sincronizarse de acuerdo a la velocidad de las que están instaladas (SRAM). Es decir, el prototipo tendrá tres áreas bien definidas:

BANCO DE NVSRAM y CIRCUITERIA: Trabaja como la memoria del equipo, en reemplazo de las SRAM actuales, puede funcionar independientemente sin necesidad de los otros pues es prácticamente una modificación de la tarjeta actual del equipo.

BANCO DE EPROM: Trabaja como el reemplazo del bloque de cargado del Programa Operativo.

CONTROLADOR: Sirve de nexo y coordinación para la carga del Programa Operativo desde las EPROM hacia las NVSRAM, una vez realizada esta operación, el equipo no se percatará de la presencia de este sub-bloque, es decir nunca interactúa directamente con el sistema.

5.2.1 Elección de las NVSRAM para el Banco de Memorias

Para realizar una buena elección de las NVSRAM, se debe hacer una comparación de las características funcionales con las SRAM instaladas actualmente, si bien es cierto que no esperamos encontrar un reemplazo exacto, no es menos cierto que en el mercado existe un tipo de memoria que sea compatible con las SRAM actuales.

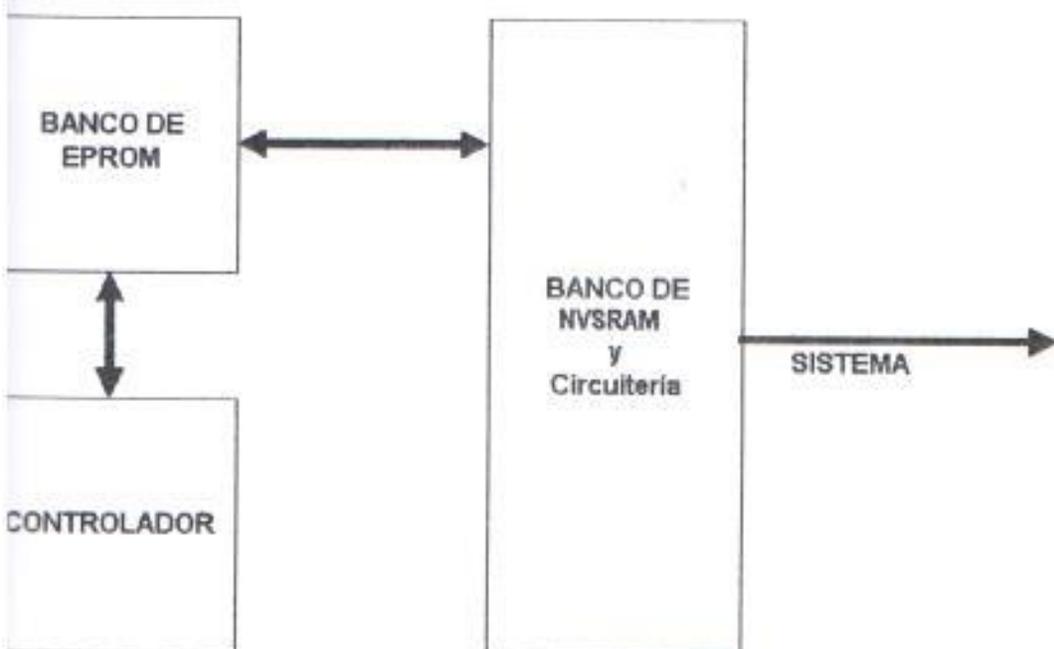


Fig 5.1 Diagrama de Bloques del Prototipo

De entre muchas marcas y modelos de NVSRAM, se ha escogido las Benchmark bq 4011Y (Anexo 3) por las razones funcionales que se observan en las tablas IV, V, VI.

CARACTERÍSTICAS	SRAM 7188	NVSRAM bq 4011Y
Tiempo de lectura- escritura	< 70 ns	150 ns
Tecnología	CMOS	CMOS
Salida	TTL-COM	TTL
Vcc mín/máx	+4.5- + 5.5	-0.3 a 7.0
Capacidad	16Kx4 bits	16Kx8 bits
Datos	D0-D3 (04 datos)	D0-D7 (08 datos)
Direcciones	A0-A13 14 direcciones	A0-A13 14 direcciones

Tabla IV Características funcionales de las memorias NVSRAM

-CS	-W	Dn	Mode
H	X	HiZ	<i>Staby</i>
L	H	Data out	<i>Read</i>
L	L	Data in	<i>Write</i>

Tabla V Modo de Operación de las SRAM

Mode	-CE	-WE	-OE	Operación.	Power
No select	H	X	X	HiZ	Stdy
Out dis.	L	H	H	HiZ	Active
READ	L	H	L	Dout	Active
WRITE	L	L	X	Din	Active

Tabla VI Modo de Operación de las NVSRAM

De acuerdo a las características técnicas mostradas en las tablas V y VI, las memorias SRAM pueden ser sustituidas por las NVSRAM, pues el tiempo de instrucción del CPU es de 0.8 useg. El NS9010-V1 almacena la información en 32 SRAM en forma de palabras de 16 bits, por lo que el banco de memorias se divide en ocho (08) UNIDADES DE MEMORIAS compuestas por cuatro (04) SRAM 7188 de 16Kx4 bits, conformándose los 16 bits requeridos para formar una palabra. Entonces, se reemplazarán por 16 NVSRAM de 16K x 8 bits, divididas en cuatro (04) UNIDADES DE MEMORIA , cada una compuesta por dos NVSRAM benchmarq 4011Y (fig 5.2).

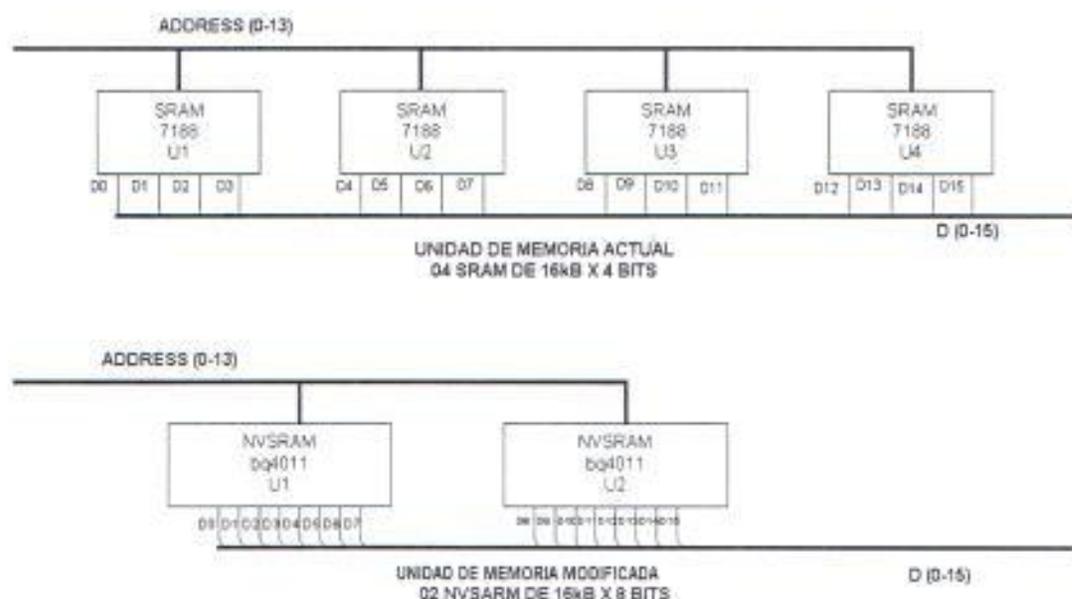


Fig 5.2 Unidades de Memoria del NS-9010 V1

No se producen cambios en cuanto al bus de direcciones, el bus de datos sufre una leve modificación pues forma una palabra de 16 bits únicamente con dos NVSRAM y no con cuatro como la tarjeta original. Debemos tener sumo cuidado en las equivalencias de los pines de las señales de control para las acciones de lectura, escritura y standby pues difieren en los dos tipos de memoria.

Las SRAM se controlan por medio de CS.L, W.L; mientras que las NVSRAM son controladas por las señales CE.L, WE.L y

OE.L , para que el funcionamiento eléctrico de ambas memorias sea el mismo, se tienen en cuenta las equivalencias de la Tabla VII.

SRAM	NVSRAM
-CS	-CE
-W	-WE
GND	-OE
ADD 0-13	ADD 0-13
*D0-3 D4-7	*D0-7
Vcc	Vcc
GND	GND

Tabla VII Cuadro de equivalencias de las señales de control de las SRAM y NVSRAM

- Dos memorias SRAM entregan 08 bits de datos(16k x 4 bits), una memoria NVSRAM también entrega 08 bits de datos (16k x 8 bits).

5.2.2 Elección de las EPROM para el Banco de Memorias.

En el mercado existe una infinidad de memorias EPROM, clasificadas de acuerdo al número de direcciones, fabricación,etc; por lo tanto es de suma importancia

encontrar un tipo de memoria EPROM que sea totalmente compatible con el banco NVSRAM pues, mientras las no volátiles realizan la función de escritura, las EPROM leen.

Se encuentra en las EPROM 27128 INTEL (16K x 8bits) una muy buena opción para utilizarlas en el banco de memorias, pues su bus de datos (08 bits) y su bus de direcciones (14 bits) permiten realizar la combinación de lectura/ escritura a través de un barrido de direcciones por medio de contadores y demultiplexores, que se explicará posteriormente.

En el diseño, los datos son leídos desde la EPROM por lo tanto los pines equivalentes se listan en la Tabla IX.

5.2.3 Diagrama del Prototipo

El prototipo (fig. 5.3) debe mantener las mismas señales (entradas y salidas) que las del diseño original; es decir, las modificaciones se realizan a continuación de las entradas y antes de las salidas.

Fabricante	INTEL
Cápsula	28 DIC
Tecnología	NMOS
Voltaje	5 voltios
Potencia de Operación	750 mW
Potencia Stdbby	225 mW
Tiempo de Lectura/Escritura	< 250 nseg.
Salida (Compatibilidad)	TTL

Tabla VIII Características funcionales de las memorias EPROM 27128

EPROM	NVSRAM
-CE	-CS
ADD 0-13	ADD 0-13
D0-7	D0-7
G/	N.C.
PGM/	W/
VCP	N.C.

Tabla IX Equivalencia de pines para la lectura (EPROM) y escritura (NVSRAM) de datos.

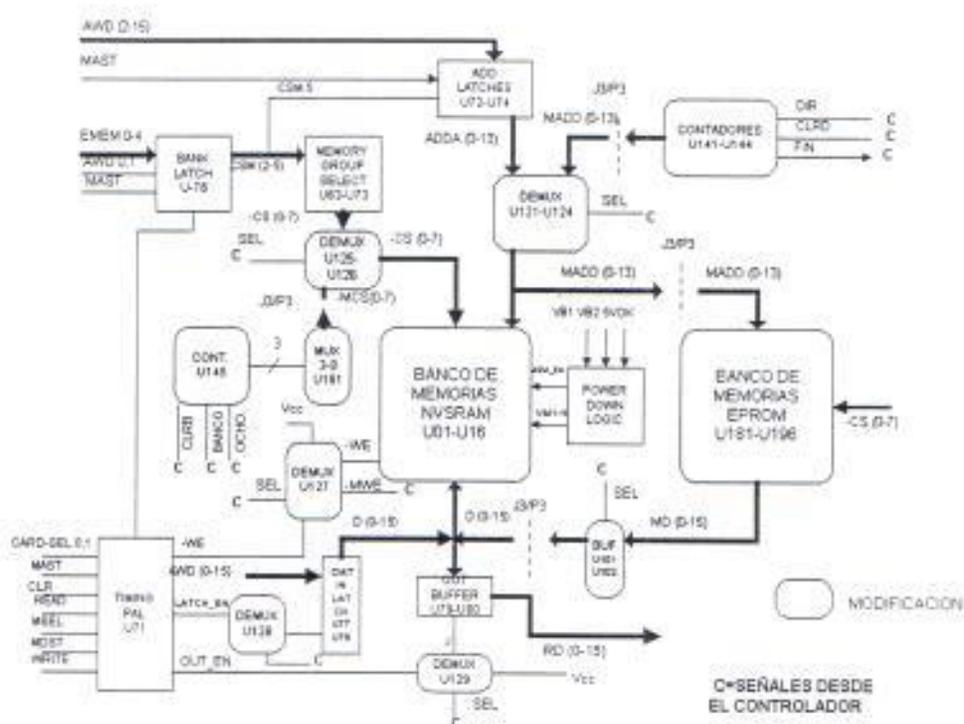


Fig. 5.3 Diagrama del Prototipo.

Además es importante la separación del cuerpo del prototipo en dos bloques de modo que el primero sea la sustitución de la tarjeta "Memory Card" actual y el segundo se constituya como el respaldo de tecnología disk on chip del Programa Operativo.

Los conectores J1 y J2 son los mismos puertos de E/S del dispositivo al sistema, mientras que el conector J3 es el puerto de E/S entre el banco de memorias NVSRAM y el de EPROM con su controlador.

5.2.4 Implantación

El prototipo ocupa el mismo espacio que utilizaba la anterior tarjeta, en el rack SPU en el conector 2A3A23, a continuación de la tarjeta CPU card, como se indicó antes, se constituyen de dos sub-bloques perfectamente definidos que interactúan a través de un conector denominado J3.

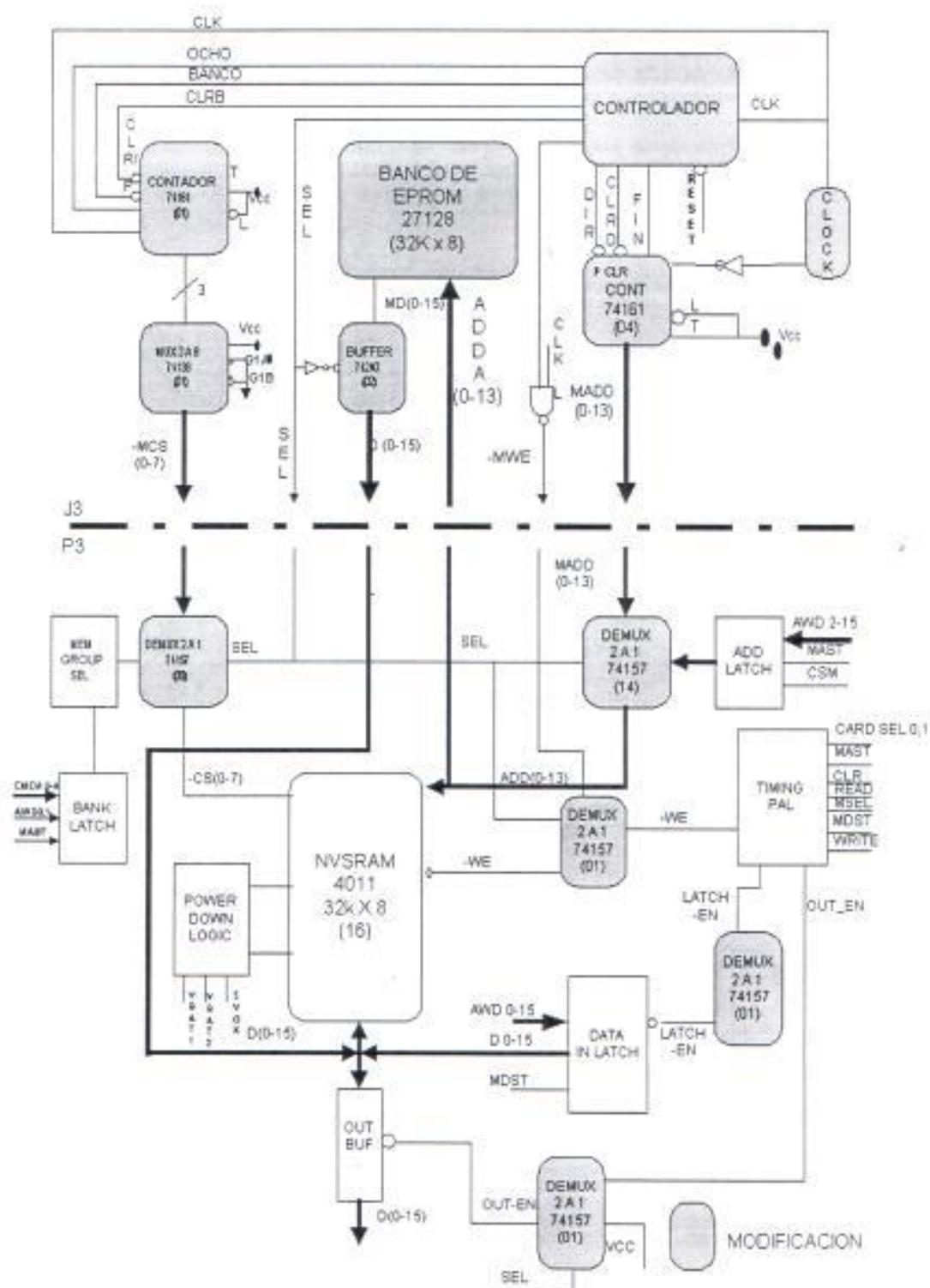
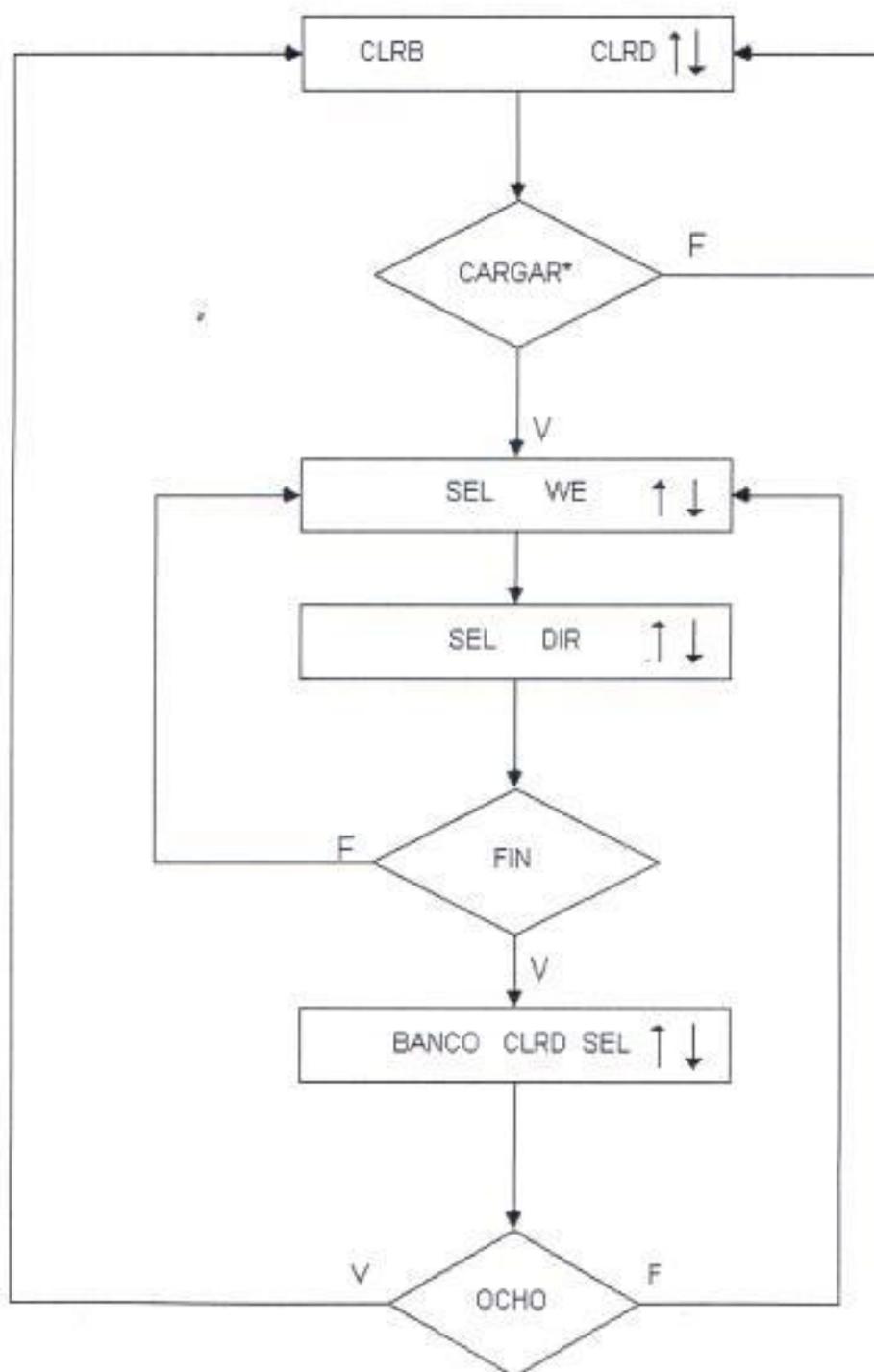


Fig. 5.4 División del Prototipo por bloques.

5.2.5 Diseño del Controlador

5.2.5.1 Diagrama ASM



5.2.5.2 Análisis de Señales

ENTRADAS:

CARGAR: Señal activa en alto cuando el operador pulsa un botón para iniciar el proceso de carga desde las EPROM hacia las NVSRAM.

FIN: Señal activa en alto, generada por un banco de contadores, indica que concluyó el barrido de todas las direcciones posibles (A₀-A₁₃) y que está lista para hacerlo nuevamente con la siguiente unidad de memoria.

OCHO: Señal activa en alto, es generada por un banco de contadores, indica que concluyó el barrido de la octava y última unidad de memoria y que está lista para comenzar nuevamente el ciclo de cargado.

SALIDAS:

CLRB (Clear Banco) : Señal activa en bajo resetea el bloque de contadores que se encarga de sensar las unidades de memoria que ya han sido leídas (EPROM) y escritas (NVSRAM).

CLRD (Clear Direcciones) : Señal activa en bajo, reinicia (reset) al bloque de contadores que se encarga de generar el barrido todas las direcciones donde se leerá la información (EPROM) y simultáneamente se escribirá (NVSRAM).

SEL: Señal activa en alto, actúa como una especie de interruptor que habilita los bancos de multiplexores para que el prototipo trabaje del modo normal cuando la señal está inhabilitada y que trabaje del modo de carga del Programa Operativo cuando se habilite la señal.

MWE: Señal activa en bajo, habilitador simultáneo de los bancos EPROM y NVSRAM para realizar la operación de lectura en las primeras y escritura en las últimas.

DIR: Señal activa en alto, habilita a los contadores a comenzar el intercambio de información entre los dos bancos.

BANCO: Señal activa en alto, habilita al contador para que inicie el conteo del número de grupos de memoria que han sido barridos.

5.2.5.3 Diagramas de Tiempo

La figura 5.5 presenta el diagrama de tiempo de las señales del controlador, tanto las que genera como las que recibe.

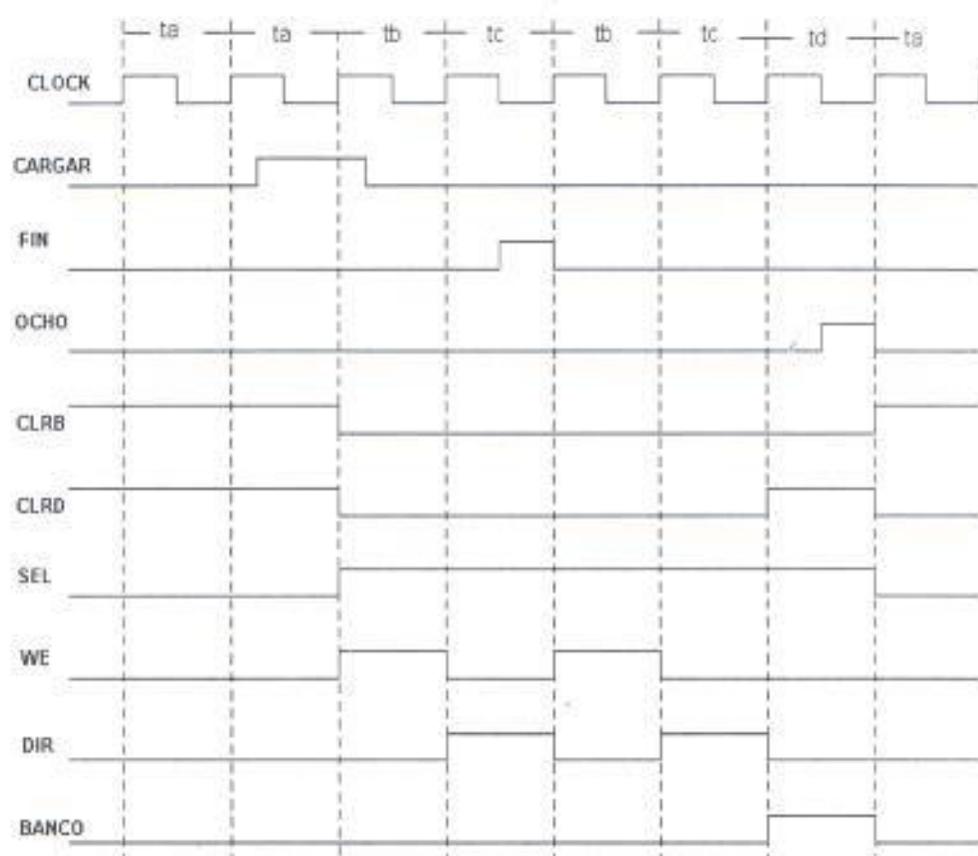


Fig. 5.5 Diagrama de Tiempo de las señales del Controlador

5.2.5.4 Fan Out

El FAN OUT es la capacidad que tiene la salida de un integrado para alimentar eléctricamente a un determinado número de entradas, de otros integrados, calcularemos el FAN OUT de los integrados que alimentan el mayor número de entradas, referenciados a la Fig. 5.3

SEÑAL SEL: Se genera en el controlador en un F/F 74LS174 (U131)

- $I_{OL} = 8 \text{ mA}$
- $I_{OH} = -400 \text{ uA}$

Llega a dos buffers (U101,U102) 74LS240

- $I_{iL} = -0.2 \text{ mA}$
- $I_{iH} = 20 \text{ uA}$

Y, a nueve multiplexores (U121-U129) a 1 74LS157

- $I_{iL} = -0.4 \text{ mA}$
- $I_{iH} = 40 \text{ uA}$

FAN OUT EN BAJO

- $8\text{mA} / -0.4 \text{ mA} = 20$

FAN OUT EN ALTO

- $-400 \text{ uA} / 40 \text{ uA} = 10$

SEÑAL CLRD: Se genera en el controlador en un F/F 74LS174 (U131).

- $I_{OL} = 8 \text{ mA}$
- $I_{OH} = -400 \text{ uA}$

Llega a cuatro contadores de 4 bits 74LS161 (U 141-U144)

- $I_{IL} = 40 \text{ uA}$
- $I_{IH} = -1.6 \text{ mA}$

FAN OUT EN BAJO

- $8 \text{ mA} / 1.6 \text{ mA} = 5$

FAN OUT EN ALTO

- $-400 \text{ uA} / 40 \text{ uA} = 10$

5.2.6 Señales del Conector J3/P3

Los conectores J1 y J2 son los que normalmente conectan el banco de memorias al sistema, para las señales de entrada y salida propias del equipo; pero, para realizar las pruebas de funcionamiento necesitamos un acondicionamiento de señales entre el bloque disk on chip

(Banco de EPROM y Controlador) y la tarjeta propia del equipo.

Las señales que se conectarán a través de este dispositivo se listan en la Tabla X.

SEÑAL	# DE PINES	COND.
-CS	08	SALIDA
SEL	01	SALIDA
DATOS	16	SALIDA
ADDA	14	SALIDA
ADDA	14	ENTRA DA
-WE	01	SALIDA
GND	03	SALIDA
VCC	03	-----
TOTAL	60	-----

Tabla X Señales del conector P3/J3

5.2.7 Lista de Componentes

Controlador

CANTIDAD	ESPECIFICACION	IDENTIF.	NUMERO
01	MEMORIA EPROM 2K (256K X 8bits)	U 150	1702
02	FLIP FLOP TIPO D CUADRUPLES CON CLEAR	U 131 U 132	74LS174
01	INVERSOR	U169	74LS04
01	RESISTENCIA 100Ω ½ w	-----	-----
01	CAPACITOR 120 uF	-----	-----
01	DIODO ZENER ½ W	-----	1N748A

Modificación

CANTIDAD	ESPECIFICACION	IDENTIF.	NUMERO
09	MULTIPLEXORES 2 a 1	U121- U129	74LS151
05	CONTADORES SINCRONOS DE 4 BITS	U141- U145	74LS161
01	DEMUX/ DECODER 3 a 1	U161	74LS138
01	NAND DE DOS ENTRADAS	U171	74LS00
02	BUFFERS OCTALES CON SALIDA DE 3 ESTADOS.	U101 U102	74LS240
02	TEMPORIZADORES	U165 U166	555
16	MEMORIAS NVSRAM BENCHMARQ (16K X 8 bits)	U1-U16	Bq 4011YMA- 150
16	MEMORIAS EPROM (16K x 8 bits)	U181- U196	27128
01	CONECTOR P3/J3 de 60 pines	-----	-----

5.3 Operación

El prototipo está diseñado de manera que los sub bloques puedan actuar independientemente el uno del otro, al instalar la tarjeta de memorias en su ubicación original, únicamente se tendrá que hacer un puenteo entre el pin de la señal SEL con el pin de tierra (GND) y así funcionará tal como operaba normalmente el equipo antes de la modificación, cargando el programa operativo desde el MRU cuando el CPU reciba una señal asincrónica, generada por el operador del sistema.

La diferencia entre el banco de la tarjeta normal y el de la modificada estriba en que esta última se compone de memorias NVSRAM, por lo tanto basta con realizar una primera carga del

Programa Operativo para que el mismo se almacene en memoria por un lapso de 10 años según las especificaciones.

Pero, no hay que olvidar que estas memorias siguen siendo RAM estáticas, entonces, debido a factores externos (magnetización, manipulación, fallas del sistema) se puede perder la información almacenada; por tanto, se debe respaldar el Programa Operativo de alguna manera, y es precisamente en este momento donde acuden a prestar auxilio las memorias EPROM ,realizando el intercambio de información con las NVSRAM.

Es importante recalcar que el diseño del prototipo se lo hizo con el objeto de NO INTERVENIR en los ciclos de trabajo propios del sistema, por tanto, todos los bloques que intervienen en el cargado del Programa Operativo desde el MRU permanecen intactos, constituyéndose en una opción secundaria válida para cargar el Programa Operativo a través de esa vía.

5.4 Funcionamiento

El controlador genera las señales CLRB y CLRD que sirven para reinicializar los contadores (reset) del CS.L para la habilitación de

cada una de las unidades de memoria y la generación de las direcciones de memoria respectivamente.

El momento en que se hace presente la señal CARGAR, el controlador genera la señal SEL que activa los DEMUX "aislando" al banco de memorias del sistema y logrando que interactúen los bancos NVSRAM y EPROM para el intercambio de información, también se genera la señal W.L para preparar simultáneamente a las EPROM para ser leídas y las NVSRAM para ser escritas; posteriormente el controlador genera la señal DIR, la misma que hace que el banco de contadores empiece a generar las direcciones para la lectura/escritura de datos comenzando desde 0000h hasta FFF3h , una vez que se ha realizado el barrido de direcciones el banco de contadores genera la señal FIN, que le indica al controlador que el barrido ha finalizado.

Luego de que el controlador se percata de la llegada de esta señal, en el siguiente estado genera la señal BANCO, que hace que el contador que activa de forma secuencial a CS.L, pase a la siguiente unidad de memoria y la habilite, nuevamente genera CLRD y comienza otra vez el ciclo de intercambio de información entre los bancos. Una vez que el contador genera la última señal

de habilitación (CS.L) de la última unidad de memoria, el contador le envía una señal de respuesta denominada FIN; cuando el controlador la recibe interpreta que el ciclo ha finalizado, por tanto nuevamente reinicializa los contadores con las señales CLR B y CLR D y se mantiene a la espera de que se genere nuevamente la señal CARGAR.

CONCLUSIONES

1. El desarrollo del prototipo Respaldo de Batería dependerá de el desarrollo del prototipo RESPALDO DE MEMORIA, pues, si se cambia el actual banco de memorias SRAM por las NVSRAM propuestas, no es necesaria la alimentación de respaldo pues las mismas memorias tienen una fuente de alimentación interna.
2. El prototipo Respaldo de Memorias es en definitiva la aplicación actual de la técnica conocida como disk on chip (disquete en integrado), ahorrándonos espacio y facilitando el reemplazo si algún integrado falla.
3. La división del prototipo Respaldo de Memorias en dos bloques bien definidos, permitirá que el Sistema NS-9010-EC pueda operar aún sin necesidad de el respaldo de las EPROM.
4. La solución final provino de un análisis en hardware, es un camino válido y práctico que puede servir como pauta para resolver una gran cantidad

de problemas relacionados con la determinación de Programas Operativos obsoletos y caducos.

5. Se logra eliminar la dependencia extranjera, además se utilizan dispositivos e integrados que se encuentran en el mercado, por lo que será sencillo adquirirlos en caso se presente algún desperfecto de uno de ellos.

RECOMENDACIONES

1. Es importante la continuación del proyecto para potenciar su eficiencia en el futuro; es necesaria la recuperación de el Programa de Diagnóstico para mantener al equipo con su máxima Capacidad Operativa.
2. El NS-9010-EC NO tiene banco de pruebas, es INDISPENSABLE un proyecto que implemente un banco de pruebas; pues, en la actualidad, toda medición de parámetros o prueba funcional se la realiza directamente desde el equipo, con el consiguiente riesgo que acarrea esta operación.

ANEXOS

ANEXO 1	Características Eléctricas de las SRAM 7188.	110
ANEXO 2	Diagrama Eléctrico del Circuito Respaldo de Batería.	112
ANEXO 3	Características Eléctricas de las NVSRAM bq4011Y.	113
ANEXO 4	Diagrama Eléctrico de la Tarjeta Respaldo de Memoria.	116

IDT

CMOS RAM estática
64K (16K x 4 Bits)

IDT 7188S
IDT 7188L

Características:

- Alta velocidad.
 - Uso Militar: 25/35/45/55/70 ns.
- Operación con Battery Backup.
- Disponible en presentación de 22 pines.
- Producida con tecnología CMOS avanzada.
- Entradas/Salidas compatibles con componentes TTL.

Descripción:

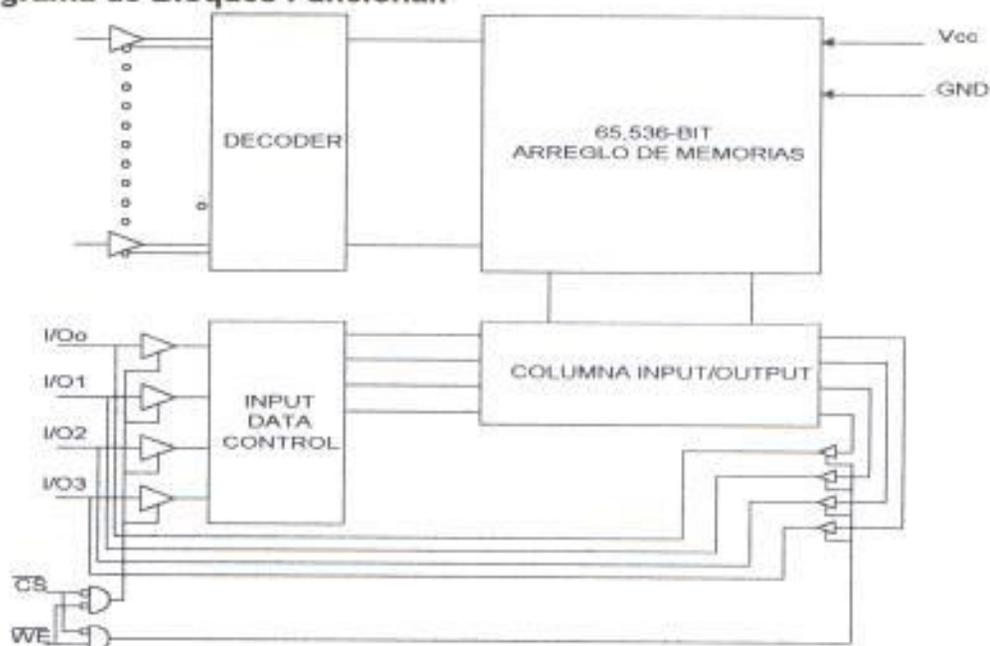
La IDT 7188 es una memoria RAM estática de 16K x 4 bits; está fabricada utilizando la alta tecnología IDT. Esta capacidad tecnológica, combinada con circuitos de diseños innovadores, proporcionan una

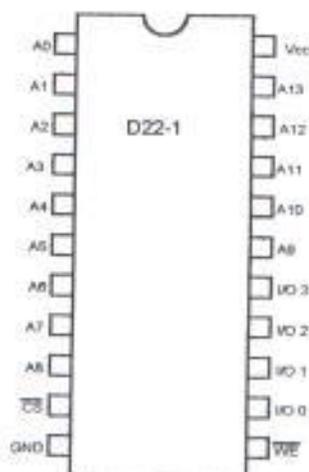
excelente opción en memorias de aplicaciones intensivas.

Con un tiempo de acceso mayor a 25 ns, la IDT7188 proporciona una reducida demanda de potencia en el modo stand by, que se activa cuando $\overline{\text{CS}}$ está en ALTO (H). La versión de baja potencia también ofrece un battery backup para retención de datos, en donde el circuito consume típicamente 30uW, operando con una batería de 2v.

Todas las entradas y salidas son compatibles con TTL. Los productos de uso militar son producidos de acuerdo a la regulación MIL-STD-883, clase B.

Diagrama de Bloques Funcional:



Configuración de Pines:**Descripción de Pines:**

Nombre	Descripción
A0-a13	Entrada de Direcciones.
-CS	Chip Select.
-WE	Habilitación de Escritura.
I/O0-I/013	Entrada y Salida de Datos.
Vcc	Alimentación
GND	Tierra.

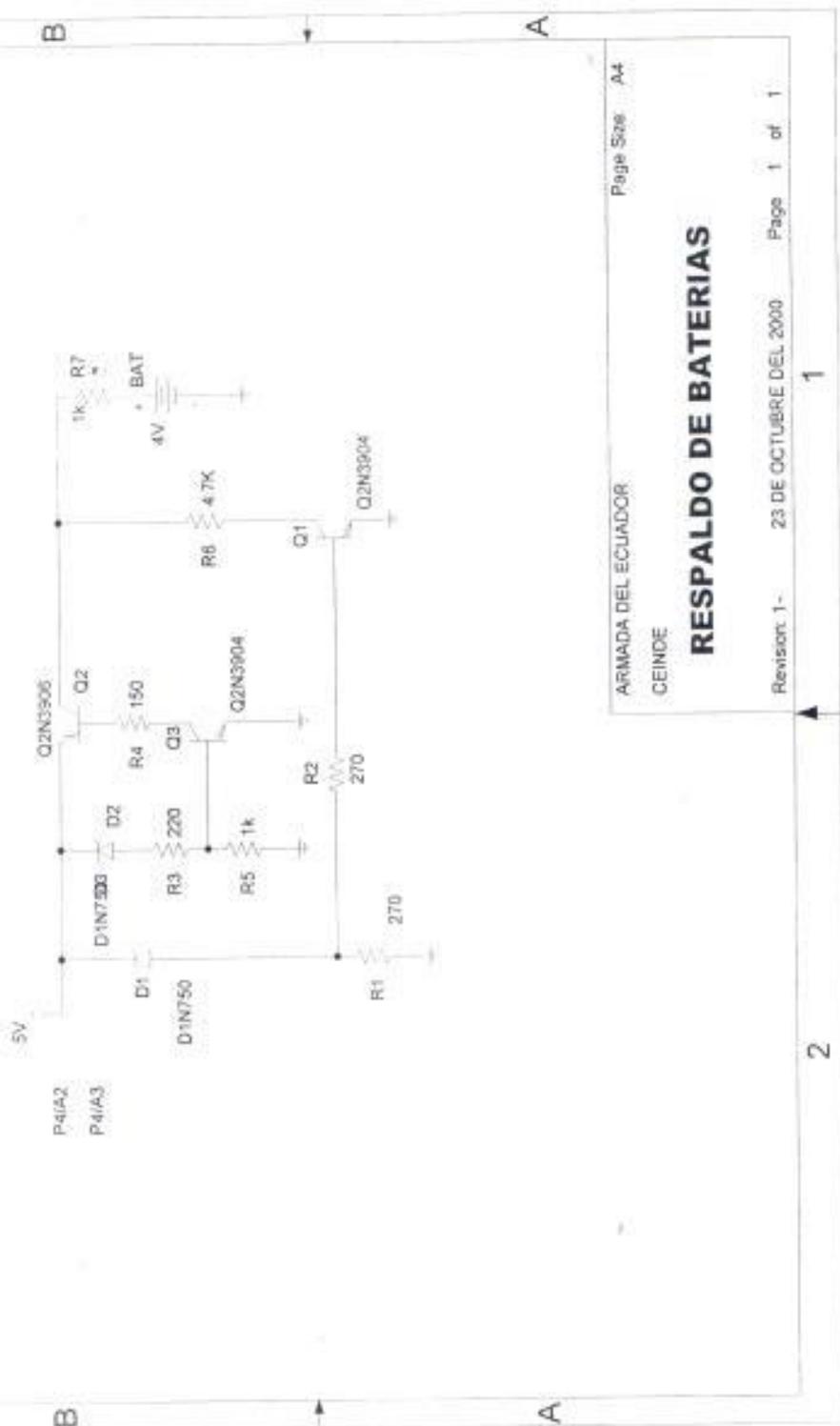
Tabla de Verdad*:

Modo	-CS	-WE	I/O	Power
Standby	H	X	High-Z	Standby
Read	L	L	Dout	Activo
	L	L	Din	Activo

* H=VIH, L=VIL, X=don't care

Rangos Absolutos Máximos:

Símbolo	Rangos	Valores	Un
Vterm	Voltaje Terminal respecto a Tierra	-0.5 a +7.0	V
TA	Temperatura de Operación.	-55 a +125	C
T bias	Temperatura de bias.	-65 a +135	C
T stg	Temperatura de Storage.	-65 a +150	C
P t	Disipación de Potencia.	1.0	W
I out	Corriente DC de Salida	50	m A



ARMADA DEL ECUADOR
GEINDE

RESPALDO DE BATERIAS

Revisión: 1- 23 DE OCTUBRE DEL 2000 Page 1 of 1

1

2

UNITRODE

NONVOLATILE SRAM
32K x 8 Bits

bq 4011
bq 4011Y

Características:

- Retención de datos en ausencia de poder.
- Protección automática de escritura durante los ciclos de ausencia y retorno de alimentación.
- Memoria de 28 pines.
- Operación convencional SRAM: ciclos de escritura ilimitados.
- Retención de datos en ausencia de poder por un mínimo de 10 años.
- Batería interna incluida hasta el retorno de la alimentación.

Descripción General:

La CMOS bq4011 es una memoria RAM estática con capacidad de almacenar 262 144 bits, organizados en 32 768 palabras por 8 bits. La combinación de un circuito de control

con una fuente de energía de litio produce la característica no volátil combinada con el ilimitado ciclo de escritura propio de las SRAM.

El circuito de control constantemente monitorea que la alimentación de 5 voltios se encuentre dentro de los límites de tolerancia, cuando baja de estos límites, inmediatamente la memoria activa una protección de escritura incondicional para prevenir operaciones de escritura no previstas. En este momento, el control activa la fuente de energía de la propia memoria, hasta que la alimentación externa se halle nuevamente dentro de los límites normales de tolerancia. La memoria NVSRAM bq4011 no requiere una circuitería externa, y es compatible con las SRAM estándar y la mayoría de EPROM y EEPROMs.

CONFIGURACION DE PINES

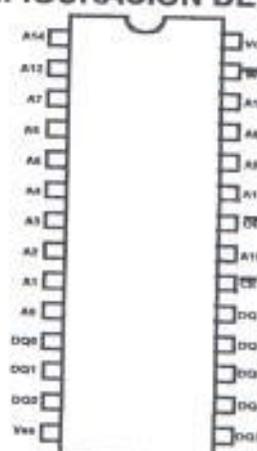
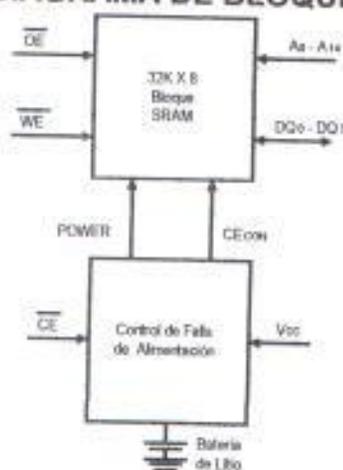


DIAGRAMA DE BLOQUES



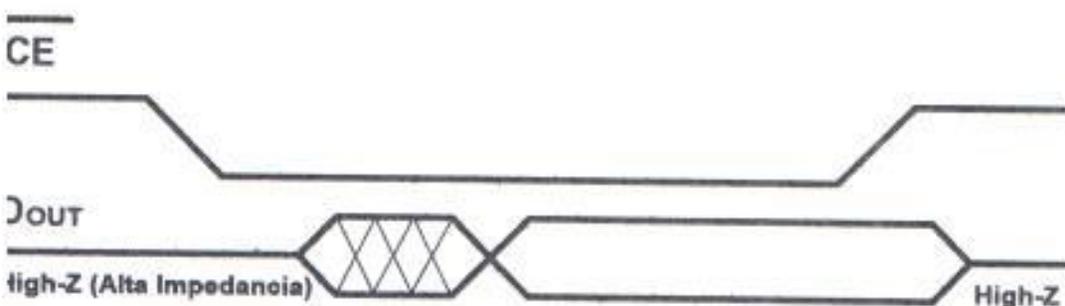
GUIA DE SELECCIÓN

NUMERO	ACCESO DE TIEMPO MAXIMO	TOLERANCIA DE ALIMENTAC. NEGATIVA	NUMERO	ACCESO DE TIEMPO MAXIMO	TOLERANCIA DE ALIMENTAC. NEGATIVA
q4011MA-100	100	-5%	Bq4011YMA-70	70	-10%
q4011MA-150	150	-5%	Bq4011YMA-100	100	-10%
q4011MA-200	200	-5%	Bq4011YMA-150	150	-10%
			Bq4011YMA-200	200	-10%

TABLA DE VERDAD

Modo	-CE	-WE	-OE	Operación I/O	Alimentación
No seleccionado	H	X	X	Alta Impedancia	Standby
Salida deshabilitada	L	H	H	Alta Impedancia	Activa
Lectura	L	H	L	D out	Activa
Escritura	L	L	X	Din	Activa

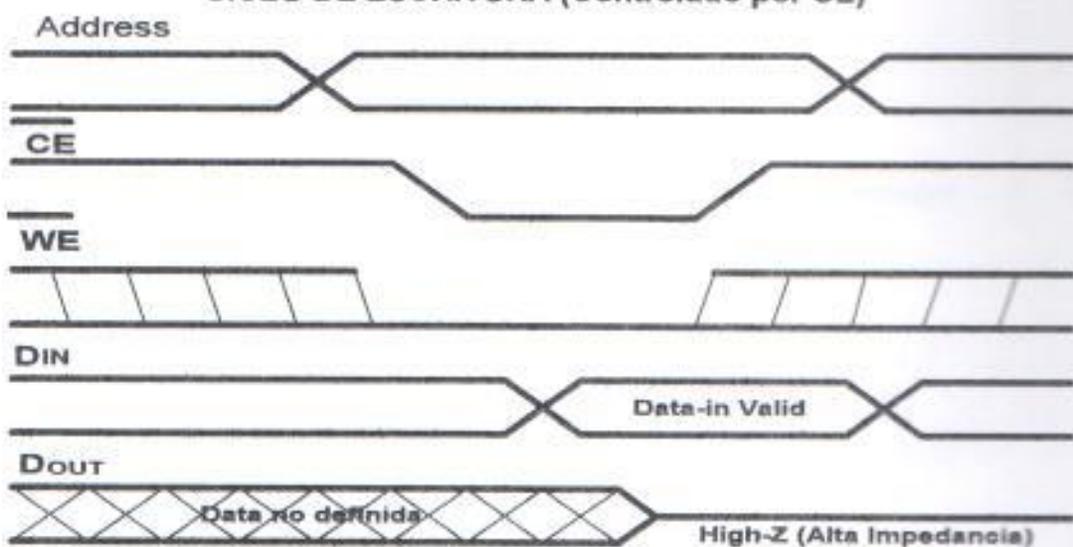
CICLO DE LECTURA (Acceso con CE)



CE se mantiene alto para un ciclo de escritura.

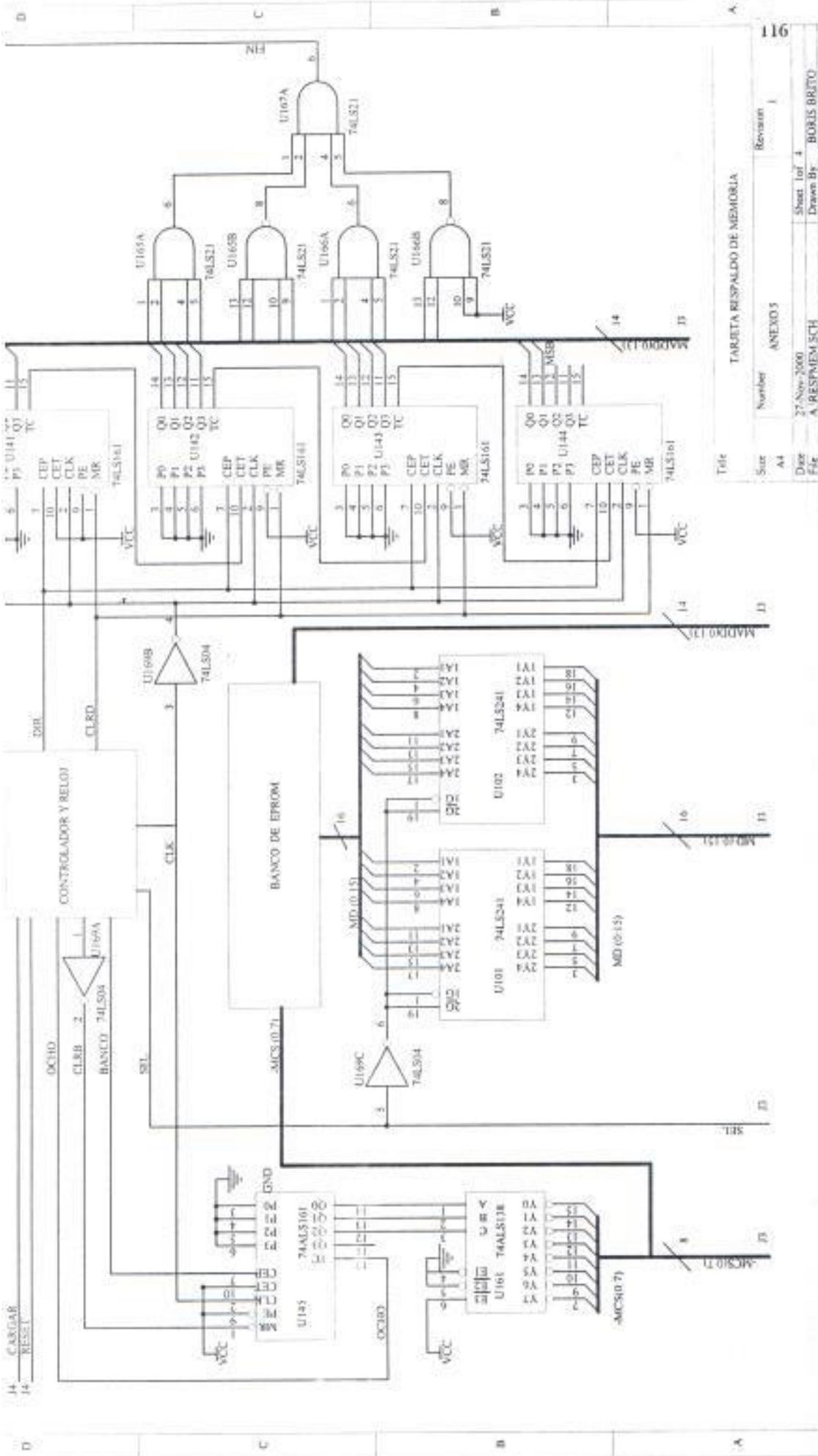
Las direcciones serán válidas antes o durante la transición de CE a bajo.

t_{CE} = VIL.

CICLO DE ESCRITURA (Controlado por CE)

o WE deben estar en alto durante la transición de las direcciones.

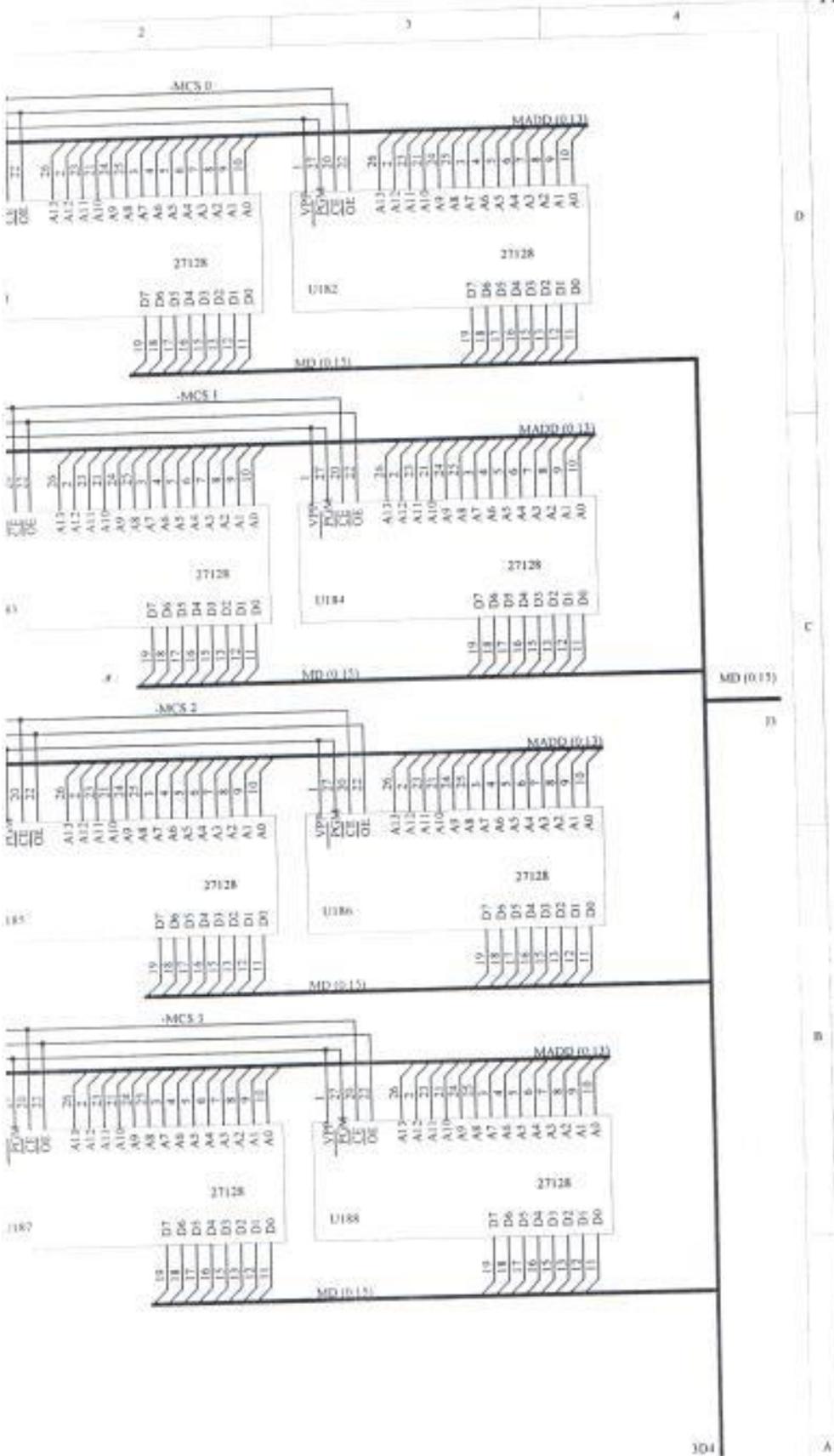
14 CARGAR
14 RESET



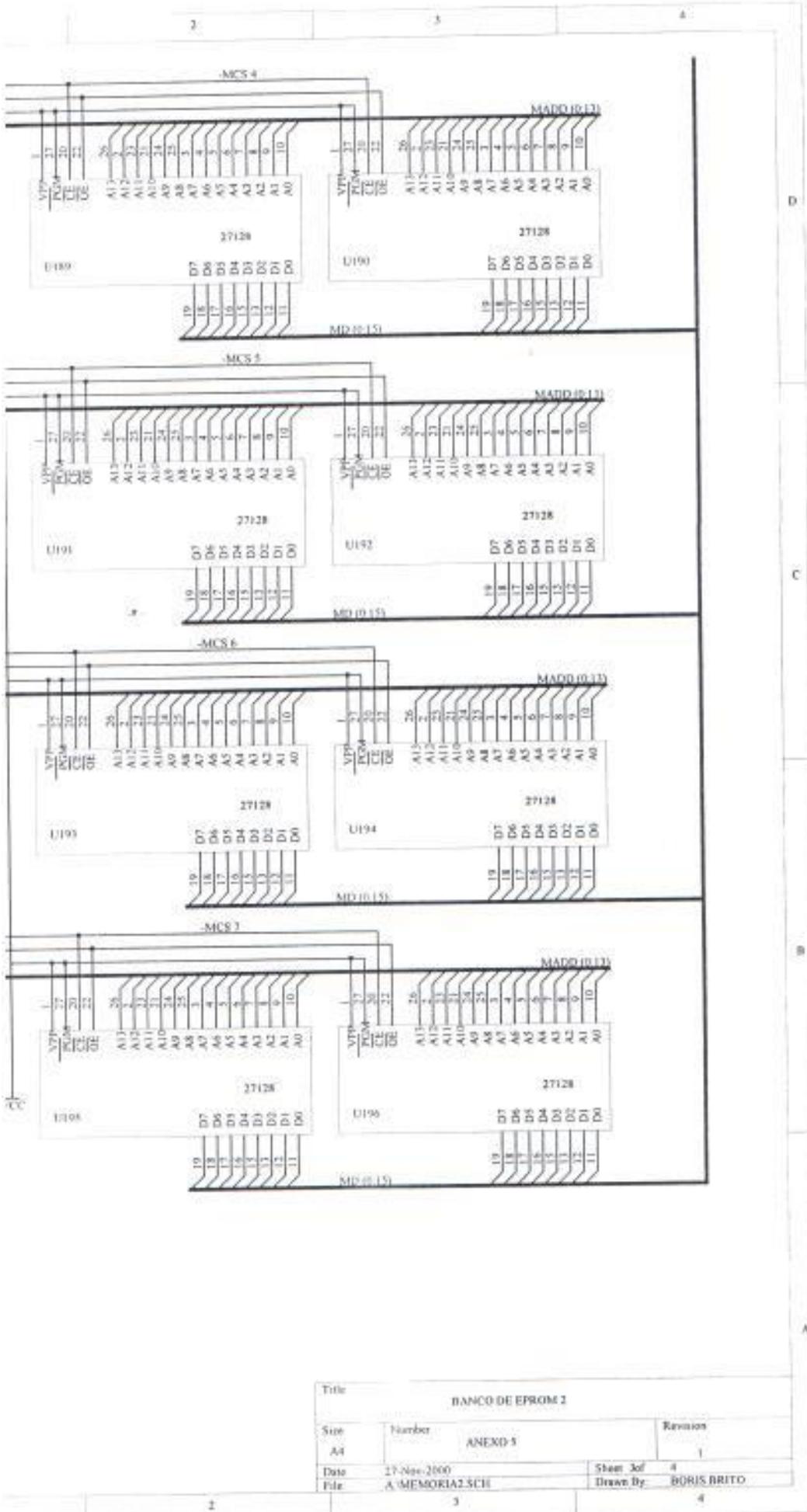
Título: TARJETA RESPALDO DE MEMORIA

Size	Number	Revision
A4	ANEXO 3	

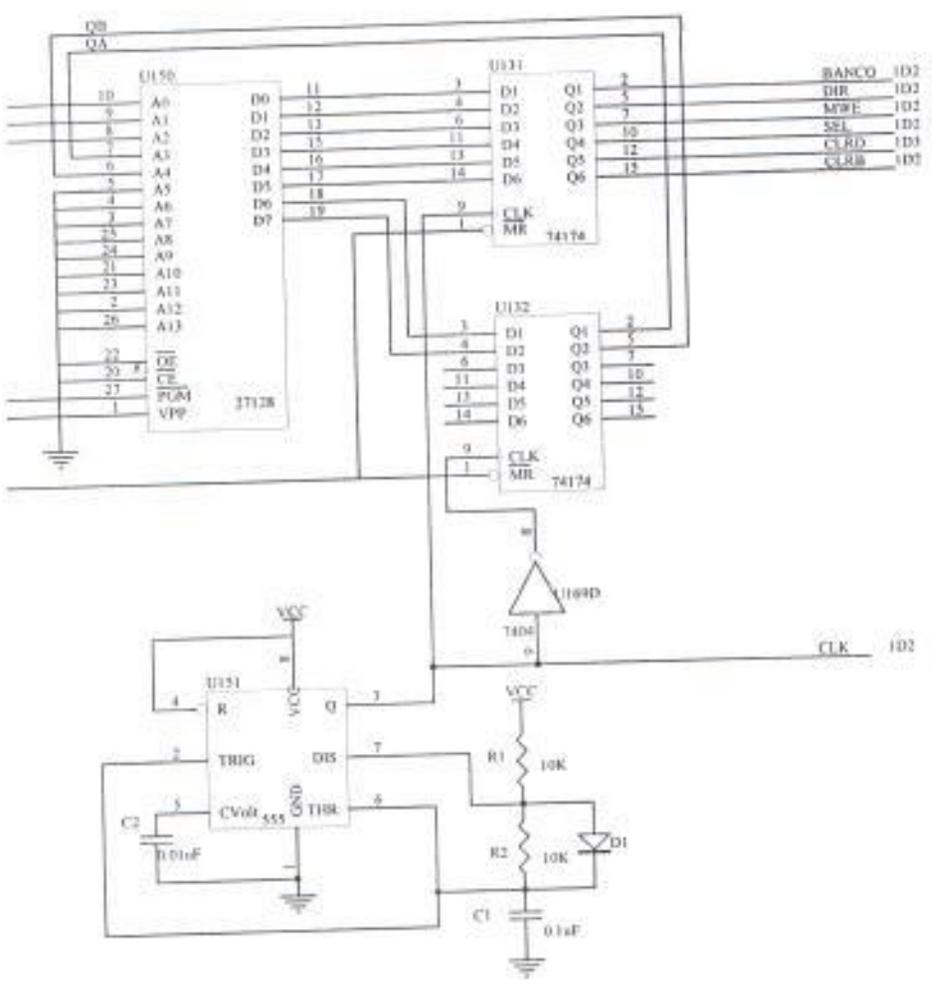
Date: 27-Nov-2000
 File: A_RESPMEM.SCH
 Sheet: 1 of 4
 Drawn By: BORIS BRITO



Title			
BANCO DE EPROM			
Size	Number	Revision	
A4	ANEXO 5	1	
Date	77-Nov-2000	Sheet	3of 4
File	A MEMORIAL SCH	Drawn By:	BORIS DRITO



Title			
BANCO DE EPROM 2			
Size	Number	Revision	
A4	ANEXD 5	1	
Date	27-Nov-2000	Sheet	3 of 4
File	A\MEMORIA2.SCH	Drawn By	BORIS BRITO



Título			
CONTROLADOR Y RELOJ			
Size	Number	Revision	
A4	ANEXO 5	1	
Date	27-Nov-2000	Sheet of	4
File	A'CONCLK SCH	Drawn By	DORIS BRITO

BIBLIOGRAFIA

DYLESTAD ROBERT.- Electrónica Teoría de Circuitos .- Quinta Edición.- México.- Prentice Hall.- 1989.

DONZALEZ JOSE.- Introducción a los Microcontroladores.- Madrid.- McGraw Hill.- 1992.

TALLINGS WILLIAM.- Comunicaciones y Redes de Computadoras.- Quinta Edición.- Prentice Hall.- 1989.

MOCCI RONALD.-Sistemas Digitales: Principios y Aplicaciones.- Sexta Edición.- Prentice Hall.- 1991.

IS 9010-EC.- Manual de Operación.- 1992 (Reservado).

IS 9010-EC.- Manual de Mantenimiento.- 1992 (Reservado).

<http://www.benchmark.com>

<http://www.evercel.com>

<http://www.idt.com>

l. <http://www.pue.udlap.mx/electro/soft.htm>

l. <http://www.voguelph.ca/antoon/circ/circuits.htm>